

# Organización del Computador

Modelo de Von Neumann



# Estructura de la computadora IAS

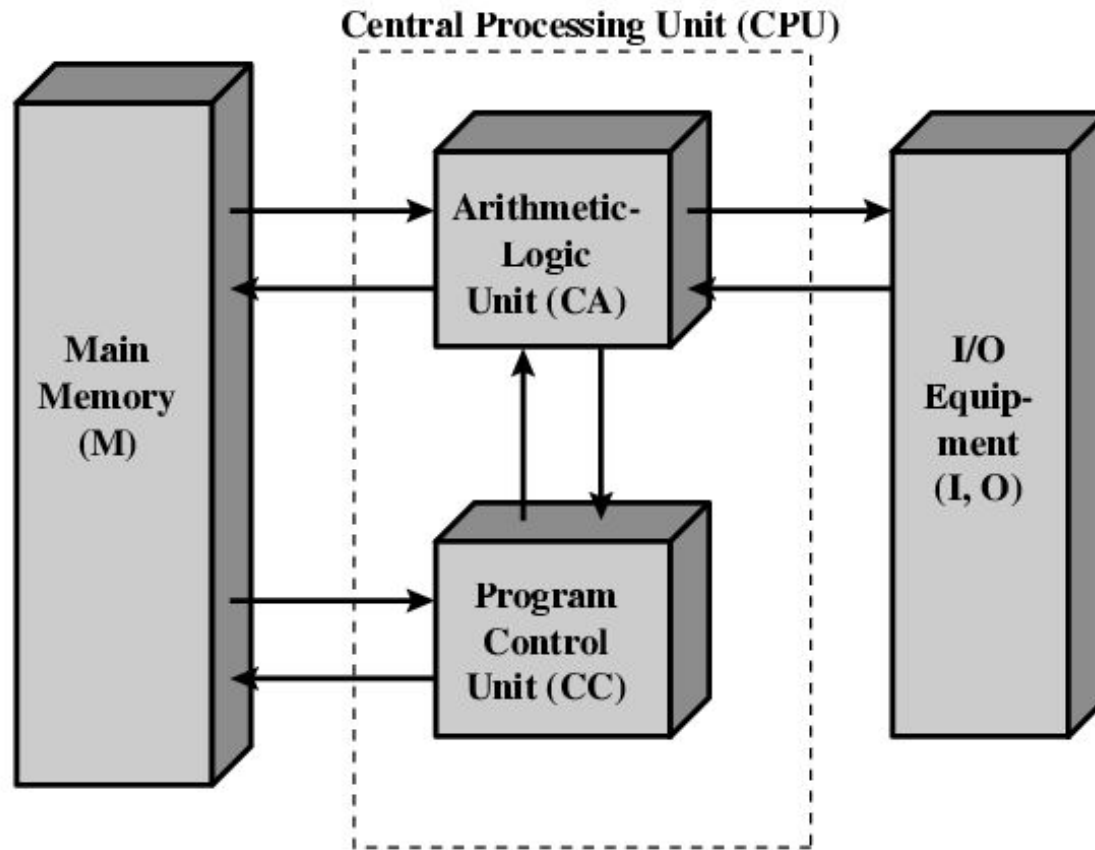
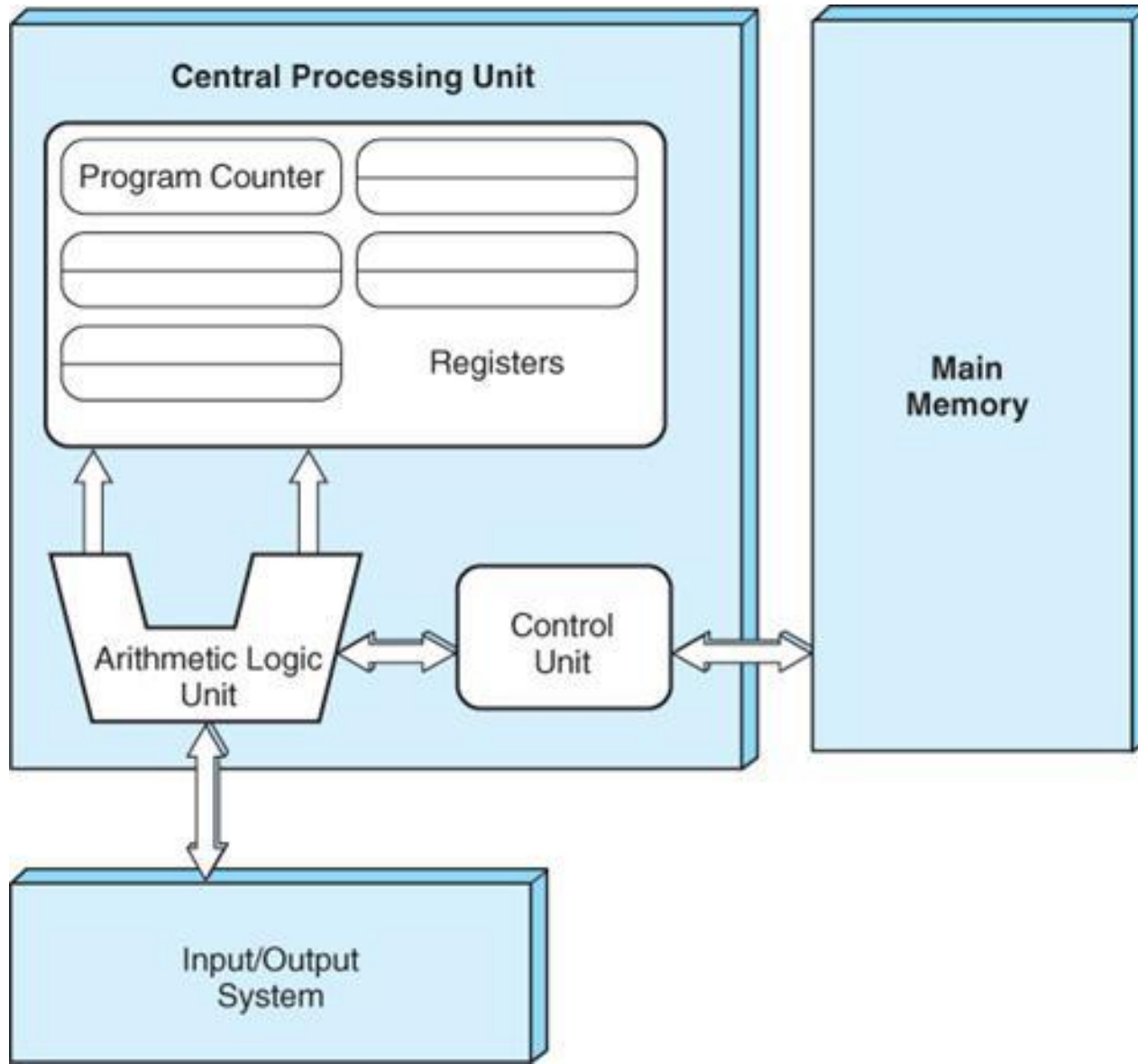
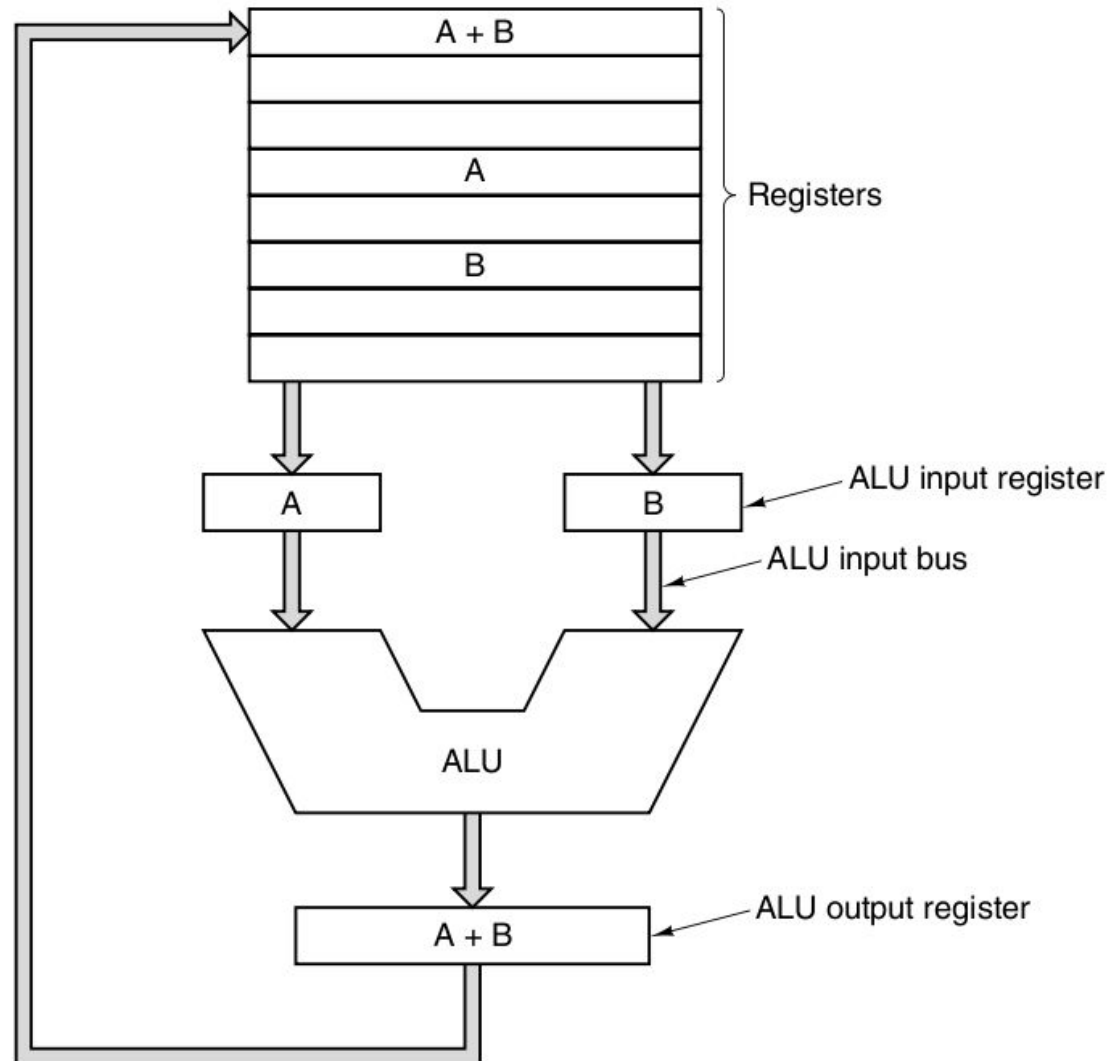


Figure 2.1 Structure of the IAS Computer

# Modelo de Von Neumann



# Camino de datos



**Figure 2-2.** The data path of a typical von Neumann machine.

# Ciclo de instrucción

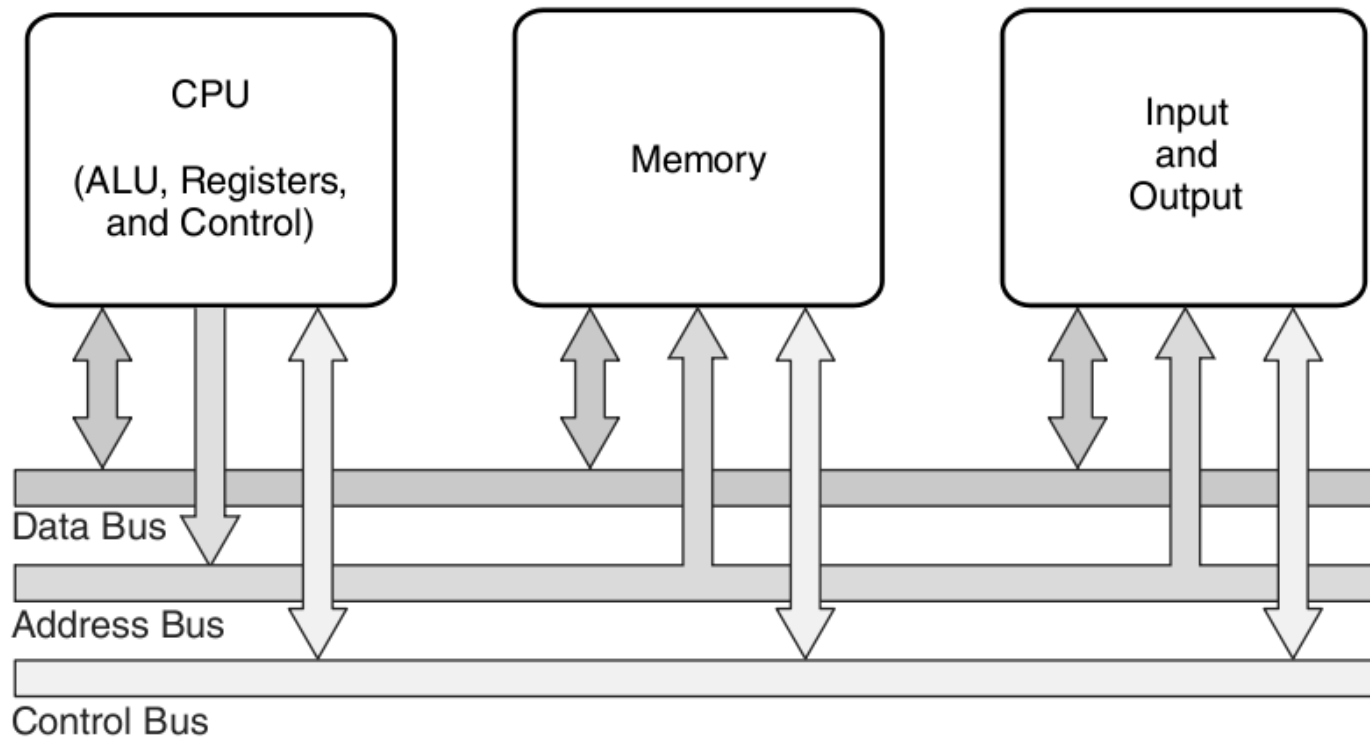
(fetch-decode-execute)

1. Traer de memoria la siguiente instrucción
2. Decodificarla e incrementar el registro PC
3. Si usa un parámetro en memoria calcular la ubicación y obtenerlo.
4. Ejecutar la instrucción.
5. Almacenar el resultado.
6. Volver a 1

# Tipos de instrucción

- Movimiento de datos (copia)
- Aritméticas (+, -, \*, /, con o sin signo, comparar)
- Lógicas (and, or, not, xor)
- Manipulación de bits (desplazar, rotar)
- Entrada/Salida
- Control de flujo (saltos condicionales, incondicionales, ciclos, llamadas a función)
- Sin parámetros, unarias, binarias, ternarias.

# Modelo modificado con un solo bus (system bus)



**FIGURE 1.5 The Modified von Neumann Architecture, Adding a System Bus**

# Cuello de botella de Von Neumann

La búsqueda de instrucciones en la memoria principal (más lenta que el procesador) se convierte en un cuello de botella.

Algunas maneras de atenuarlo:

- Prefetch (búsqueda anticipada) de instrucciones
- Memoria caché
- Pipeline de instrucciones (paralelismo a nivel de instrucción)



# Pipeline (línea de montaje)

- La ejecución de instrucciones se divide en etapas independientes que pueden operar en paralelo con distintas instrucciones.
- Aumenta la cantidad de instrucciones iniciadas por unidad de tiempo.

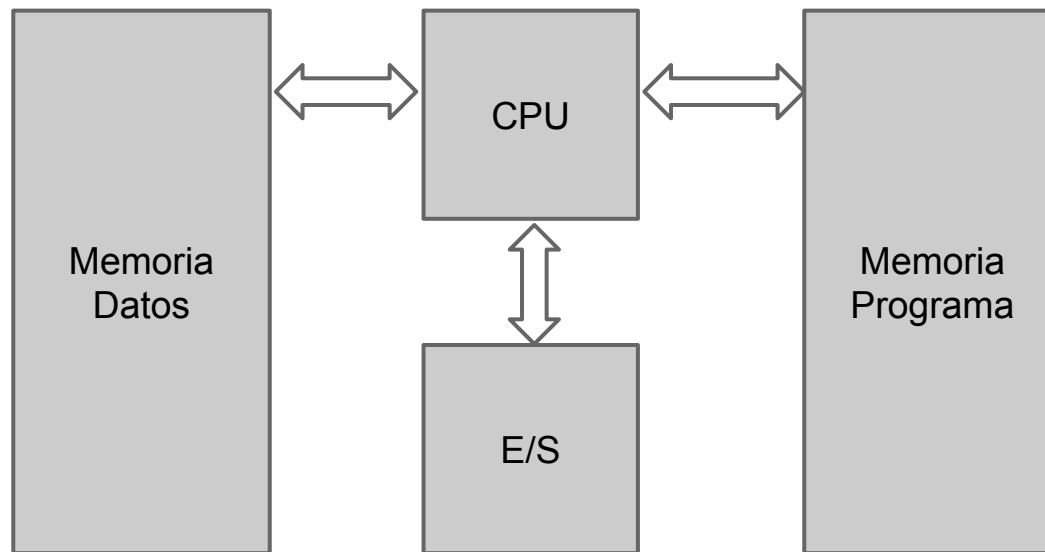
Etapa \ Tiempo	t1	t2	t3	t4	t5	t6
<b>buscar instrucción</b>	$I_1$	$I_2$	$I_3$	$I_4$	$I_5$	$I_6$
<b>decodificar</b>		$I_1$	$I_2$	$I_3$	$I_4$	$I_5$
<b>buscar operandos</b>			$I_1$	$I_2$	$I_3$	$I_4$
<b>ejecutar</b>				$I_1$	$I_2$	$I_3$
<b>escribir</b>					$I_1$	$I_2$

# Otras arquitecturas

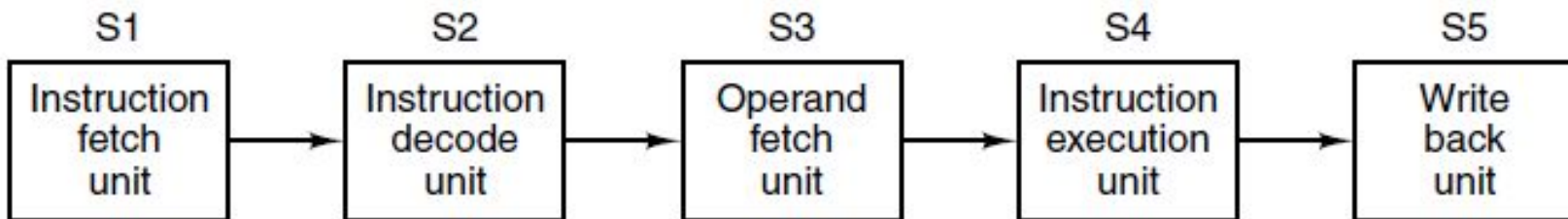
- Arquitectura Harvard
- Arquitecturas paralelas
  - Pipelines superescalares
  - Multiprocesadores
  - Multicomputadoras

# Modelo de Harvard

La memoria está dividida en dos, se almacenan datos y programa por separado.



# Pipeline escalar



# Pipeline dual

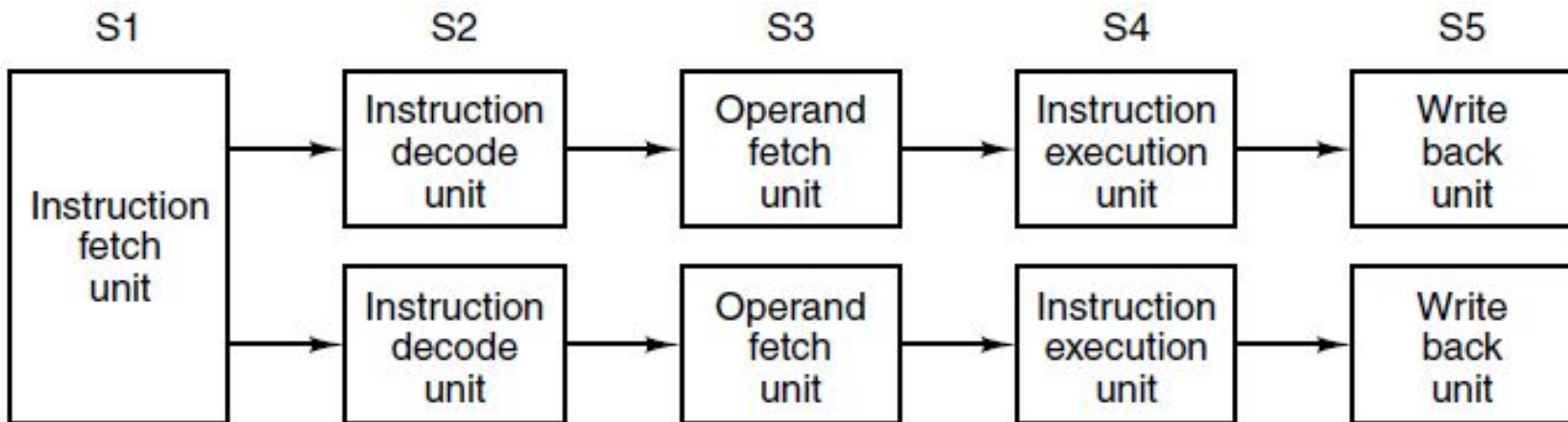
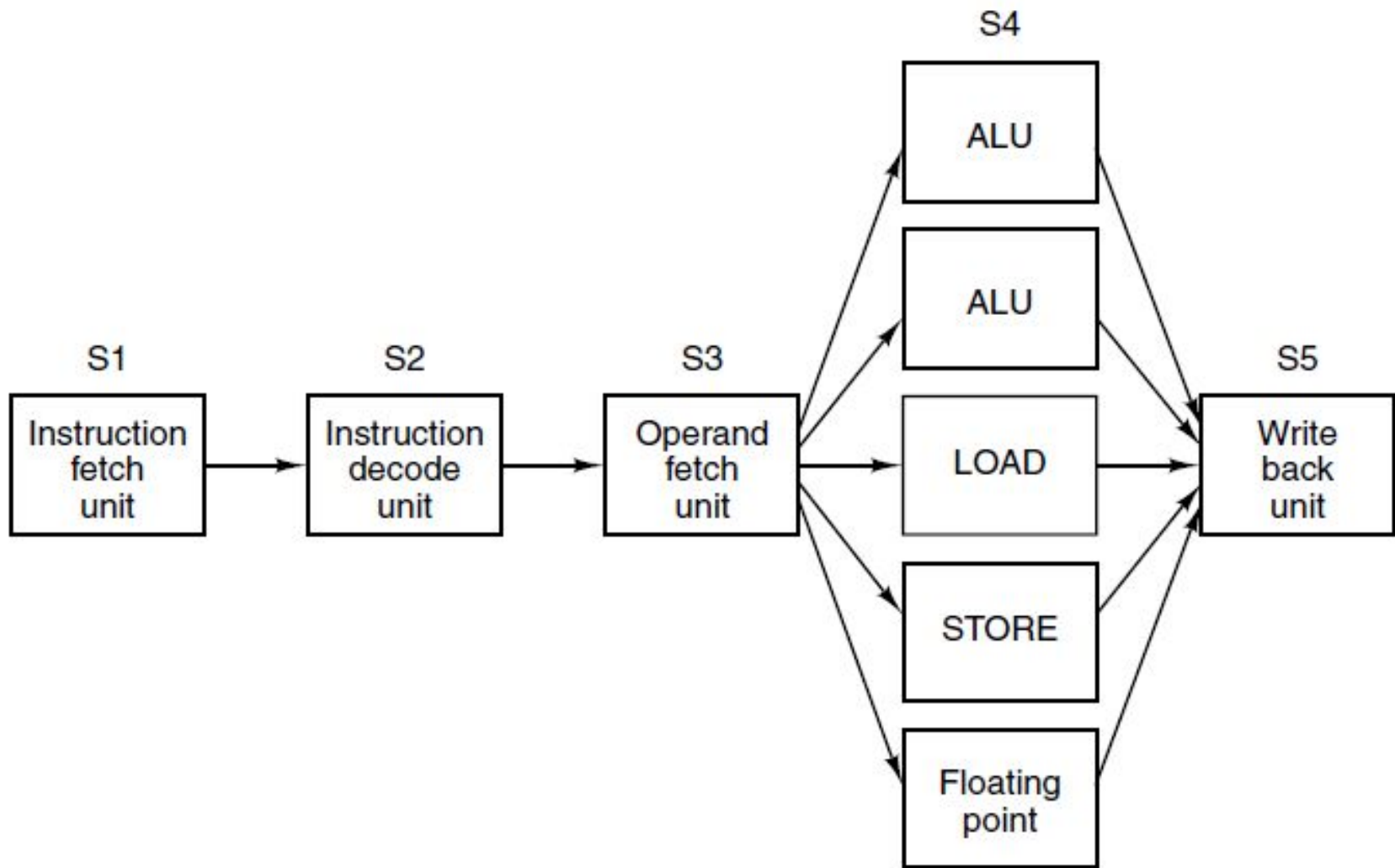


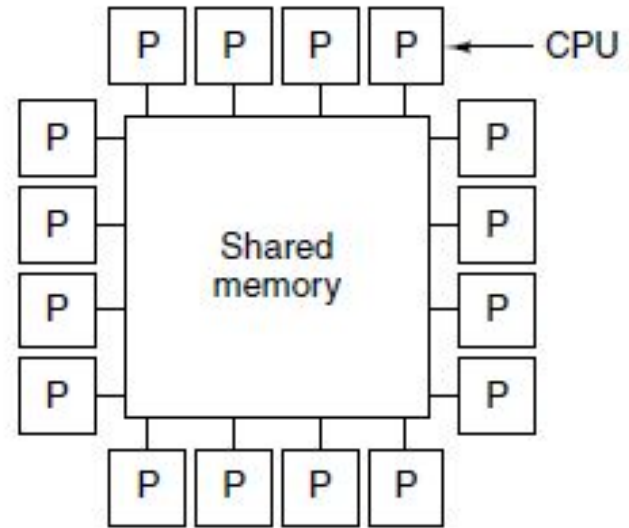
Figure 2-5. Dual five-stage pipelines with a common instruction fetch unit.

# Pipeline superescalar

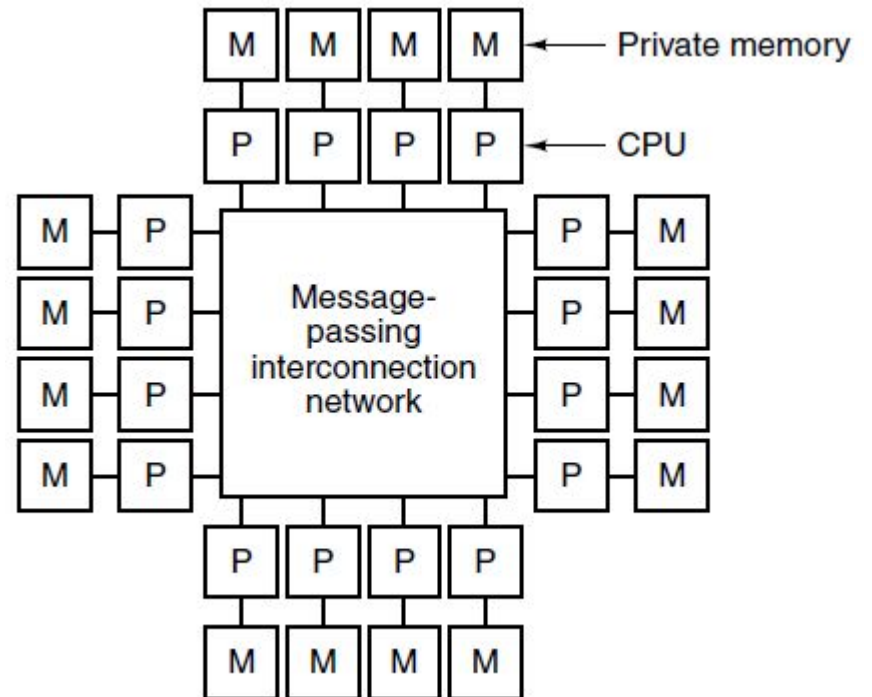


**Figure 2-6.** A superscalar processor with five functional units.

# Multiprocesadores



# Multicomputadoras



# Taxonomía de Flynn

de arquitecturas de computadoras

En el año 1972 Michael J. Flynn realizó una propuesta de clasificación para la arquitectura del computador en función de las siguientes características:

- Número de procesadores
- Número de programas
- Estructura de memoria

# Taxonomía de Flynn

de arquitecturas de computadoras

	Flujo de datos único	Flujo de datos múltiple
Flujo de instrucciones único	SISD	SIMD
Flujo de instrucciones múltiple	MISD	MIMD

SISD Computadoras con un solo procesador

SIMD Procesadores vectoriales

MISD

MIMD Multiprocesadores, multicomputadoras



# Taxonomía de Flynn

de arquitecturas de computadoras

En el año 1972 Michael J. Flynn realizó una propuesta de clasificación para la arquitectura del computador en función de las siguientes características:

- Número de procesadores
- Número de programas
- Estructura de memoria

**¿Preguntas?**