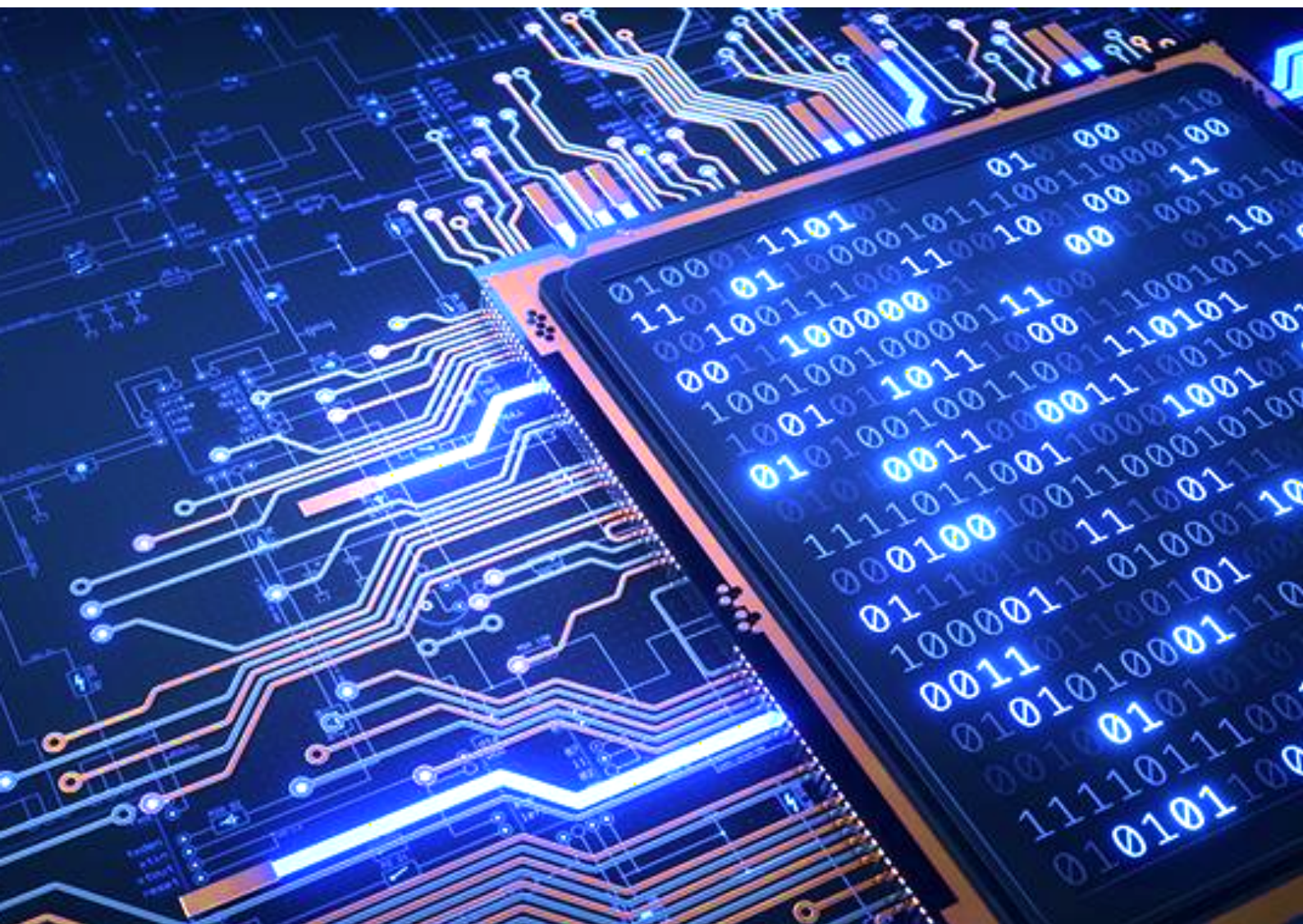


تمرین کامپیوتری پنجم

“مدارهای منطقی”

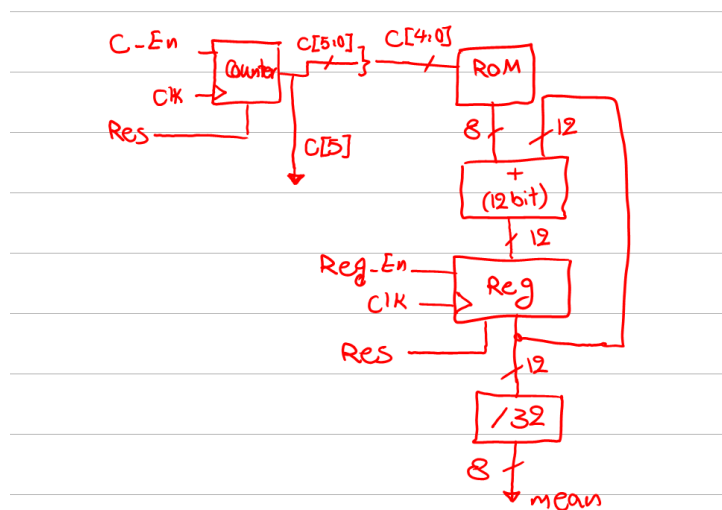


بخش اول:

شماتیک مسیرداده و دیاگرام حالت کنترل کننده

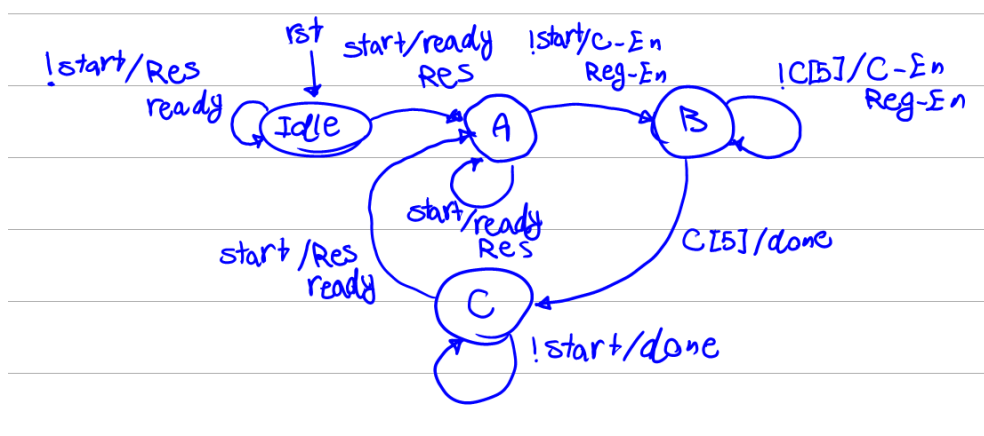
شماتیک مسیر داده :

با هر سیگنال clock یک داده (شمارنده ی counter) وارد جمع کننده می شود و با حاصل مجموع مقادیر قبلی جمع می شود و در رجیستر ذخیره می شود خروجی مدار نیز خروجی رجیستر است که تقسیم بر ۳۲ می شود همچنین رقم آخر شمارنده برای کنترل زمان اتمام کار به عنوان خروجی به کنترل کننده داده می شود. (در این میان تعداد بیت های جمع کننده و رجیستر بیشتر از ۸ بیت در نظر گرفته شده اند تا اورفلو رخ ندهد).

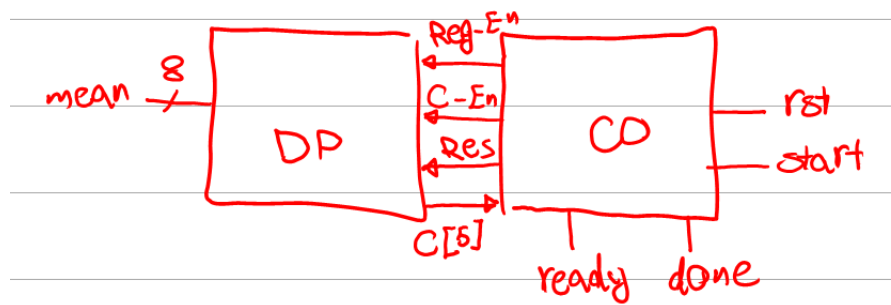


دیاگرام حالت کنترل کننده:

دارای چهار حالت: استراحت ، A برای حالتی که سیگنال شروع یک شده، B برای حالتی که یک پالس سیگنال شروع دیده شد و مدار شروع به کار کند و محاسبات را تا انتها ادامه دهد ، C محاسبات تمام شده و نتیجه نهایی معلوم شده است.

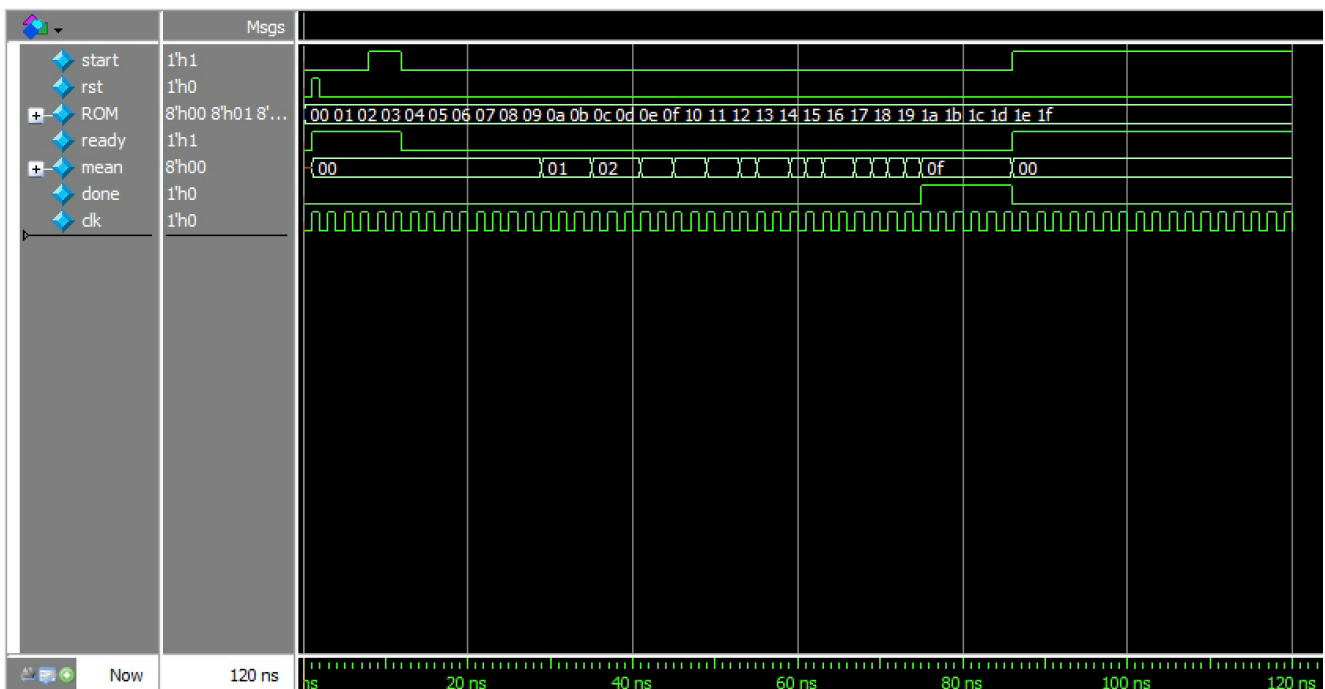


فرمت کلی مدار :



تصویر شکل موج خروجی برای اعداد ۰ تا ۳۱ :

همانطور که مشاهده می شود مدار پس از محاسبات خود عدد f یا همان ۱۵ را گزارش می کند که گرد شده میانگین اعداد ۰ تا ۳۱ می باشد و گرد شدن نیز به خاطر عملکرد عملگر / می باشد. همچنین سیگنال های و done ready به درستی عمل می کنند.

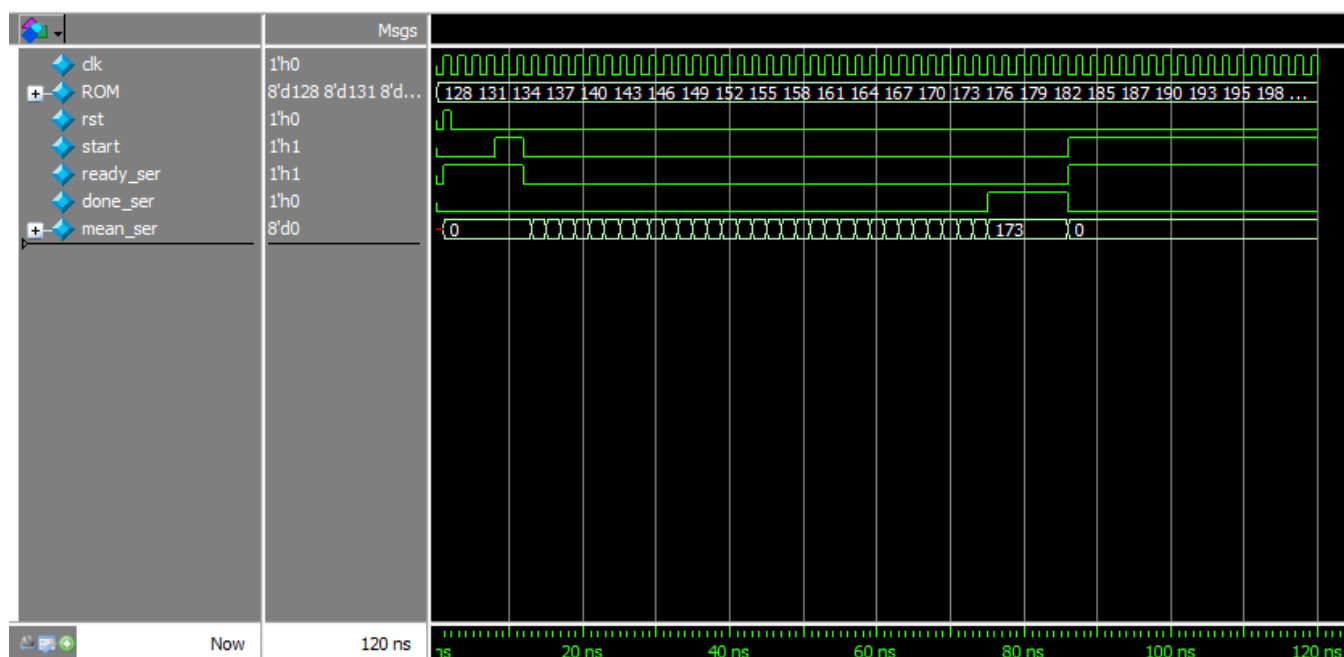


تصویر شکل موج خروجی data.mem و میانگین پیکسل ها با محاسبات دستی

مقادیر موجود در فایل data.mem در مبنای unsigned به صورت زیر است:

۱۲۸-۱۳۱-۱۳۴-۱۳۷-۱۴۰-۱۴۳-۱۴۶-۱۴۹-۱۵۲-۱۵۵-۱۵۸-۱۶۱-۱۶۴-۱۶۷-۱۷۰-۱۷۳-۱۷۶-۱۷۹-۱۸۲-۱۸۵-۱۸۷-۱۹۰-۱۹۳-۱۹۵-۱۹۸-۲۰۱-۲۰۳-۲۰۶-۲۰۸-۲۱۰-۲۱۳-۲۱۵

که مجموع آن ها برابر با : ۵۵۴۹ و میانگین آن ها برابر با : ۱۷۳.۴۰۶۲۵ می باشد که مدار با گرد کردن مقدار ۱۷۳ را گزارش می دهد



سنتز مدار

تعداد المان های مصرفی: ۱۹۳ ، تعداد رجیستر ها: ۲۳

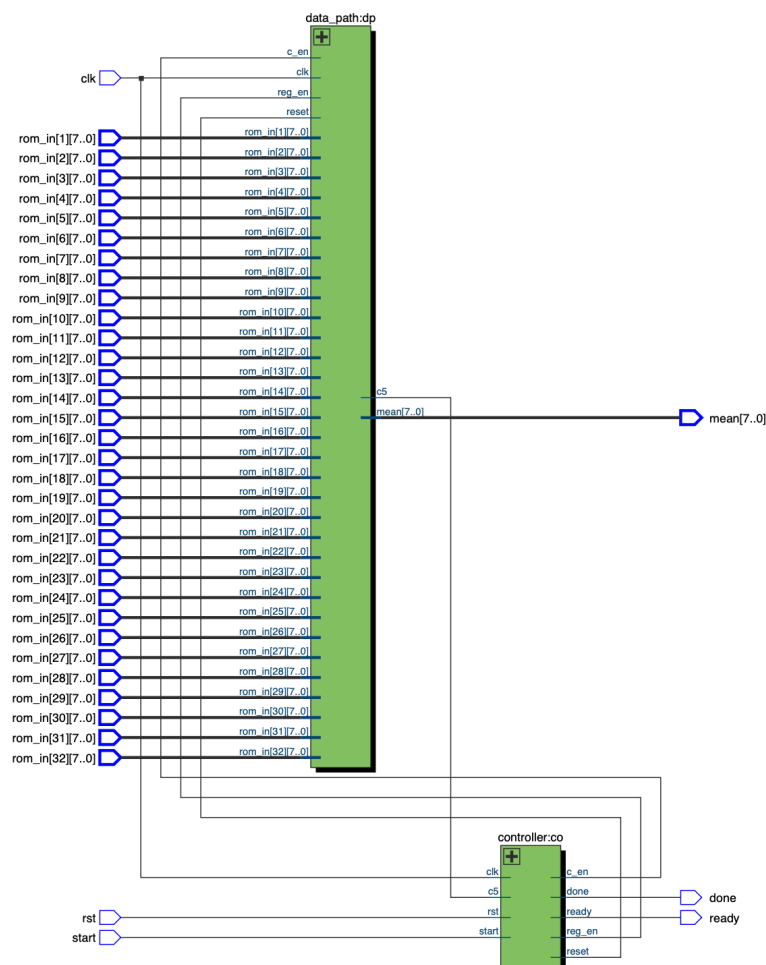
Flow Summary	
<<Filter>>	
Flow Status	Successful - Fri Jun 14 12:38:48 2024
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Standard Edition
Revision Name	higherLevel
Top-level Entity Name	higherLevel
Family	Cyclone IV E
Device	EP4CE15F23A7
Timing Models	Final
Total logic elements	193 / 15,408 (1 %)
Total registers	23
Total pins	269 / 344 (78 %)
Total virtual pins	0
Total memory bits	0 / 516,096 (0 %)
Embedded Multiplier 9-bit elements	0 / 112 (0 %)
Total PLLs	0 / 4 (0 %)

بیشترین فرکانس : ۱۷۹.۹۲ مگاهرتز ، ۲۱۳.۶۳ مگاهرتز

Slow 1200mV 125C Model Fmax Summary				
<<Filter>>				
	Fmax	Restricted Fmax	Clock Name	Note
\	179.92 MHz	179.92 MHz	clk	

Slow 1200mV -40C Model Fmax Summary				
<<Filter>>				
	Fmax	Restricted Fmax	Clock Name	Note
\	213.63 MHz	213.63 MHz	clk	

شکل مدار سنتز شده:



بخش دوم:

مقایسه مدار های ۱۶، ۳۲ و ۶۴ ورودی

فرکانس و المان های مصرفی ۱۶ ورودی:

تعداد المان های مصرفی : ۱۰۲ ، تعداد رجیستر های مصرفی : ۲۱

بیشترین فرکانس: ۲۱۷.۲ مگاهرتز ، ۲۵۹.۵۴ مگاهرتز

Flow Summary	
<<Filter>>	
Flow Status	Successful - Fri Jun 14 15:39:21 2024
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Standard Edition
Revision Name	higherLevel_16
Top-level Entity Name	higherLevel_16
Family	Cyclone IV E
Device	EP4CE15F23A7
Timing Models	Final
Total logic elements	102 / 15,408 (< 1 %)
Total registers	21
Total pins	141 / 344 (41 %)
Total virtual pins	0
Total memory bits	0 / 516,096 (0 %)
Embedded Multiplier 9-bit elements	0 / 112 (0 %)
Total PLLs	0 / 4 (0 %)

Slow 1200mV 125C Model Fmax Summary				
<<Filter>>				
	Fmax	Restricted Fmax	Clock Name	Note
✓	217.2 MHz	217.2 MHz	clk	

Slow 1200mV -40C Model Fmax Summary				
<<Filter>>				
	Fmax	Restricted Fmax	Clock Name	Note
✓	259.54 MHz	250.0 MHz	clk	lim...te)

فرکانس و المان های مصرفی ۳۲ ورودی:

تعداد المان های مصرفی : ۳۶۱ ، تعداد رجیستر های مصرفی : ۲۴

بیشترین فرکانس: ۱۸۵.۶۷ مگاهرتز ، ۲۰۹.۵۶ مگاهرتز

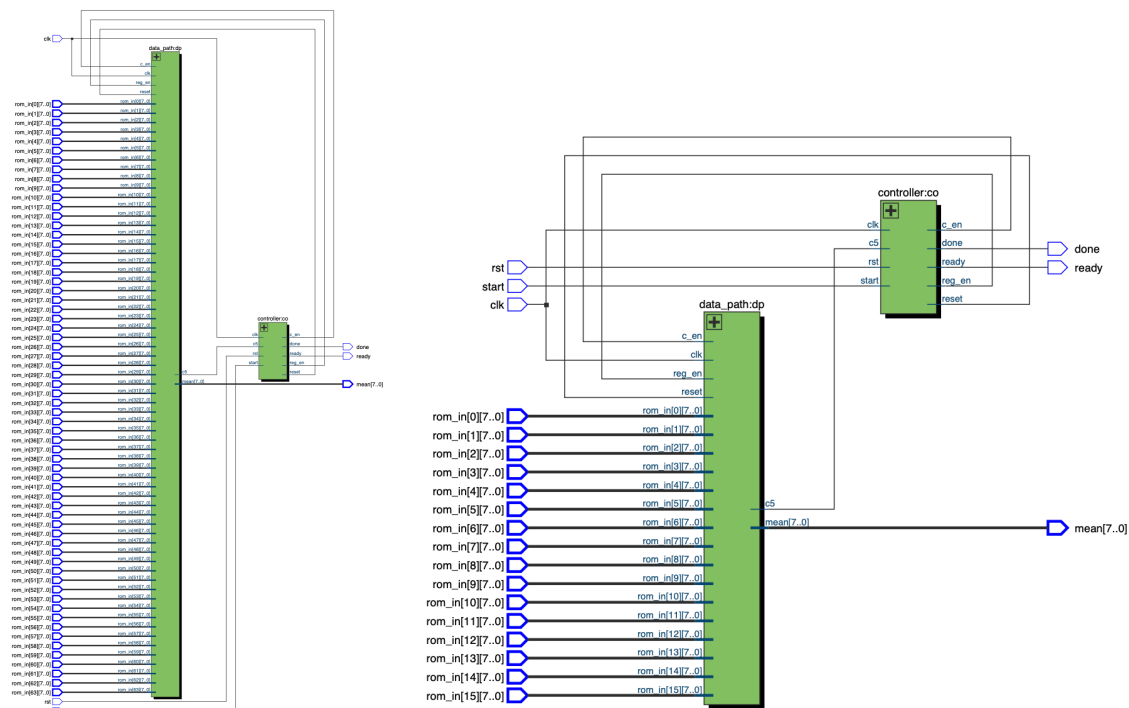
Flow Summary	
<<Filter>>	
Flow Status	Successful - Fri Jun 14 15:48:11 2024
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Standard Edition
Revision Name	higherLevel_64
Top-level Entity Name	higherLevel_64
Family	Cyclone IV E
Device	EP4CE30F29C6
Timing Models	Final
Total logic elements	361 / 28,848 (1 %)
Total registers	24
Total pins	525 / 533 (98 %)
Total virtual pins	0
Total memory bits	0 / 608,256 (0 %)
Embedded Multiplier 9-bit elements	0 / 132 (0 %)
Total PLLs	0 / 4 (0 %)

Slow 1200mV 85C Model Fmax Summary				
<<Filter>>				
	Fmax	Restricted Fmax	Clock Name	Note
✓	185.67 MHz	185.67 MHz	clk	

Slow 1200mV 0C Model Fmax Summary				
<<Filter>>				
	Fmax	Restricted Fmax	Clock Name	Note
✓	209.56 MHz	209.56 MHz	clk	

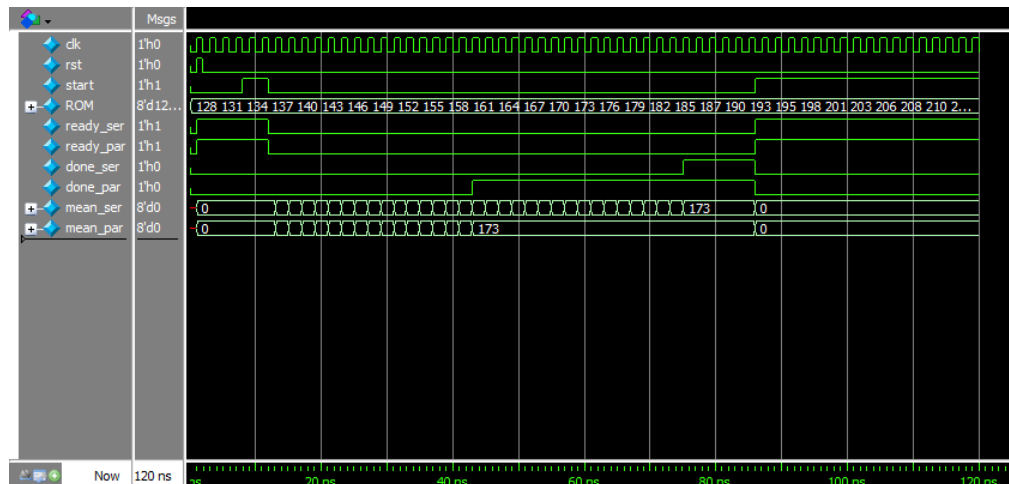
مقایسه: همانطور که مشاهده می شود با افزایش تعداد ورودی ها المان های مصرفی بالا می رود اما فرکانس کاری به صورت عکس عمل کرده و کاهش می یابد.

شکل مدار ۶۴ ورودی و ۱۶ ورودی:



بخش سوم:

مقادیر ser مربوط به حالت سریالی و مقادیر par مربوط به حالت موازی می باشد.



همانطور که مشاهده می شود تعداد المان های مصرفی افزایش یافته و فرکانس مدار نیز افزایش یافته است

Flow Summary	
<<Filter>>	
Flow Status	Successful - Fri Jun 14 17:17:20 2024
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Standard Edition
Revision Name	concat
Top-level Entity Name	concat
Family	Cyclone IV E
Device	EP4CE30F29C6
Timing Models	Final
Total logic elements	204 / 28,848 (< 1 %)
Total registers	33
Total pins	269 / 533 (50 %)
Total virtual pins	0
Total memory bits	0 / 608,256 (0 %)
Embedded Multiplier 9-bit elements	0 / 132 (0 %)
Total PLLs	0 / 4 (0 %)

Slow 1200mV 85C Model Fmax Summary				
<<Filter>>				
Fmax	Restricted Fmax	Clock Name	Note	
223.56 MHz	223.56 MHz	clk		

Slow 1200mV 0C Model Fmax Summary				
<<Filter>>				
Fmax	Restricted Fmax	Clock Name	Note	
253.94 MHz	250.0 MHz	clk	lim...tej	

در بخش اول مدار را به شکل تمام سریال پیاده سازی کردید، موازی سازی چه مزیت ها و چه معایبی نسبت حالت تمام سریال دارد؟

همانطور که در شکل موج و خلاصه نتایج سنتز مشاهده می شود در حالت موازی زمان پاسخ مدار کاهش می یابد که یکی از مزایا می باشد اما تعداد المان های مصرفی مدار افزایش می یابد که جز معایب می باشد در حالت سری تعداد المان ها کاهش می یابد اما زمان پاسخ مدار افزایش می یابد.