



درس مدارهای منطقی

تکلیف کامپیوتری پنجم: آشنایی با عملکرد ماشین‌های حالت

دانشکده‌گان فنی دانشگاه تهران

دانشکده مهندسی برق و کامپیوتر

دکتر بیژن علیزاده

نیم‌سال دوم سال تحصیلی ۱۴۰۲-۰۳

دستیار آموزشی: ایمان رسولی پرتو

iman.rasouli10@gmail.com

در کاربردهای بینایی ماشین^۱ و پردازش تصویر^۲، در فاز استخراج ویژگی‌ها^۳ به دلیل تعداد زیاد پیکسل‌ها، از میانگین تصاویر استفاده می‌شود. یک پیکسل با چند پیکسل مجاور خود ادغام شده و میانگین آنها به عنوان یک ویژگی از این مجموعه در نظر گرفته می‌شود. پیاده‌سازی عملیات محاسبه میانگین یک تصویر با تعداد پیکسل‌های بالا به شکل نرم‌افزاری بسیار زمان‌بر خواهد بود. یک راه جایگزین، پیاده‌سازی سخت‌افزاری این عملیات است. با توجه به اینکه در کاربردهای سیستم‌های بی‌درنگ نیاز به سرعت بالا داریم، این پیاده‌سازی می‌تواند جایگزین مناسبی باشد. در این تمرین یک سیستم میانگین‌گیری را به شکل سخت‌افزاری پیاده‌سازی و شبیه‌سازی خواهید کرد. در ادامه مدار طراحی شده را به شکل پارامتری بازطراحی می‌کنید و در بخش آخر از تکنیک موازی‌سازی برای افزایش سرعت محاسبات استفاده خواهید کرد.

برای پیاده‌سازی مدار میانگین‌گیر نکات زیر را مدنظر داشته باشید:

- ❖ هر پیکسل یک عدد ۸ بیتی فرض می‌شود.
- ❖ در ابتدا هر ۳۲ پیکسل مجاور را ادغام کرده و میانگین آن را بدست می‌آوریم. پیکسل‌های مجاور در یک حافظه قرار می‌گیرند.
- ❖ سیستم را به شکل سریال^۴ طراحی کنید. به این معنی که در هر سیکل فقط یک عملیات جمع می‌تواند انجام شود.
- ❖ کنترل‌کننده با دیدن یک پالس کامل سیگنال start شروع به کار می‌کند، همچنین وقتی محاسبات انجام شد، سیگنال done را فعال می‌کند. همچنین یک سیگنال ready دارد که وقتی در حالت استراحت^۵ قرار دارد آن را فعال می‌کند.

* محدودیت‌های سخت‌افزاری: ۱ جمع‌کننده، ۱ تقسیم‌کننده، یک ROM ۸ بیتی با ۳۲ خانه

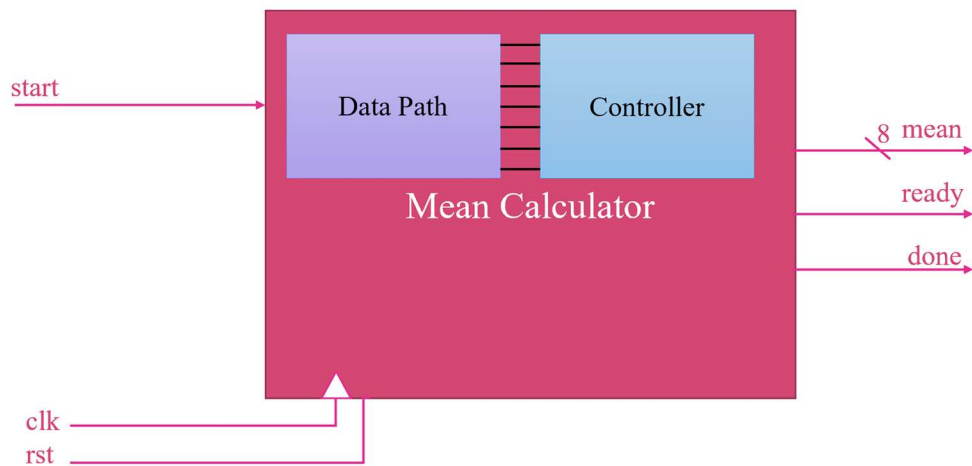
¹ Computer Vision

² Image Processing

³ Feature Extraction

⁴ Serial

⁵ Idle



شکل ۱: ساختار مدار میانگین‌گیر

بخش اول:

❖ مدار را به شکل هافمن طراحی کنید. مدار شما باید شامل مسیر داده^۶ (شامل یک جمع‌کننده، یک تقسیم‌کننده یک ROM و یک رجیستر) و کنترل‌کننده^۷ (یک ماشین حالت) باشد که در یک مدار سطح بالا^۸ به یکدیگر متصل می‌شوند. (مطابق شکل ۱) شماتیک مسیر داده و دیاگرام حالت کنترل‌کننده را رسم کنید.

* برای پیاده‌سازی مسیر داده به نکات زیر توجه کنید:

➡ در هر سیکل یک داده از ROM خوانده شده و به جمع‌کننده می‌رود. جمع‌کننده در هر سیکل مقدار خوانده شده از حافظه را با مجموع داده‌های قبلی جمع می‌کند و حاصل جمع در یک رجیستر ذخیره می‌شود. این روند تا خواندن آخرین داده از حافظه ادامه دارد. (مقدار اولیه رجیستر صفر است)

➡ حافظه به شکل یک رجیستر دو بعدی شامل عرض بیت و تعداد خانه‌ها طراحی می‌شود. همچنین از حافظه فقط عملیات خواندن انجام می‌شود که همگام با clock نیست^۹.

➡ برای پیاده‌سازی تقسیم‌کننده از عملگر "÷" استفاده کنید.

❖ مدار طراحی شده در بخش را به زبان System Verilog توصیف کنید. توجه داشته باشید کنترل‌کننده شما باید از قواعد هافمن پیروی کند.

^۶ Datapath

^۷ Controller

^۸ Top Module

^۹ Asynchronous Read

❖ مدار سطح بالای خود را با نوشتن testbench شبیه‌سازی کنید. در ابتدا در حافظه اعداد ۰ تا ۳۱ را قرار دهید و میانگین محاسبه شده را مشاهده کنید. تصویر شکل موج خروجی را در گزارش خود قرار دهید. سپس داده‌های موجود در فایل “data.mem” که در اختیار شما قرار داده شده، به کمک دستور زیر در ROM قرار دهید و مدار را شبیه‌سازی کنید. تصویر شکل موج خروجی را در گزارش خود قرار دهید. میانگین پیکسل‌ها را با محاسبات دستی مقایسه و بررسی کنید.

```
initial begin
|      | $readmemb("filename", ROM);
end
```

❖ مدار خود را در نرم افزار Quartus سنتز^{۱۰} کنید. تعداد المان‌های مصرفی و بیشترین فرکانس clock را گزارش کنید.

بخش دوم:

برای قابلیت استفاده مجدد از سخت‌افزار و تعیین تعداد پیکسل هر بسته، مدار را نسبت به تعداد پیکسل‌ها به شکل پارامتری طراحی کنید. سپس مدار را برای تعداد ۱۶ و ۶۴ پیکسل صرفاً سنتز نمایید (نیازی به پر کردن خانه‌های حافظه نیست). مدارهای این بخش و مدار بخش اول را از نظر میزان سخت‌افزار مصرفی و بیشترین فرکانس clock مقایسه نمایید.

¹⁰ Synthesize

بخش سوم:

در بخش اول یک مدار میانگین گیر با ۳۲ پیکسل را طراحی کردید. در این بخش می‌خواهیم با موازی‌سازی^{۱۱} به منظور افزایش سرعت محاسبات از دو مدار میانگین گیر با ۱۶ پیکسل استفاده کنیم و میانگین ۳۲ پیکسل را بدست آوریم. دو مدار میانگین گیر با ۱۶ پیکسل (با استفاده از بخش دو) ایجاد کنید. محتوای فایل “data.mem” (که شامل ۳۲ پیکسل است) را بین حافظه‌های این دو مدار تقسیم کنید و آنها را در یک مدار سطح بالا نمونه‌گیری کنید. مدار سطح بالا را طوری طراحی کنید که از خروجی دو مدار ۱۶ پیکسلی میانگین ۳۲ پیکسل را محاسبه کند. می‌توانید از یک تقسیم‌کننده و جمع‌کننده استفاده کنید. مدار را شبیه‌سازی و سنتز نمایید. **شکل موج** خروجی را مشاهده کرده و نتایج سنتز از نظر فرکانس کاری و میزان سخت‌افزار مصرفی با نتایج بخش اول مقایسه کنید.

در بخش اول مدار را به شکل تمام سریال پیاده‌سازی کردید، موازی‌سازی چه مزیت‌ها و چه معایبی نسبت به حالت تمام سریال دارد؟

نکات تحویل پروژه:

بخش‌هایی که با این **رنگ** مشخص شده‌اند، در گزارش خود بیاورید. گزارش خود را منظم و در یک قالب مشخص بنویسید.

کدهای خود را به همراه گزارش در یک فایل zip قرار دهید و با فرمت DLD_CA#5_StudenNumber.zip در سامانه ایلرن آپلود کنید.

تحویل پروژه به صورت حضوری است. در نتیجه نیاز است روی مفاهیم پروژه تسلط کافی داشته باشید.

با آرزوی بهترین‌ها برای شما