



## درس مدارهای منطقی

### تکلیف کامپیوتری ۲

#### طراحی مدارهای حسابی به کمک زبان توصیف سخت افزار Verilog

دانشکده فنی دانشگاه تهران

دانشکده مهندسی برق و کامپیوتر

دکتر بیژن علیزاده

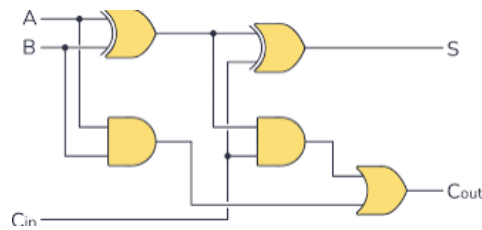
نیم سال دوم سال تحصیلی ۱۴۰۲-۰۳

دستیار آموزشی: علی قائمی ali.ghaemi@ut.ac.ir

**مقدمه:** هدف از این تمرین، آموزش مفاهیم و مراحل کلیدی در زمینه توصیف سخت افزار با استفاده از Verilog و همچنین شبیه سازی سخت افزار طراحی شده توسط ابزار شبیه ساز Modelsim است. در حوزه طراحی دیجیتال، یکی از اساسی ترین و پرکاربردترین محاسبات، محاسبات جمع است. جمع کننده ها (Adders) در مرکز بسیاری از سیستم های دیجیتال، از قبیل پردازنده ها، مدارهای پردازش سیگنال های دیجیتال (DSP) و سیستم های کنترل دیجیتال قرار دارند. یکی از انواع جمع کننده ها، جمع کننده Carry Select Adder یا CSA است که برای کاهش تاخیر ناشی از انتشار Carry<sup>۱</sup> طراحی شده است. در تمرین دستی سوم درس، شما با ساختار کلی این نوع جمع کننده آشنا شده اید. در این تمرین کامپیوتری، شما به پیاده سازی سخت افزاری این جمع کننده خواهید پرداخت.

**گام اول:** در این بخش، شما که پیشتر با مفهوم Full-Adder در درس آشنا شده اید، می بایست کد Verilog برای ماژول Full-Adder را که در شکل ۱ مشاهده می کنید، پیاده سازی نمایید. هنگام نوشتن کد، تاخیر مربوط به گیت های AND، OR و XOR را به ترتیب ۲، ۲ و ۳ نانوثانیه در نظر بگیرید. سپس، یک تست بنچ برای بررسی و ارزیابی عملکرد صحیح ماژول Full-Adder در محیط Modelsim بنویسید. علاوه بر این، گزارشی شامل شکل موج های مربوط به ورودی ها و خروجی های مدار تهیه کنید و تاخیرهای مشاهده شده در این شکل موج ها را تحلیل و توجیه نمایید.

<sup>1</sup> Carry propagation delay



شکل ۱

**گام دوم:** در این مرحله، شما با استفاده از ماژول Full-adder که در گام اول طراحی کردید، یک جمع‌کننده ۴ بیتی را طراحی و پیاده‌سازی کنید. پس از طراحی، برای درستی‌سنجی عملکرد صحیح جمع‌کننده‌تان، یک تست‌بنچ نوشته و با اعمال ورودی‌های مختلف به مدار، کارکرد آن را بررسی کنید. همچنین، گزارشی شامل شکل موج‌های مربوط به ورودی‌ها و خروجی‌های مدار تهیه کنید و نتایج را ارائه دهید.

**گام سوم:** با استفاده از جمع‌کننده ۴ بیتی گام دوم یک جمع‌کننده ۱۶ بیتی Ripple Carry Adder طراحی نمایید. یک تست‌بنچ برای این بخش نوشته و با اعمال چندین ورودی مختلف به مدار، صحت عملکرد آن را بررسی نمایید. همچنین در این گام نیز شکل موج خروجی و همچنین تاخیرهای موجود را گزارش نمایید. به صورت تئوری و دستی تاخیر جمع‌کننده ۱۶ بیتی را محاسبه و با تاخیر حاصل از شبیه‌سازی مقایسه کنید. در صورت وجود تفاوت دلیل آن را بیان کنید.

**گام چهارم:** در این گام، که پیشتر در تمرین دستی سوم با Carry Select Adder (CSA) آشنا شده‌اید، ابتدا ماژول مربوط به مولتی‌پلکسر را پیاده‌سازی کنید. تاخیر ماژول مولتی‌پلکسر را ۲ نانوثانیه در نظر بگیرید. حال با استفاده از جمع‌کننده ۴ بیتی Ripple Carry Adder گام دوم، یک جمع‌کننده ۱۶ بیتی CSA طراحی کنید. در نهایت، ماژول‌های طراحی‌شده در گام‌های سوم و چهارم را در یک تست‌بنچ مشترک شبیه‌سازی کرده و شکل موج‌های خروجی و تاخیرهای بدست آمده را مقایسه کرده و تحلیل‌تان را گزارش کنید.

**گام پنجم:** در این گام، با هدف افزایش سرعت در جمع‌کننده‌های CSA، به این [لینک](#) مراجعه کنید و با پیاده‌سازی CSA با طول بلوک‌های متغیر آشنا شوید. پس از بررسی، کد Verilog یک جمع‌کننده ۱۶ بیتی با استفاده از این روش را نوشته و سپس آن را در کنار جمع‌کننده‌های طراحی‌شده در گام‌های سوم و چهارم به کمک تست‌بنچ، شبیه‌سازی کنید. نتایج حاصل از شبیه‌سازی را تحلیل کرده، و مقایسه‌های انجام شده را در گزارش خود ارائه دهید. همچنین تاخیرهای بدست آمده برای هر بخش را توجیه نمایید.

**سوالات:**

- چگونه استفاده از بلوک‌های با طول متفاوت در جمع‌کننده‌های CSA می‌تواند به بهبود سرعت کمک کند؟ این روش چه مزایا و چه معایبی دارد؟
- تحلیل خود از نتایج شبیه‌سازی گام پنجم را بیان کنید. توجه کنید که در طراحی مدارهای دیجیتال مصالحه‌ای (Trade-off) بین محدودیت‌های مختلف صورت می‌گیرد، طوریکه در مقابل هر آنچه که بدست می‌آورید، عموماً چیزی از دست خواهید داد. در مقابل کاهش تاخیر مدار در هر گام، چه چیزی از دست می‌دهید؟

#### بارم‌بندی سوالات

- گام اول: ۱۰ نمره
- گام دوم: ۱۵ نمره
- گام سوم: ۱۵ نمره
- گام چهارم: ۲۰ نمره
- گام پنجم: ۲۰ نمره
- سوالات: ۱۵ نمره
- فرمت صحیح گزارش و پوشه‌بندی فایل‌ها : ۵ نمره

با آرزوی بهترین‌ها برای شما