

# i.MX 6ULL 应用处理器硬件开发指南

## 1 关于本文档

## 目录

### 1.1 概述

本文档旨在帮助硬件工程师设计和测试基于 i.MX 6ULL 处理器的设计。文档提供了有关电路板布局建议的信息和设计注意事项核对清单, 旨在确保首次成功并避免电路板启动问题。文档还提供了有关板级测试和仿真的信息, 例如使用 BSDL 进行板级测试、使用 IBIS 模型进行电气完整性仿真等。

工程师需要切实理解电路板布局及术语、IBIS 建模、BSDL 测试和常用电路板硬件术语。

本指南随相关器件特定的硬件文档一起发布, 如数据手册、参考手册、应用笔记等, 均可从恩智浦网站 ([www.nxp.com](http://www.nxp.com)) 下载。

1	关于本文档 .....	1
2	i.MX 6ULL 设计注意事项核对清单 .....	7
3	i.MX 6ULL 布局建议 .....	19
4	避免电路板启动问题 .....	30
5	了解 IBIS 模型 .....	34
6	使用制造工具 .....	44
7	将 BSDL 用于板级测试 .....	49
8	修订记录 .....	51
	附录 A 开发平台 .....	52

### 1.1.1 支持的器件

本指南当前支持 i.MX 6ULL。

## 1.2 重要参考资料

本指南可与 i.MX 6ULL 芯片参考手册和数据手册配合使用。有关焊接过程中的回流焊曲线和热限值，请参见应用笔记 AN3300。这些文档可从 [www.nxp.com](http://www.nxp.com) 获取。

## 1.3 建议阅读

本节列出了介绍本手册中的一些信息背景的其他阅读资料，以及有关架构的一般信息。

### 1.3.1 一般信息

以下文档了有关 ARM 处理器架构和计算机架构的有用信息：

有关 ARM Cortex-A7 处理器的信息，请参见：

<http://www.arm.com/products/processors/cortex-a/cortex-a7.php>

- 计算机架构：定量方法（第 4 版）—作者：John L. Hennessy 和 David A. Patterson
- 计算机组成和设计：硬件/软件接口（第 2 版），作者：David A. Patterson 和 John L. Hennessy

下述文档提供了高速电路板设计的有用信息：

- 一举成功—高速 PCB 和系统设计实用手册—第 1 和 2 卷—作者：Lee W. Ritchey（出版社：Speeding Edge）—ISBN 0-9741936-0-72
- 信号和电源完整性分析（第 2 版）—作者：Eric Bogatin（出版社：Prentice Hall）—ISBN 0-13-703502-0
- 高速数字设计—黑魔书—作者：Howard W. Johnson 和 Martin Graham（出版社：Prentice Hall）—ISBN 0-13-395724-1
- 高速信号传播—高级黑魔书—作者：Howard W. Johnson 和 Martin Graham（出版社：Prentice Hall）—ISBN 0-13-084408-X
- 高速数字系统设计—互连理论和设计实践手册—作者：Hall、Hall 和 McCall（出版社：Wiley Interscience，2000 年）—ISBN 0-36090-2
- 信号完整性问题和印刷电路板设计—作者：Doug Brooks（出版社：Prentice Hall）ISBN 0-13-141884-X
- PCB 设计：在真实世界里的 EMI 控制—作者：Bruce R. Archambeault（克吕韦尔学术出版集团）—ISBN 1-4020-7130-2
- 干扰规范的数字设计—EMI 抑制实用手册—作者：David L. Terrell 和 R. Kenneth Keenan（出版社：Newnes Publishing）—ISBN 0-7506-7282-X

- 电磁兼容工程—作者：Henry Ott（第 1 版，出版社：John Wiley and Sons）—ISBN 0-471-85068-3
- 电磁兼容导论—作者：Clayton R. Paul（出版社：John Wiley and Sons）—ISBN 978-0-470-18930-6
- 仪器的接地和屏蔽技术—作者：Ralph Morrison（第 5 版，出版社：John Wiley and Sons）—ISBN 0-471-24518-6
- 产品设计中的 EMC 技术—作者：Tim Williams（出版社：Newnes Publishing）—ISBN 0-7506-2466-3

## 1.4 相关文档

恩智浦文档可从本指南尾页上所列的来源获取。恩智浦推出新产品时会发布更多文献。有关当前的文档列表，请参见 [www.nxp.com](http://www.nxp.com)。

## 1.5 规范

本文档使用以下符号规范：

表 1.规范

Courier 字体	用于表示命令、命令参数、代码示例以及文件和目录名。
斜体	用于表示命令或功能参数
粗体	功能名称以粗体书写。
清除/设置	当一个位的值为零时，称之为清零；将此位赋值为 1 时，称之为置位。
助记符	指令助记符以小写粗体显示。正文中的书名以斜体显示
sig_name	内部信号全部小写
nnnn nnnh	表示十六进制数
0b	表示二进制数
rA, rB	用于识别源 GPR 的指令语法
rD	用于识别目标 GPR 的指令语法
REG[FIELD]	寄存器的缩写以大写文本显示。特定位、字段或范围则显示在括号中。例如，MSR[LE]指机器状态寄存器中的小端模式使能位。
x	在有些情况下，例如信号编码，非斜体的 x 表示“无关”。
x	斜体 x 表示字母数字变量
n, m	斜体 n 表示数字变量

### 备注

在本指南中，所有逻辑、按位、算术、比较和分配操作的表示法遵循 C 语言的规范。

## 1.6 信号约定

表 2.信号约定

约定	定义
<b>PWR_ON_RESET</b>	上划线表示信号在低电平时有效。
<b>_b, _B</b>	交替符号表示低电平有效信号。
<b>signal_name</b>	小写斜体用于表示内部信号

## 1.7 略词与缩写

下表定义了本文档中使用的首字母略词与缩写。

表 3.定义和略词

术语	定义
<b>ARM®</b>	高级 RISC 机器处理器架构
<b>BGA</b>	球栅阵列封装
<b>BOM</b>	物料清单
<b>BSDL</b>	边界扫描描述语言
<b>CAN</b>	灵活控制器局域网外设
<b>CCM</b>	时钟控制器模块
<b>DDR</b>	双倍数据传输速率 DRAM
<b>DDR3</b>	DDR3 DRAM
<b>DDR3L</b>	低压 DDR3 DRAM
<b>DDR3U</b>	超低压 DDR3 DRAM
<b>DRAM</b>	动态随机存储器
<b>ECSPI</b>	增强型可配置 SPI 外设
<b>EIM</b>	外部接口模块
<b>ENET</b>	10/100/1000-Mbps 以太网 MAC 外设
<b>EPIT</b>	增强型周期性中断定时器外设
<b>ESR</b>	等效串联电阻（晶振）
<b>GND</b>	接地

表 3.定义和略词（续）

<b>GPC</b>	通用电源控制器
<b>GPIO</b>	通用输入/输出
<b>HDCP</b>	高带宽数字内容保护
<b>I2C</b>	内部集成电路接口
<b>IBIS</b>	输入输出缓冲区信息规范
<b>IOMUX</b>	i.MX 6ULL 芯片级 I/O 多路复用
<b>JTAG</b>	联合测试行动小组
<b>KPP</b>	键盘端口外设
<b>LDB</b>	LVDS 显示器桥接器
<b>LDO</b>	低压差稳压器
<b>LPCG</b>	低功耗时钟门控
<b>LPDDR2</b>	低功耗 DDR2 DRAM
<b>LVDS</b>	低压差分信号
<b>MLB</b>	MediaLB 150 外设
<b>MMDC</b>	多模 DDR 控制器
<b>ODT</b>	片上端接
<b>OTP</b>	一次性可烧写
<b>PCB</b>	印刷电路板
<b>PCIe</b>	PCI Express
<b>PCISig</b>	外围组件互连特别兴趣组
<b>PMIC</b>	电源管理集成电路
<b>POR</b>	上电复位
<b>RAM</b>	随机访问存储器
<b>RGMI</b>	精简的千兆位媒体独立接口（以太网）
<b>RMII</b>	精简的媒体独立接口（以太网）
<b>ROM</b>	只读存储器
<b>SDMA</b>	智能直接存储器访问控制器
<b>UART</b>	通用异步接收器/发射器

表 3.定义和略词（续）

<b>USB</b>	通用串行总线
<b>USB OTG</b>	USB On-The-Go
<b>USB2.0</b>	USB 版本 2.0 外设

## 2 i.MX 6ULL 设计注意事项核对清单

本文档提供 i.MX 6ULL 处理器的设计注意事项核对清单。

设计注意事项核对清单表包含实现最佳设计的建议。适当时，设计注意事项核对清单表还提供对这些建议的说明，让用户能够更好地理解为什么建议采用某些技术。注意事项核对清单参考的所有补充表请参见设计注意事项核对清单表后面的几节。

### 2.1 设计注意事项核对清单表

表 4.DDR 建议

勾选框	建议	说明/补充建议
	1.将 ZQPAD 连接到接至 GND 的外部 1%精度 240Ω 电阻。	这是 DRAM 输出缓冲驱动器校准过程中使用的参考做法。
	2.将 DRAM_VREF 连接到电压为 NVCC_DRAM 电压值的 50%的源。	<ul style="list-style-type: none"> <li>用户可将 DDR_VREF 连接到高精度外部电阻分压器。使用就近安装的 0.1 μF 电容，将 DDR_VREF 分流到 GND。有关电阻器值，请参见表 15。使用具有建议容差值的电阻器，可以确保按照 DDR3 规范，提供±2%的 DDR_VREF 容差。</li> <li>用户可以按照恩智浦参考设计上的方法使用 PMIC 跟踪稳压器。</li> </ul>
	3.将 DRAM_RESET 连接到接至 GND 的 5%精度 10 kΩ 下拉电阻。	<ul style="list-style-type: none"> <li>DDR3: DRAM_RESET 应该下拉以满足 JEDEC 序列，直至控制器已配置并开始驱动。当 DDR3 进入自刷新模式时，DRAM_RESET 应该保持高电平。</li> <li>LPDDR2: DRAM_RESET 应悬空。有些恩智浦参考设计使用 1% 电阻来整合 BOM。DRAM_RESET 是低电平有效信号。</li> </ul>
	4.使用 LPDDR2 时，DRAM_SDCKE0 和 DRAM_SDCKE1 需要接至 GND 的外部下拉电阻，以满足 JEDEC 标准。	<ul style="list-style-type: none"> <li>对于 LPDDR2: SDCKE[1:0]必须下拉以满足 JEDEC 序列，直至控制器已配置并开始驱动。恩智浦设计使用 10 kΩ。</li> <li>对于 DDR3: 不需要 SDCKE[1:0]下拉以满足 JEDEC 序列，除非使用了深度睡眠或待机模式（请参见第 5 点）。</li> </ul>

表 4.DDR 建议（续）

	<p><b>5.</b>DRAM_SDCKE0 和 DRAM_SDCKE1 需要接至 GND 的外部电阻（例如 10 kΩ），以便在深度睡眠模式(DSM)期间最大程度减少电流损耗。</p>	<p>对于 Fly-by 和树形拓扑设计，BSP（板级支持包）都使用了常见的 DDR 例程。Fly-by 设计在地址线上采用并行电阻端接，而树形拓扑不采用。在低功耗自刷新过程中，BSP 将焊盘控制寄存器 GRP_CTLDS 烧写为 0x00000000。因此，DRAM_SDCKE0、DRAM_SDCKE1 和其他相关 GRP_CTLDS I/O 都强制进入高阻抗状态。</p> <p>由于 DRAM_SDCKE0 和 DRAM_SDCKE1 强制进入高阻抗状态，所以需要使用外部下拉电阻来避免待机期间的浮空输出。在恩智浦设计中，我们利用 10 kΩ 电阻达到这个目的。在 DRAM_SDCKE0 和 DRAM_SDCKE1 线路上，不应该存在其他端接（例如 50 Ω）；应该执行仿真以确保 CKE 信号完整性。</p>
	<p><b>6.</b>确保正确的 LPDDR2 功能连接到正确的 I/O。请注意，它不一定与 I/O 名称对应。</p>	<p>MMDC IO 名称用作 DDR3 默认值。选择 LPDDR2 时，I/O 名称 (DDR3 MMDC PAD)与 LPDDR2 功能不匹配。请参见芯片参考手册中的“多模 DDR 控制器(MMDC)”章节的“LPDDR2 和 DDR3 引脚多路复用映射”表格。</p>



表 5.针对开发人员启动模式的 LCD 建议

勾选框	建议	说明/补充建议
	<b>1.</b> 当 LCD 启动信号被用作系统的 LCD 信号时，其他功能（或者启动后的 GPIO 输出）使用无源电阻网络，为开发板选择所需的启动模式。	由于只使用了电阻，LCD 总线负载可能导致电流损耗，进而导致电源电流测量值偏高（错误）。每个 LCD 启动信号均应连接到串联电阻，将总线与电阻和/或开关隔离开；请参见图 1。每个配置的 LCD 启动信号都采用 10 k $\Omega$ 下拉电阻或 10 k $\Omega$ 上拉电阻。对于每个支持开关的上拉信号，电源都有 10 k $\Omega$ 电流负载。在 i.MX 6ULL EVK 开发板设计中，实施了使用缓冲区的另一种方法。这两种方法均可接受。
	<b>2.</b> 要减少错误的启动模式选择，请执行以下操作之一： <ul style="list-style-type: none"> <li>• 将 LCD 启动接口线仅用作处理器输出。当意图保持高电平时，确保 LCD 启动接口线不过载（使得电平在上电期间被解读为低电平），反之亦然。</li> <li>• 如果必须将 LCD 启动信号配置为输入，则使用一个模拟开关将 LCD 信号与目标驱动源隔离，第二模拟开关使用逻辑值。也可以使用具有三态输出的外围器件。在启动间隔期间，确保输出为高阻抗。</li> </ul>	由于受克服拉电阻值的源的影响，使用 LCD 启动接口线作为输入可能导致错误的启动。外围器件可能要求对 LCD 信号采用一个外部或片上电阻以尽量减少信号浮动。如果使用 LCD 启动信号会影响外围器件，则要用模拟开关、开路集电极缓冲器或等效器件隔离该路径。外围器件上的上拉电阻或下拉电阻可能需要维持所需的逻辑电平。请查看开关或器件数据表，了解相关工作规格信息。
	<b>3.</b> BOOT_CFG 信号是确保功能和运行正常的必备条件，不得浮空。	有关正确启动配置的信息，请参见芯参考手册中“系统启动”一章。请注意，不正确的设置可能源于不正确的启动序列。

表 6.启动模式输入建议

勾选框	建议	说明/补充建议
	<p>对于 BOOT_MODE1 和 BOOT_MODE0, 使用以下选项之一以实现逻辑 0:</p> <ul style="list-style-type: none"> <li>通过任意值的外部电阻连接到 GND</li> <li>直接连接到 GND</li> </ul> <p>对于逻辑 1, 请使用以下选项之一:</p> <ul style="list-style-type: none"> <li>直接连接到 VDD_SNVIS_IN 导轨</li> <li>通过外部 10 kΩ 电阻连接到 VDD_SNVIS_IN 导轨。在高噪声环境中, 首选值为 4.7 kΩ。</li> </ul> <p>如果需要开关控制, 则不需要使用外部下拉电阻。只需将 SPST 开关直接连接到 VDD_SNVIS_IN 导轨即可。当电流损耗很严重时, 需要时可以使用 4.7 kΩ 至 10 kΩ 的串联电阻。</p>	<p>BOOT_MODE1 和 BOOT_MODE0 均有片上下拉器件, 标称值为 100 kΩ, 预计最小值为 60 kΩ, 预计最大值为 140 kΩ。请注意, 当两者处于逻辑高电平时, 电流从 VDD_SNVIS_IN 电源汲取。生产中, 当片上熔丝确定启动配置时, 可以断开两个启动模式输入。</p>

表 7.I<sup>2</sup>C 建议

勾选框	建议	说明/补充建议
	1.验证目标 I2C 接口时钟速率。	总线的工作速度只能与总线上最慢的外设相同。如果需要更快工作, 请将运行缓慢的器件移动到另一个 I2C 端口。
	2.验证目标 I2C 地址范围受支持, 不与其他外设冲突。如果有不可避免的地址冲突, 请将冲突的器件移动到另一个 I2C 端口。	这些芯片支持最多四个 I2C 端口。如果不想将冲突的器件移动到另一个 I2C 端口, 请检查外设工作情况, 了解它是否支持重新映射地址。
	3.不要在 I2C 线路上放置超过一组上拉电阻,	这可能导致过载。良好的设计做法是仅放置一对上拉电阻。

表 8.JTAG 建议

勾选框	建议	说明/补充建议
	1.不要在 JTAG_TDO 上添加外部上拉或下拉电阻。	JTAG_TDO 配置有片上保持器电路, 因此如果不存在外部上拉电阻, 则可主动消除浮空条件。JTAG_TDO 上的外部上拉电阻是有害的。请参见表 2-15, 了解 JTAG 接口概要。
	2.如果外部电阻与 JTAG 信号一起使用 (JTAG_TDO 除外), 请确保遵循片上上拉/下拉电阻配置。例如, 不要在有片上上拉电阻的输入上使用外部下拉电阻。	除 JTAG_TDO 外, 所有 JTAG 信号都可以使用外部电阻, 但并非强制要求。请参见表 16, 了解 JTAG 接口概要。
	3.在有些文档中, JTAG_MOD 可能被称为 SJC_MOD。二者均指同一信号。JTAG_MOD 应外接 GND, 以便能在系统中正常工作。允许通过外部下拉电阻端接至 GND。使用 4.7 kΩ 电阻。	当 JTAG_MOD 为低电平时, JTAG 接口配置为通用软件调试, 将所有系统 TAP 添加到链中。当 JTAG_MOD 为高电平时, JTAG 接口配置为符合 IEEE 1149.1 标准的模式。

表 9.电源去耦建议

勾选框	电源	去耦电容和大容量电容（最小量）	备注
	VDD_SOC_IN	$2 \times 0.22\mu\text{F}^2 + 1 \times 4.7\mu\text{F}^1 + 1 \times 22\mu\text{F}^3$	14x14 封装：将 22 $\mu\text{F}$ 电容和一个 0.22 $\mu\text{F}$ 电容放在引脚 K10 旁边。
	VDD_ARM_CAP	$2 \times 0.22\mu\text{F}^2 + 1 \times 22\mu\text{F}^3$	14x14 封装：将 22 $\mu\text{F}$ 电容和一个 0.22 $\mu\text{F}$ 电容放在引脚 G9 旁边。将“+”放在通孔的 50 mil 范围内。请勿将任何负载连接到 VDDARM_CAP。
	VDD_SOC_CAP	$3 \times 0.22\mu\text{F}^2 + 1 \times 22\mu\text{F}^3$	14x14 封装：将 22 $\mu\text{F}$ 电容和一个 0.22 $\mu\text{F}$ 电容放在引脚 L10 旁边。将“+”放在通孔的 50 mil 范围内。
	VDD_HIGH_IN	$1 \times 0.22\mu\text{F}^2 + 1 \times 4.7\mu\text{F}^1$	—
	VDD_HIGH_CAP	$1 \times 0.22\mu\text{F}^2 + 1 \times 10\mu\text{F}^1$	VDDHIGH_CAP 仅限 MX6ULL 负载。
	VDD_SNVIS_IN	$1 \times 0.22\mu\text{F}^2$	—
	VDD_SNVIS_CAP	$1 \times 0.22\mu\text{F}^2$	如果标称值大于建议值，则上电/掉电斜升时间过长，无法保证暂停/恢复操作。选择低 ESR 的小电容。请勿将任何负载连接到 VDD_SNVIS_CAP。
	NVCC_DRAM	$6 \times 0.22\mu\text{F}^2 + 1 \times 10\mu\text{F}^3$	—
	NVCC_PLL	$1 \times 0.22\mu\text{F}^2 + 1 \times 10\mu\text{F}^1$	请勿将任何负载连接到此 LDO 输出。
	NVCC_XXXX	$1 \times 0.22\mu\text{F}^2$	每通孔一个电容。成组的 NVCC 引脚可以共享一个电容。
	VDD_USB_CAP	$1 \times 0.1\mu\text{F} + 1 \times 10\mu\text{F}^1$	可以使用单个 10 $\mu\text{F}$ 电容，而不是 2 个 4.7 $\mu\text{F}$ 电容。请勿将任何负载连接到此 LDO 输出。
	USB_OTG1_VBUS	$1 \times 1\mu\text{F}^1$	10V 额定值
	USB_OTG2_VBUS	$1 \times 1\mu\text{F}^1$	10V 额定值

<sup>1</sup> 使用您的设计规则允许的最小电容封装尺寸。<sup>2</sup> 对于 0.22  $\mu\text{F}$  电容，请使用 0402 封装。<sup>3</sup> 对于 22 $\mu\text{F}$  电容，0603 封装是首选；0805 和 1206 都是可接受的

表 10.电源和去耦建议

勾选框	建议	说明/补充建议
	1.遵守上电/掉电序列指南（如数据手册所述），确保器件的可靠运行。	与这些序列的任何偏差都可能导致以下情况： <ul style="list-style-type: none"> <li>上电阶段电流过大</li> <li>阻止器件启动</li> <li>对处理器造成不可逆转的损害（最坏情况）</li> </ul>
	2.请勿使纽扣电池备用供电轨 VDD_SNVS_IN 过载。请注意，以下 I/O 与 VDD_SNVS_IN 相关：大多数输入都有片上拉电阻，不需要外部电阻： <ul style="list-style-type: none"> <li>POR_B——可配置片上上拉</li> <li>ONOFF——片上上拉</li> <li>BOOT_MODE0——片上下拉</li> <li>BOOT_MODE1——片上下拉</li> <li>TAMPER——片上保持器</li> <li>PMIC_STBY_REQ——可配置输出</li> <li>PMIC_ON_REQ——推挽输出</li> <li>TEST_MODE——片上下拉</li> </ul>	对于 i.MX 6ULL： <ul style="list-style-type: none"> <li>当 VDD_SNVS_IN = VDD_HIGH_IN 时，从二者均等汲取 SNVS 域电流。</li> <li>当 VDD_HIGH_IN &gt; VDD_SNVS_IN 时，VDD_HIGH_IN 提供所有 SNVS 域电流，电流流入 VDD_SNVS_IN 以对纽扣电池充电。</li> <li>当 VDD_SNVS_IN &gt; VDD_HIGH_IN 时，VDD_SNVS_IN 向 SNVS 提供电流，一些电流流入 VDD_HIGH_IN。</li> </ul> <b>注：</b> VDD_HIGH_IN 必须有效（高于内部检测器阈值，2.4 V 典型值），才会产生电流。因此，只有当 VDD_HIGH_IN 上电到低于 VDD_SNVS_IN 的电平时，才会产生电流。如果 VDD_HIGH_IN 关闭或较低，则不会从 VDD_SNVS_IN 汲取额外电流。整个电路假定它为纽扣电池充电，当 VDD_HIGH_IN 有效时开始充电。如果使用非电池电源驱动 VDD_SNVS_IN，则它必须与 VDD_HIGH_IN 处于相同的电平下，否则两者之间将产生电流。 <ul style="list-style-type: none"> <li>如果 VDD_SNVS_IN 不是由电源供电，则建议 VDD_SNVS_IN = VDD_HIGH_IN。如果 VDD_SNVS_IN 连接到电池，电池最终会放电达到与 VDD_HIGH_IN 相等的值，后续充电不会高于 VDD_HIGH_IN。电池化学物质可能增加对 VDD_HIGH_IN 电压范围的限制。外部充电元件应该基于电池制造商的规范。</li> </ul>
	3.最大纹波电压限制。	纹波噪声的常见限制应小于电源电压平均值的 5%Vp-p。受影响的相关供电轨：所有 VDD_xxx_IN 和 VDD_xxx_CAP。
	4.如果 VDD_SNVS_IN 由纽扣电池直接供电，则在 VDD_HIGH_IN 和 VDD_SNVS_IN 之间需要 1 个肖特基二极管。阴极连接至 VDD_SNVS_IN。或者，如果在系统掉电期间不需要实时时钟功能，则可将 VDD_HIGH_IN 和 VDD_SNVS_IN 连接在一起。	当未对 VDD_VSNVS_IN 供电时，二极管会将两个片上 SNVS 电源域之间的电压差限制在约 0.3V。处理器的设计允许电流在两个 SNVS 电源域之间流动，与电压差成比例。

表 11.振荡器和时钟建议

勾选框	建议	说明/补充建议
	<b>1.</b> 对于精密型 32.768 kHz 振荡器，在 RTC_XTALI 和 RTC_XTALO 之间连接一个晶振。选择最大值 100 k $\Omega$ ESR（等效串联电阻）的晶振，并遵循制造商关于负载电容的建议。不要使用外部偏置电阻，因为偏置电路在芯片上。	在晶振两侧部署的电容大约为晶振负载电容的两倍。要达到目标振荡频率，需要减少电路板电容，以补偿电路板和芯片的寄生电容；通常使用 15 – 16 pF 电容。集成的振荡放大器具有片上自偏置机制，但却为高阻抗（相对较弱），以最大程度减少功耗。必须注意将来自 RTC_XTALI 和 RTC_XTALO 的寄生泄漏限制到电源或接地（大于 100 M $\Omega$ ），因为这会对变压器偏置产生负面影响，导致启动裕量减少。在晶振和处理器之间采用较短的走线，晶振、负载电容和相关走线下面设置一个接地层。
	<b>2.</b> 对于外部 kHz 源（如果将外部时钟馈入器件），RTC_XTALI 可以通过直流耦合驱动并使 RTC_XTALO 浮空，也可以使用互补信号驱动。	该驱动时钟的电压电平不得超过 VDD_SNVS_CAP 的电压，在典型条件下频率应低于 100 kHz。请勿超过 VDD_SNVS_CAP，否则可能会导致损坏/故障。如果 VDD_SNVS_CAP 电源关闭，则不得驱动 RTC_XTALI 信号。否则这会导致损坏或故障。欲了解 RTC_XTALI VIL 和 VIH 电压电平，请参见 i.MX 6ULL 的最新数据手册，可在 <a href="http://www.nxp.com">www.nxp.com</a> 网站获取。请注意，如果此外部时钟停止，内部环形振荡器会自动启动。
	<b>3.</b> 可提供大约 40 kHz 的片上宽容差环形振荡器。如果 RTC_XTALI 连接到 GND 且 RTC_XTALO 浮空，则片上振荡器自动启动。	当不需要高精度实时时钟时，系统可以使用片上 40kHz 振荡器。容差为 $\pm 50\%$ 。环形振荡器的启动速度比外部晶振快，并在外部晶振达到稳定振荡之前使用。如果在 RTC_XTALI 未检测到时钟，环形振荡器也会自动启动。

表 11.振荡器和时钟建议（续）

	<p><b>4.</b>对于精密型 24 MHz 振荡器，在 XTALI 和 XTALO 之间连接一个基模晶振。可以使用额定最大驱动电平为 250 W 的典型 80 ESR 晶振。</p> <p>也可以使用额定最大驱动电平为 200 W 的典型 50 ESR 晶振。有关更多选项，请参见 <a href="http://www.nxp.com">www.nxp.com</a> 上的工程通报 EB830。</p>	<p>恩智浦 BSP 软件在此时钟上要求 24 MHz。此时钟用作 USB 和 PCIe 的参考时钟，因而存在严格的频率容差和抖动要求。有关指南，请参见表 17。有关详细信息，请参见“晶体振荡器(XTALOSC)参考手册”章节和“相关接口规范”章节。要访问 24 MHz 晶振驱动电平的计算器，请参见 i.MX 社区上的 EB830。</p>
	<p><b>5.</b>外部 MHz 源（如果将外部时钟馈入器件）：</p> <ul style="list-style-type: none"> <li>可以使用单端外部时钟源来驱动 XTALI。在此配置中，XTALO 应该保持外部浮空。</li> <li>可以使用差分外部时钟源来驱动 XTALI 和 XTALO。</li> </ul>	<p>欲了解 XTALI VIL 和 VIH 电压电平，请参见 i.MX 6ULL 的最新数据手册。有关详细信息，请参见“晶体振荡器(XTALOSC)参考手册”章节和“相关接口规范”章节。</p>
	<p><b>6.</b>CCM_CLK1_P/CCM_CLK1_N 是符合 TIA/EIA-644 标准的 LVDS 输入/输出差分对。频率范围为 0 至 600 MHz。或者，可以使用单端信号来驱动 CCM_CLKx_P 输入。在这种情况下，相应的 CCM_CLKx_N 输入应该连接到等于 VDD_HIGH_CAP 的 50% 的恒定电压电平。对于高频信号，应该提供端接。有关更多详细信息，请参见数据手册中的 LVDS 焊盘电气规范。初始化后，可通过 PMU_MISC1 寄存器禁用 CCM_CLKx 输入/输出（若未使用）。如果未使用，CCM_CLKx_N/P 对的任一项或两者均可保持浮空。</p>	<p>时钟输入/输出是通用的差分高速时钟输入/输出。其中任一项或两者均可以配置：</p> <ul style="list-style-type: none"> <li>配置为输入，馈送至参考时钟，进一步馈送到片上 PLL 和/或模块。</li> <li>配置为输出，用作参考时钟，或用作外设的功能时钟。</li> </ul>
	<p><b>7.</b>用一个连接至 GND 的 2.2 M 电阻偏置 XTALI。将该电阻装在靠近 XTALI 引脚的位置</p>	<p>必须通过外部手段调整 XTALI 偏置，确保启动时间保持于合理范围以内。</p>

表 12.复位和开关建议

勾选框	建议	说明/补充建议
	1.如果使用外部 POR_B 信号控制处理器 POR，则必须在上电时立即置位 POR_B 并保持置位，直到 VDD_ARM_CAP 和 VDD_SOC_CAP 电源稳定为止。 VDD_SOC_IN 可以任一顺序运用，无任何限制。如果没有外部复位为 SRC_POR_B 输入馈电，内部 POR 模块将获得控制权。	复位开关可以连接到芯片的 POR_B，它是冷复位负逻辑输入，可以复位 IC 中的所有模块和逻辑。除了内部生成的上电复位信号（逻辑与，外部和内部信号都被视为有效低电平信号）之外，还可以使用 POR_B。
	2.对于便携式应用，ON/OFF 输入可以连接到 ON/OFF SPST 按钮。提供片上去抖动，此输入有片上上拉电阻。如果未使用，ON/OFF 可为无连接。	在 OFF 模式下与 GND 的短暂连接会使内部电源管理状态机将状态更改为 ON。在 ON 模式下，与 GND 的短暂连接会产生中断（旨在作为软件可控掉电）。 连接 GND 约五秒（或更长时间）会导致强制 OFF。

表 13.USB 建议

勾选框	建议	说明/补充建议
	1.USB OTG 为了遵守 USB OTG 规范，默认情况下，OTG 连接器上的 VBUS 电源应在电路板上电时关闭，并一直保持关闭状态，直至 OTG_ID 拉低。	需要时，处理器可以打开 VBUS。

表 14.其他建议

勾选框	建议	说明/补充建议
	1.TEST_MODE 输入内部连接到片上下拉器件。用户可将此信号浮空，也可将其连接到 GND。	此输入保留用于恩智浦制造用途。
	2.GPANAIO 必须为无连接。	此输出保留用于恩智浦制造用途。
	3.NC 触点为无连接且应浮空。	某些版本的 IC 可能在 BGA 内部连接了 NC 触点，具体取决于功能集。

下图提供了表 18 的支持信息。

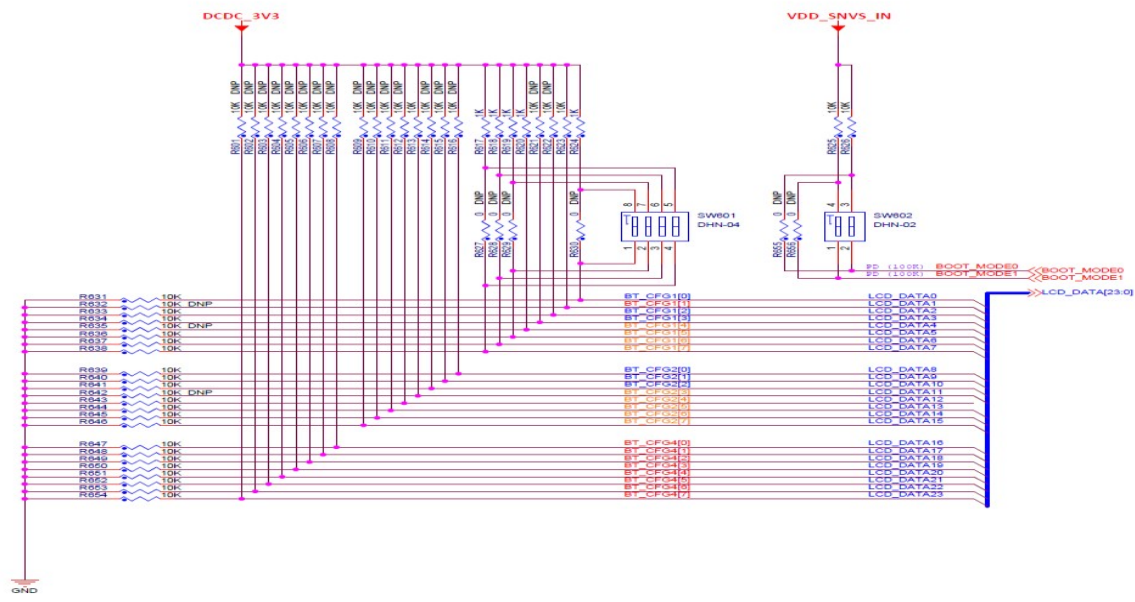


图 1.开发模式的启动配置

## 2.2 DDR 参考电路

下表为电阻图表（请参见表 4 建议 2）。这些建议适用于采用最大 Vref 输入电流每个为 2  $\mu$ A 的 DDR 存储器芯片的设计。

表 15.DDR Vref 电阻阻值确定指南

2 $\mu$ A Vref 输入电流时的 DRAM 数量	电阻分压器值（2 个电阻）
2	= 1.21 k $\Omega$ 1%
2	= 1.54 k $\Omega$ 0.5%
2	= 2.32 k $\Omega$ 0.1%



## 2.3 JTAG 信号端接

下表为 JTAG 端接图表（请参见表 8 中的建议）。

表 16.JTAG 接口概要

JTAG 信号	I/O 类型	片上端接	外部端接
JTAG_TCK	输入	47 k $\Omega$ 上拉电阻	不作要求；可使用 10 k $\Omega$ 下拉电阻
JTAG_TMS	输入	47 k $\Omega$ 上拉电阻	不作要求；可使用 10 k $\Omega$ 上拉电阻
JTAG_TDI	输入	47 k $\Omega$ 上拉电阻	不作要求；可使用 10 k $\Omega$ 上拉电阻
JTAG_TDO	3 态输出	100 k $\Omega$ 上拉电阻	不要使用上拉或下拉电阻
JTAG_TRSTB	输入	47 k $\Omega$ 上拉电阻	不作要求；可使用 10 k $\Omega$ 上拉电阻
JTAG_MOD	输入	100 k $\Omega$ 上拉电阻	使用 4.7 k $\Omega$ 下拉电阻或连接至 GND

## 2.4 振荡器容差

下表提供了 24 MHz 振荡器容差指南（请参见表 11，建议 4 和 5）。由于有这些指南，设计人员必须按照官方规范验证所有容差。

表 17.MHz 晶振容差指南

接口	容差 ( $\pm$ ppm)
以太网	50
USB2.0	150

## 2.5 未使用的模拟接口

下表显示了未使用模拟接口的建议连接。

表 18.未使用模拟接口的建议连接

模块	触点名称	未使用时的建议
ADC	ADC_VREFH	连接到 VDDA_ADC_3P3
	VDDA_ADC_3P3	即便未使用 ADC，VDDA_ADC_3P3 也必须上电。
CCM	CCM_CLK1_P、CCM_CLK1_N	浮空
RTC	RTC_XTALI	接地
	RTC_XTALO	浮空
USB OTG	USB_OTG1_CHD_B、USB_OTG1_DN、USB_OTG1_DP、USB1_OTG_VBUS USB_OTG2_DN、USB_OTG2_DP、USB2_OTG_VBUS	浮空

<sup>1</sup> 如果需要完成边界扫描测试，这些电源必须保持上电。

## 2.6 从 i.MX 6UltraLite 迁移到 i.MX 6ULL

从 i.MX 6UltraLite 到 i.MX 6ULL 的主要特性变化是增加了 EPDC 和 ESAI 支持。i.MX 6ULL 的 EPDC 能够支持 E-book DC4 板。有关从 i.MX 6UltraLite 迁移到 i.MX 6ULL 的详细信息可从以下网站获取：

待定网站

## 3 i.MX 6ULL 布局建议

### 3.1 简介

本章提供了相关建议，协助设计工程师进行基于 i.MX 6ULL 系统的布局。

### 3.2 基本设计建议

i.MX 6ULL 处理器采用多种封装。

使用 Allegro 工具时，最佳做法是采用恩智浦创建的封装。不使用 Allegro 工具时，则使用 Allegro 尺寸导出功能（许多工具都支持）。如果无法导出，则按照产品数据手册中的封装机械尺寸创建尺寸。

原生 Allegro 布局和 gerber 文件可从 NXP.com 获取。

#### 3.2.1 大容量电容和去耦电容的放置

将小去耦电容和较大的大容量电容放在 CPU 的底部。

0402 去耦电容和 0603 大容量电容应尽可能靠近电源引脚放置。这个距离应小于 50 mil。其他大容量电容可靠近 BGA 通孔阵列边缘放置。将去耦电容靠近电源引脚放置，这对最小化电感和确保处理器的高速瞬态电流需求至关重要。

正确的通孔尺寸对于保留充足的布线空间至关重要。通孔焊盘的建议几何尺寸为：焊盘尺寸 18 mil，孔 8 mil。

首选的 BGA 电源去耦设计布局可从 [www.nxp.com](http://www.nxp.com) 下载。客户应该使用恩智浦设计策略进行电源和去耦设计。

### 3.3 层叠建议

高速设计需要良好的层叠才能为关键走线提供正确的阻抗。

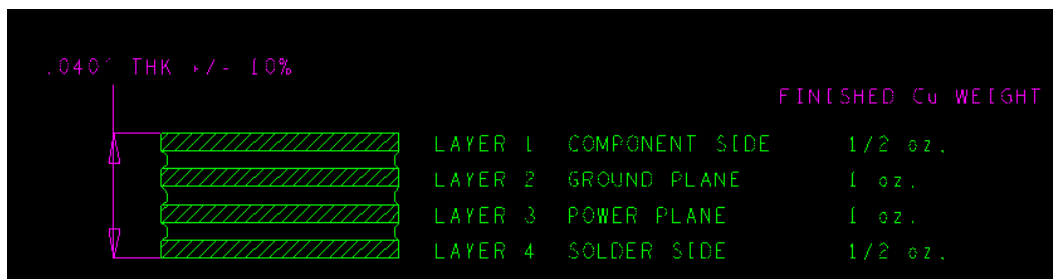


图 2. i.MX 6ULL EVK PCB 层叠信息

线宽限制可能取决于许多因素，例如电路板层叠以及相关的电介质和铜厚度、所需阻抗和所需电流（用于电源走线）。恩智浦参考设计提供最少 3 mil 的走线宽度用于 DDR 布线。层叠同时决定路由和间距限制。

在设计层叠并为电路板选择材料时，请考虑以下事项。

- 电路板层叠对于高速信号质量至关重要。
- 您必须预先计划关键走线的阻抗。
- 高速信号必须在相邻层上设有参考平面以最小化串扰。
- 恩智浦参考设计等同于 Isola FR4。
- 恩智浦验证板等同于 Isola FR4。
- 建议层叠是四层，各层堆叠如下图所示。左图显示了恩智浦在制造明细材料中作为 Gerber 文件的一部分提供的明细。右图显示了 PCB 制造公司针对我们的要求提出的解决方案。

下表显示了 i.MX 6ULL 评估套件 PCB 层叠实施方案：

表 19.层叠实现

层	单端		差分					
	走线宽度 (mil)	阻抗 (Ωs)	走线宽度 (mil)	走线间距“气隙” (mil)	阻抗 (Ωs)	走线宽度 (mil)	走线间距“气隙” (mil)	阻抗 (Ωs)
顶层	4.5	50	4	4	90	4	7	100
底层	4.5	50	4	4	90	4	7	100

3.4 DDR 连接信息

下图分别显示了 i.MX 6ULL 的 DDR3 接口和 LPDDR2 接口的参考设计板框图。

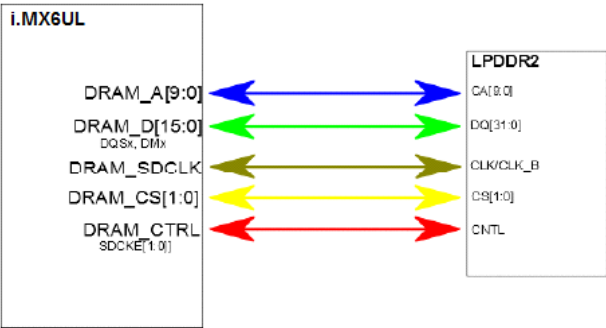


图 3. i.MX 6ULL LPDDR2 接口

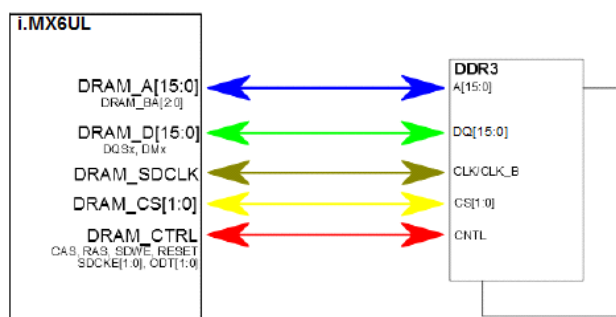


图 4. i.MX 6ULL DDR3 接口

DDR3 接口是对芯片布线最关键的接口之一。它必须具有受控阻抗，单端走线阻抗等于  $50\Omega$ ，差分对阻抗等于  $100\Omega$ 。

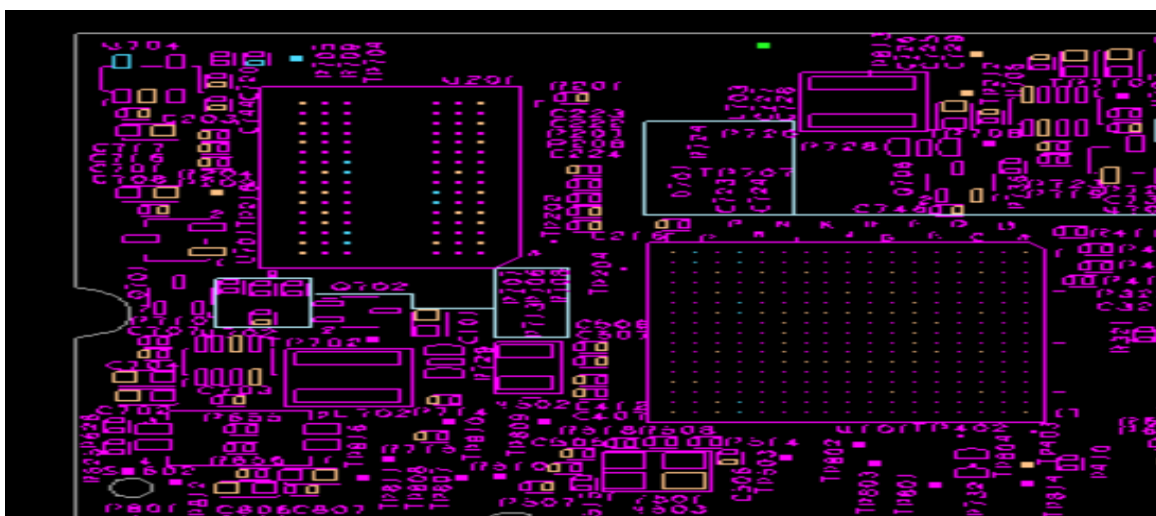


图 5. 存储器和去耦电容的最终放置 1

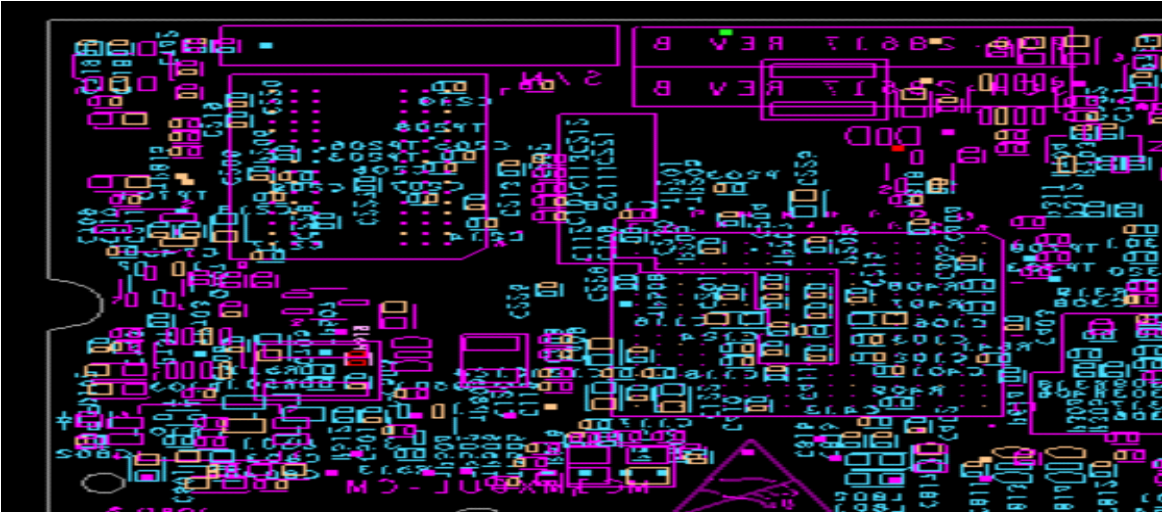


图 6.存储器和去耦电容的最终放置 2

### 3.4.1 DDR 布线规则

DDR3 布线可通过两种不同方式完成：所有信号以相同长度布线，或者按字节组布线。

所有信号以相同长度布线可能比较困难，因为 DDR 和处理器之间的间距紧密，有大量必需的互连。但这是更好的方法，因为它让信号时序分析变得简单。理想情况下，我们将所有信号以相同长度布线。但做到这一点可能有些困难，因为 DDR 和处理器之间的间距紧密，而且有很多连接。下表说明了信号以相同长度布线的规则。

表 20.DDR3 相同长度布线

信号	总长度	建议
地址和存储库	时钟长度	匹配长度列中指定值的±25 mil 范围内的信号
数据和缓冲区	时钟长度	匹配长度列中指定值的±25 mil 范围内的信号
控制信号	时钟长度	匹配长度列中指定值的±25 mil 范围内的信号
时钟 DRAM_SDCLK[1:0]	最长布线小于或等于 2 英寸	匹配时钟信号±5 mil 范围内的信号。每个差分时钟对
DRAM_SDQS[1:0]和 DRAM_SDQS[1:0]_B	时钟长度	匹配长度列中指定值的±10 mil 范围内 DQS 信号的信号

按字节组布线需要更好地控制每个组的信号。另外分析和限制条件设置也更加困难。但它的优势是可将匹配长度应用于更小的信号组。只要正确地设置了限制条件，这一点通常更易于实现。下表说明了按照字节组对信号布线的规则。

表 21.按字节组进行 DDR3 布线

芯片信号	组	长度(mil) 最小值		建议
DRAM_SDCLK0 DRAM_SDCLK0_B	时钟	尽可能短	2 英寸	匹配±5 mil 范围内的信号
DRAM_A[15:0] DRAM_SDBA[2:0] DRAM_RAS DRAM_CAS DRAM_SDWE	地址和命令	时钟（最小值） - 200	时钟（最小值） <sup>1</sup>	匹配±25 mil 范围内的信号
DRAM_D[7:0] DRAM_DQM0 DRAM_SDQS0 DRAM_SDQS0_B	字节组 1	—	时钟（最小值）	匹配±25 mil 范围内每个字节组的信号匹配 DQS 差分信号，在±10 mil 范围内
DRAM_D[15:8] DRAM_DQM1 DRAM_SDQS1 DRAM_SDQS1_B	字节组 2	—	时钟（最小值）	—
DRAM_CS[1:0] DRAM_SDCKE[1:0] DRAM_SDODT[1:0]	控制信号	时钟（最小值） - 200	时钟（最小值）	匹配±50 mil 范围内的信号

1) 时钟（最小值）— 时钟组信号的最短长度，因该组具有±5 密耳的匹配容差。最后，对于单端走线，阻抗等于 50Ω，对于差分对，阻抗等于 100Ω。

## 3.5 布线注意事项

芯片能够支持最多 2 GB 的 DRAM 存储器。i.MX 6ULL DDR 布线必须分为三个组：数据、地址和控制。每个组都有从 i.MX 6 系列芯片布线到 DDR 存储器的方法。DDR 布局有 2 GB 和 1 GB 选项。

### 3.5.1 交换数据线路

用于数据总线的 DDR3 引脚交换技术让用户更简单地进行以下操作：

- 直线布线
- 避免层之间的更改

规则如下：

- 硬件写入均衡 - 字节通道中的最低阶位必须保持在通道的最低阶位，以符合 JEDEC 标准（请参见 JESD79-3E 的“写入均衡”部分）
  - 每个字节的最低位必须在 i.MX 6ULL 和 DDR 芯片之间对齐。例如，i.MX 6ULL 的 D0 与 DDR 芯片的 D0 对齐，i.MX 6ULL 的 D8 与 DDR 芯片的 D8 对齐。
  - 其他数据行可在字节通道内部自由交换
- JEDEC DDR3 存储器的限制是：
  - 整个字节通道交换不受限制
  - DQS 和 DQM 必须遵循通道

#### 备注

如果字节通道交换完成，必须根据数据行交换，变换目标 DDR IC 寄存器读取值。

### 3.5.2 高速信号路由建议

以下列表就高速信号的路由走线提出了相应的建议。请注意，传播延迟和阻抗控制必须匹配才能与器件正确通信。

- 高速信号（DDR、RMII、显示器）不得跨越参考平面中的间隙。
- 避免在参考平面中形成插槽、空隙和间隔。检查通孔空隙，确保它们不会形成间隔（间隔通孔）。
- 在不同参考接地层之间转换时，在距信号层转换通孔 100 mil 的距离内提供接地回路通孔。
- 固态 GND 平面必须直接位于与元件和走线相关的晶振下方。
- 同一层上的时钟或选通需要距相邻走线至少 2.5 倍的间距（距参考平面 2.5 倍的高度）以减少串扰。
- 所有同步模块应该具有总线长度匹配和相对时钟长度控制。对于 SD 模块接口：
  - 匹配数据和 CMD 走线长度（长度差取决于总线速率）。
  - CLK 应该长于数据/CMD 组中最长的信号（5 mil 以上）
  - SD 模块接口的数据、地址和控制必须遵循类似的 DDR 规则。



## 3.6 DDR 电源建议

以下建议适用于 VREF (P0V675\_REFDDR)电压参考平面。

- 在去耦电容和目的地之间，使用小于 30 mil 的走线。
- 与其他网络保持 25 mil 的间隙。

稳压器、控制器和器件使用分布式 0.22 uF 电容进行去耦。

- 将一个 1.0 uF 电容放在 VREF 源的附近：一个靠近控制器上的 VREF 引脚，两个在控制器和器件之间。

## 3.7 USB 建议

将这些建议用于 USB。

- 首先路由高速时钟和 DP 与 DM 差分对。
- 路由电路板顶部或底部层上的 DP 和 DM 信号。
- DP 和 DM 信号的走线宽度和间距应该满足 90Ω 的差分阻抗要求。
- 在连续层上（电源层和接地层）走线。
  - 它们不得越过任何电源/GND 平面插槽或抗蚀刻。
  - 放置连接器时，请确保每个引脚周围的接地层净空在所有引脚之间均具有接地连续性。
- 保持 DP 和 DM 之间的平行度（偏斜匹配），并使整体差分长度差保持在 5 mil 以内。
- 对每个差分对保持路由的对称性。

请勿将 DP 和 DM 走线放在振荡器下方，或者与时钟走线和/或数据总线并联。

- 最大限度地缩短与 DP 和 DM 对平行的高速信号的长度。
- 使 DP 和 DM 走线尽可能短。
- DP 和 DM 信号的走线要尽量减少角。使用 45 度弯角而非 90 度弯角。
- 在 DP 和 DM 信号上要避免改变层（通孔）。不要形成短截线或分叉。
- 在不同参考接地层之间转换时，在距信号层转换通孔 50 mil 的距离内提供接地回路通孔。

### 3.8 阻抗信号建议

当您在软件 PCB 工具中更新或创建限制条件以设置阻抗和正确走线宽度时，请使用下表作为参考。

表 22.阻抗信号建议

信号组	阻抗	布局阻抗(±)
所有信号，除非指定	50Ω SE	10%
USB 差分信号	90Ω Diff	10%
差分信号 DDR、Phy IC 至以太网连接器	100Ω Diff	10%

下图显示了带状线和微带线对的尺寸。图 8 显示了差分对路由。

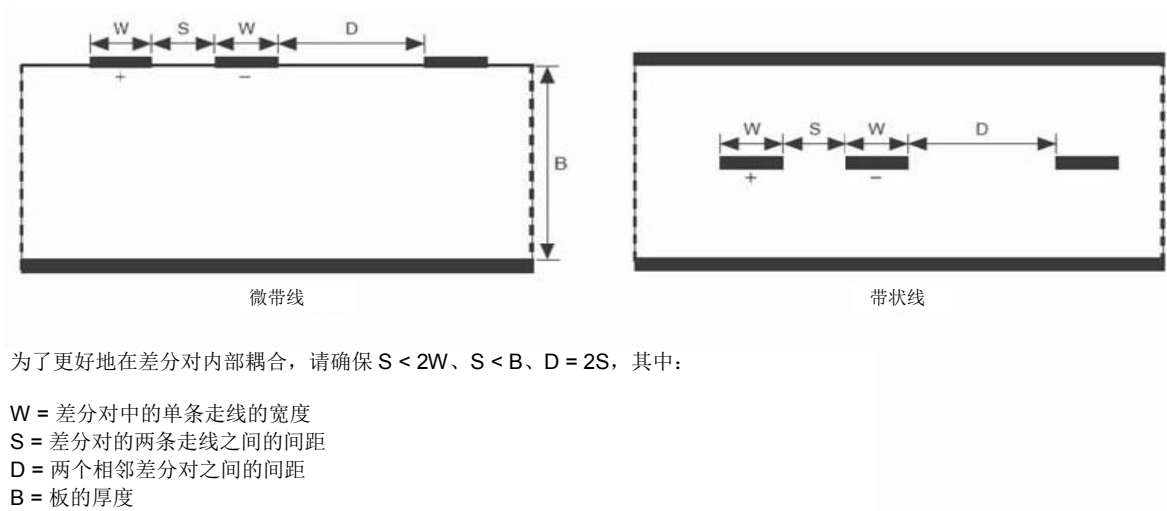


图 7.微带线和带状线差分对尺寸

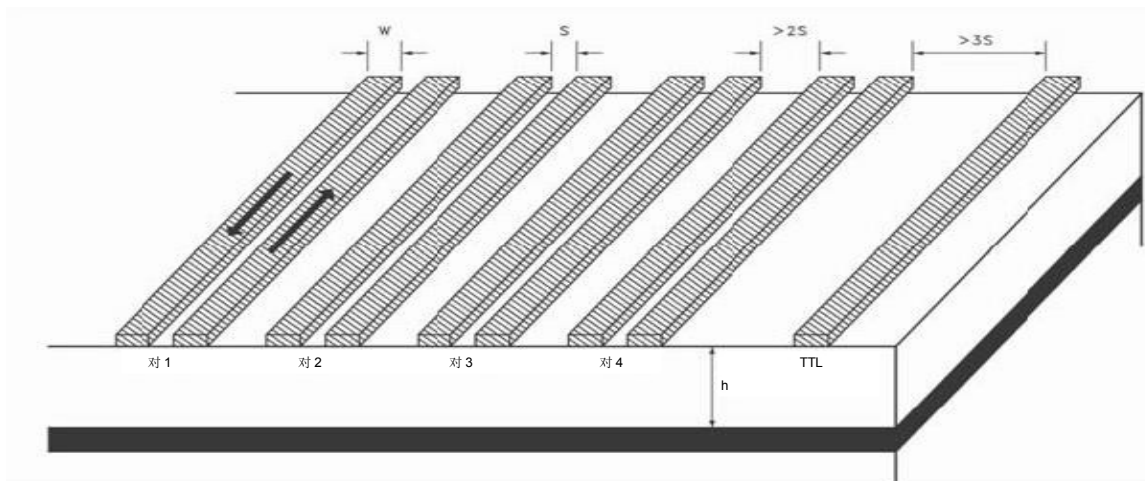


图 8.差分对路由

- 两个相邻差分对之间的间距应该大于或等于两条单独导线之间的间距的两倍。
- LVDS 对之间的偏斜应该在建议最小值范围内（ $\pm 100$  密耳）。

### 3.9 ESD 和辐射量建议

PCB 设计应为四层，包含坚固的电源层和接地层。ESD 保护和辐射量性能建议如下所示：

- 所有带有接地底板屏蔽体的元件（USB 插孔、按钮等）应该将屏蔽体连接到 PCB 底板接地环。
- 铁氧体磁珠应该放置在每条连接到外部线缆的信号线上。这些铁氧体磁珠必须放置在尽可能靠近 PCB 插孔的位置。

#### 备注

铁氧体磁珠在 100 MHz 频率下的阻抗至少应达到 500Ω，但 USB\_5V 上的铁氧体例外。

- 铁氧体磁珠不应放置在 USB D+/D- 信号线上，因为这会导致 USB 信号完整性问题。对于因为 USB 导致的辐射量问题，可在 D+/D- 信号线上放置共模电感。但在大多数情况下，如果 PCB 布局令人满意，就不需要放置共模电感。理想情况下，对于高速 USB 用途，共模电感应经过许可使用，或者经过彻底测试以确认不存在信号完整性问题。
- 强烈建议在连接到外部连接器的端口上使用 ESD 保护器件。用户必须为 USB 接口添加低电容 TVS 阵列。例如，SEMTECH 的 RClamp0854P 可以保护 USB2.0 和 USB OTG 等高速数据接口，防止由于 ESD、CDE 和 EFT 导致的过压。有关 USB 接口上的 ESD 保护方案的详细信息，请查看参见原理图（从 [www.nxp.com](http://www.nxp.com) 网站获取）。
- 如果可能，请在电路板周围穿一些通孔，相互间距为 100 mil，连接到接地层，带有外露的焊接掩膜以提高 EMI 性能。它称为法拉第笼。

### 3.10 元件放置建议

放置元件时，请遵守以下建议。

- 放置元件时，应该让短走线和/或关键走线易于布线。
  - 关键走线决定了元件位置。
  - 器件的朝向应该有利于走线（最大程度地减少长度和交叉）。
- 考虑将以下元器件相邻放置。
  - i.MX 和 DDR
  - PHY 和相关插孔
  - 插孔和 CODEC 输入
  - 蓝牙®（或其他射频）和天线

### 3.11 减少差分对走线的偏斜和相位问题

随着差分对技术的演进，它们要求在相位方面进行更严格的检查。这一点在与并行总线（例如 DDR 或以太网）相关的更高数据传输速率上体现得非常明显。简而言之，差分对技术就是通过一对走线，发送相反和同等的信号。保持相反信号同相位，对于确保正常工作至关重要。

下图显示了两个静态路由的实例，这些例子中实现了匹配，而无需调节差分对的一个元素。

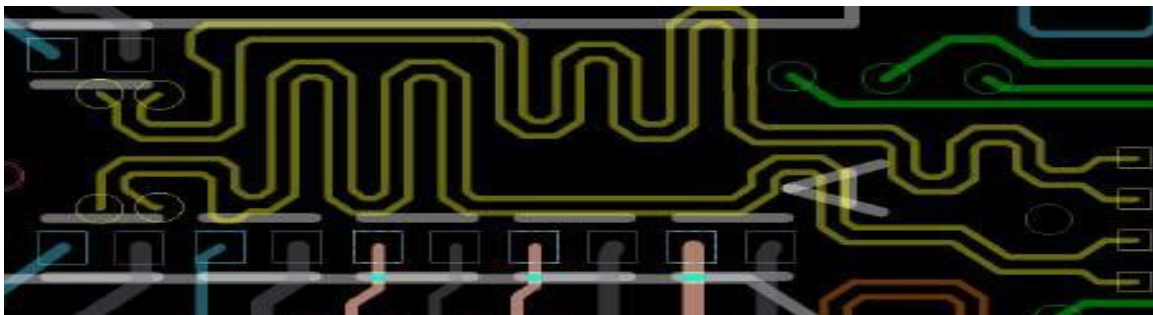


图 9.黄色走线差分对 1

下图显示了将延迟走线添加到差分对的一个元素，以避免长度不匹配（这样可以减少偏斜和相位问题）。绿色框标记了详细情况。

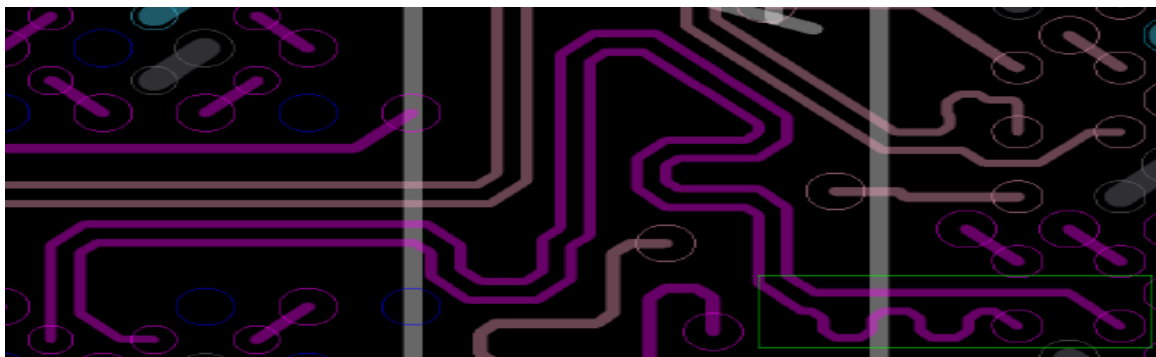


图 10.添加到较短差分对的小凸点

### 3.12 eMMC HS200 模式建议

eMMC 的 HS200 总线速度模式提供以下特性：

- SDR 数据采样方法
- 高达 200MHz 的 CLK 频率下的数据传输速率 - 高达 200MB/s
- 支持 4 位或 8 位的总线宽度
- 单端信号传送，提供 4 个可选的驱动强度
- 信号电平为 1.8V
- 读取操作的调节概念

适用于 eMMC HS200 模式的 PCB 设计建议如下：

- 控制器和 eMMC 之间信号的传播时滞时间应在 50ps 之内。
- 走线的最大长度应为 60mm，因为寄生电容将导致驱动负载电容增加。
- 最大线长度差应为 8mm。
- eMMC 的硬件复位引脚应该配置为浮空，如果不使用，应该配置为连接到 GND。
- DDR50 的最大线长度应为 60mm。
- DDR50 的最大线长度差应为 8mm。

# 4 避免电路板启动问题

## 4.1 简介

本章节提供有关避免第一次启动电路板时的常见错误的建议。这些建议包括一些基本技巧，过去的事实已经证明，这些技巧 对于检测电路板问题是有用的，可以帮助我们避开三个最常见的启动陷阱：电源、时钟和复位。本章节末尾还提供了一个示例启动核对清单表。

## 4.2 使用电流监控器来避开电源陷阱

过大的电流可能对电路板造成损坏。可通过使用限制电流的实验室电源，将其设置为预期的典型主电流消耗，从而避免这个问题。第一次为电路板上电时，使用电流表来监控主电源电流。如果电源有内部电流计，也可以使用该电流计。通过监控主电源电流，控制电流限制，通常可在发生永久性损坏之前检测到过高电流。

## 4.3 使用电压报告来避开电源陷阱

使用不正确的电压轨是一个常见的电源陷阱。为了帮助避免这种错误，在启动电路板之前，可以创建一个名为电压表的基本表格。该表格可帮助您验证所有电源都达到了预期的电压。

要创建电压报告，请列出以下信息：

- 电路板电压源
- 电路板电压源的默认上电值
- 在电路板上的最佳位置，以便测量每个电源的电压电平

请仔细确定每个电源的最佳测量位置，以避免电路板上的较大压降（IR 压），它会导致测量的电流值不精确。以下指南可帮助您进行最准确的电流测量：

- 在最接近负载（在本例中为 i.MX 6ULL 处理器）的位置进行测量
- 进行两次测量：第一次是在初次电路板启动之后，第二次是在运行对 i.MX 6ULL 产生很大压力的高负载用例时。

确保为 i.MX 6ULL 供电的电压达到了芯片专用数据手册中所列的直流电气规格。

表 23.电压报告示例

源极	网络名称	预期值 (V)	测量值 (V)	测量点	备注
主	VSYS	5.0	5.103	TP814	—
LDO	VDD_SNVS_3V3	3.3	3.334	TP701	—
DCDC	DCDC_3V3	3.3	3.261	TP705	—
DCDC	DRAM_1V35	1.35	1.376	TP708	—
DCDC	VDD_ARM_SOC_IN	1.4	1.411	TP702	—

表 23.电压报告示例

LDO	VLDO_3V3	3.3	3.275	TP704	—
LDO	VLDO_1V8	1.8	1.792	TP707	—
LDO	NVCC_SD	3.3/1.8	3.311	TP709	—
i.MX 6ULL	VDD_ARM_CAP	1.1	1.1	C106	—
i.MX 6ULL	VDD_SOC_CAP	1.1	1.1	C116	—
i.MX 6ULL	VDD_HIGH_CAP	2.5	2.515	C120	—
i.MX 6ULL	VDDSNVS_CAP	1.1	1.1	C124	—
i.MX 6ULL	NVCC_PLL_OUT	1.1	1.1	C122	—

## 4.4 检查时钟陷阱

外部时钟故障是导致电路板启动问题的另一个常见原因。确保您的整个时钟源按照预期的方式运行。

XTALI/XTALO 和 RTC\_XTALI/RTC\_XTALO 分别是 i.MX 6ULL 上的 24 MHz 和 32 kHz 参考时钟的主时钟源。虽然低抖动外部振荡器并不是必需的，但如果由 CLK1\_P/N 驱动模块需要低抖动或特殊频率时钟源，使用低抖动外部振荡器来将信号馈送到 i.MX 6ULL 上的 CLK1\_P/N 可能是一大优势。有关详细信息，请参见 i.MX 6ULL 芯片参考手册中的 CCM 章节。如果 32.768 kHz 晶振没有连接到 i.MX 6ULL，则自动使用片上环形振荡器作为低频率时钟源。

检查晶振频率时，请使用有源探针来避免过载。寄生探针通常禁止 32.768 kHz 和 24 MHz 振荡器启动。使用以下指南：

- RTC\_XTALI 时钟的工作频率为 32.768 kHz（可内部生成，也可外部应用）。
- XTALI/XTALO 的工作频率为 24 MHz（用于 PLL 参考）。
- CLK1\_P/N 可用作低抖动特殊频率时钟源的振荡器输入。
- CLK1\_P/N 是可选的。

除了探测外部输入时钟之外，您还可以通过在调试信号 CLK01 和 CLK02（多路复用信号）输出时钟来检查内部时钟。有关哪些时钟源可以输出到这些调试信号的更多详细信息，请参见芯片参考手册中的 CCM 章节。JTAG 工具可用于配置必需的寄存器以完成这项工作。

## 4.5 避开复位陷阱

请遵循这些指南，以确保使用正确的启动模式进行启动。

- 在激活 POR\_B 复位信号的同时进行初始上电的过程中，请确保 24 MHz 和 32.768k 时钟有效，然后再释放 POR\_B。
- 请遵循在 i.MX 6ULL 数据手册中指定的上电序列。
- 请确保 POR\_B 信号保持激活状态（低电平），直至与启动相关的所有电压轨都打开。

GPIO 和内部熔丝控制 i.MX 6ULL 的启动方式。有关不同启动模式的更详细说明，请参见芯片参考手册的系统启动章节。

4.5.1 样品电路板启动核对清单

请注意，核对清单包括了在上文中描述的所有建议。在启动过程中，请根据情况填写空白单元格。

表 24.电路板启动核对清单

核对清单项目	详细信息	所有者	发现和状态
注：必须依次完成以下项目。			
1.执行目视检测。	在上电之前，检查主要元件，以确保所有元件均未错位或旋转。		
2.验证所有 i.MX 6ULL 电压轨。	确认电压符合数据手册的要求。请务必检查电压，不仅在电压源处，还要在尽可能靠近 i.MX 6ULL 的位置（例如在旁路电容上）。这样可以发现电路板上的 IR 压降，防止它在今后导致出现问题。理想情况下，应该对所有 i.MX 6ULL 电压轨进行检查，但 VDD_ARM_SOC_IN 是特别重要的电压。这些是核心逻辑电压，必须在 i.MX 6ULL 数据手册中提供的参数范围内。VDD_SNVS_IN、NVCC_GPIO 和 NVCC_DRAM 对 i.MX 6ULL 启动也至关重要。		
3.验证上电序列。	确认在所有供电轨均已启动并稳定后，上电复位(POR_B)已解除置位（高）。有关上电序列的详细信息，请参见 i.MX 6ULL 数据手册。		
4.测量/探测输入时钟（32 kHz、24MHz 等）。	没有正常运行的时钟，i.MX 6ULL 将无法正常工作。		
5.检查 JTAG 连接	它是 i.MX 6ULL 最基本的访问点之一，允许调试和执行低级别代码。		
注：以下项目可与其他启动任务同时进行。			
访问内部 RAM。	验证系统中的 i.MX 6ULL 的基本操作。通过对内部 RAM 执行读写验证，执行基本测试。无需软件初始化来访问 RAM。		



表 24.电路板启动核对清单（续）

如果板设计支持 CLK0 引脚探测，请验证 CLK0 输入（测量和验证所需时钟输出选项的默认时钟频率）。	这样可以确保相应的时钟正常运行，所有 PLL 都在工作。请注意，这个步骤需要芯片初始化，例如通过 JTAG 调试器，目的是将 IOMUX 正确设置为输出 CLK0，设置时钟控制模块以输出所需的时钟。有关更多信息，请参见参考手册。		
<p>测量启动模式频率。为每种启动模式设置启动模式开关，并测量以下指标（取决于系统可用性）：</p> <ul style="list-style-type: none"> <li>• NAND（探测 CE 以验证启动，测量 RE 频率）</li> <li>• SPI-NOR（探测从属选择和测量时钟频率）</li> <li>• MMC/SD（测量时钟频率）</li> </ul>	这样可以验证指定信号在 i.MX 6ULL 和启动器件之间的连接，确认正确设置了启动模式信号。有关配置各种启动模式的详细信息，请参见参考手册中的“系统启动”章节。		
运行基本 DDR 初始化并测试存储器。	<ol style="list-style-type: none"> <li>1.假定使用 JTAG 调试器，运行 DDR 初始化，打开指向 DDR 存储器映射起始地址的调试器存储器窗口。</li> <li>2.尝试写入几个字，验证它们是否能够正确读取。</li> <li>3.如果不能，请重新检查 DDR 初始化序列，检查 DDR 是否正确焊接到电路板上。</li> </ol> <p>还建议用户重新检查原理图，以确保 DDR 存储器已正确连接到 6ULL。</p>		

# 5 了解 IBIS 模型

本章节解释如何使用 IBIS（输入输出缓冲区信息规范）模型，它是电子工业联盟的标准，用作集成电路输入/输出模块特征的电子行为规格。该模型以 ASCII 文本格式生成，包括多个表格，反映每个缓冲区的电流与电压(IV)、电压与时间(VT)特征。IBIS 模型通常用于执行 PCB 板级信号完整性(SI)仿真和时序分析。

IBIS 模型的特性如下：

- 支持快速的芯片-封装-板仿真，具有 SPICE 级别的精确度，快于其他任何晶体管级别模型
- 为可移植模型数据提供以下信息：
  - I/O 缓冲区、串联元件、端接器
  - 封装 RLC 寄生效应
  - 电气电路板说明

## 5.1 IBIS 结构和内容

IBIS 文件包含以 ASCII 格式为元件的输入、输出、I/O 缓冲区建模所需的数据。基本 IBIS 文件包含以下数据：

- 有关模型文件的标头信息

有关元件、封装电气特征、引脚与缓冲区模型映射（换言之，哪些引脚连接到哪些缓冲区模型）的信息

为元件上的独特输入、输出和 I/O 缓冲区设计进行建模所需的数据

IBIS 模型以元件为中心，这意味着它们允许用户为整个元件建模，而不是仅为特定缓冲区建模。因此，除了元件的缓冲区的电气特征之外，IBIS 文件还包括元件的引脚与缓冲区映像，以及元件封装的电气参数。

## 5.2 标头信息

IBIS 文件的第一部分提供有关文件及其数据的基本信息。下表说明了标头信息的含义。

表 25.标头信息

关键字	必需	说明
[IBIS Ver]	是	此文件使用的 IBIS 规范的版本
[Comment char]	否	更改注释字符。默认使用管道( )字符
[File Name]	是	此文件的名称。所有文件名必须是小写。IBIS 文件的文件扩展名为.ibs
[File Rev]	是	此文件的修正级别。规范包含有关分配修正级别的指南。
[Date]	否	创建此文件的日期
[Source]	否	此文件中的数据的来源。数据从仿真提取，并在板上进行了验证。

表 25.标头信息

[Notes]	否	特定于元件或文件的说明。
[Disclaimer]	否	可能是法律要求的
[Copyright]	否	文件的版权声明

示例 1.标头信息

```

[IBIS Ver]      4.2
[Comment Char]  |_char
[File Name]     l4xl4_imx6ull_autmtv_1.ibs
[File Rev]      001
[Date]          Sat Jan 31 02:23:00 2015
[Source]        FSL Viper 2012.03.14
[Notes]

```

## 5.2.1 元件和引脚信息

IBIS 文件的第二部分是存储数据信息的位置，这些信息包括元件的引脚输出、引脚与缓冲区映射、封装、引脚电气参数。

表 26.元件和引脚信息

关键字	必需	备注
[Component]	是	建模的元件的名称。标准实践是使用行业标准的器件命名。请注意，IBIS 文件可能包含多个[Component]描述。
[Manufacturer]	是	元件制造商的名称
[Package]	是	此关键字包含封装的引脚电阻、电感和电容（R_pkg、L_pkg、C_pkg 参数）变化的范围（最小值、典型值和最大值）。
[Pin]	是	此关键字包含引脚与缓冲区映射信息。此外，模型创建者可以使用此关键字来列出封装信息：每个引脚的 R、L 和 C 数据（R_pin、L_pin 和 C_pin 参数）。
[Package Model]	否	如果元件模型包括外部封装模型（或者在 IBIS 文件内部使用了[Define Package Model]关键字），则此关键字指示封装型号名称。
[Pin Mapping]	否	如果模型创建者希望包含有关缓冲区电源和接地连接的信息，可使用此关键字。此信息可用于涉及多个输出切换的仿真。
[Diff Pin]	否	此关键字用于关联应作为差分对通过互补方式驱动的缓冲区。
[Model Selector]	是	此关键字提供一种简单的方式，让多个缓冲区可以选择用于元件的相同物理引脚的仿真。

示例 2.元件和引脚信息

```
[Component] imx6ull_14x14
[Manufacturer] NXP
[Package]
|variable      typ          min          max
R_pkg         0.19939         6.56E-03      0.3526
L_pkg         4.44E-09         1.69E-10      8.61E-09
C_pkg         5.70E-13         3.18E-13      4.04E-12
|
|
[Pin]  signal_name      model_name      R_pin      L_pin      C_pin
A1      GND              GND           NA          NA          NA
A2      SD1_DATA3        gpio          0.353071   7.62806nH   0.6007274pF
```

5.2.2 模型信息

[Model]关键字开始对特定缓冲区的数据描述。

表 27.模型信息

关键字	备注
[Model Spec]	用于模型仿真的一组常规参数。
[Receiver Thresholds]	不同仿真案例的阈值信息。
[Temperature Range]	收集最小、典型、最大电流电压值和开关数据的温度范围。
[Voltage Range]	Vcc 值变化的范围，目的是获取最小、典型、最大上流电阻和电源钳位数据。
[Pulldown] [Pullup] [GND_clamp] [POWER_clamp]	电流电压信息。有关更多详细信息，请参见第 5.2.3 部分“电流电压信息”。
[Ramp] [Rising Waveform] [Falling Waveform]	电压时间信息。有关更多详细信息，请参见第 5.2.4 部分“电压时间信息”。
[Test Data] [Rising Waveform Near] [Rising Waveform Far] [Falling Waveform Near] [Falling Waveform Far] [Test Load]	电压时间黄金模型信息。有关更多详细信息，请参见第 5.2.5 部分“黄金模型电压时间信息”。

5.2.3 电流电压信息

电流电压信息由四个电流电压关系表组成：[Pullup]、[Pulldown]、[GND\_clamp] 和 [Power\_clamp]。每个查询表描述 IO 单元模型的一个不同部分。

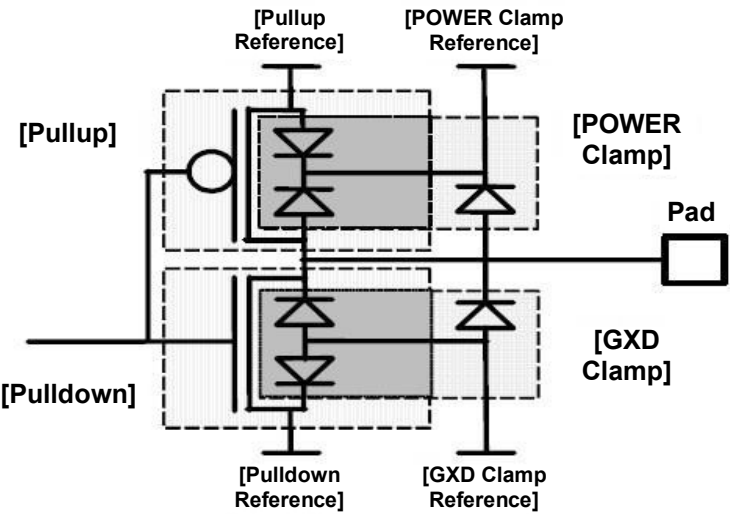


图 11.IO 单元模型

5.2.4 电压时间信息

表 28.斜升和波形关键字

关键字	必需	备注
[Ramp]	是	基本斜率信息，上升沿作为 $dV/dt_r$ 提供，下降沿作为 $dV/dt_f$ 提供。 注：当驱动至指定负载 $R_{load}$ （对于[Ramp]，此负载默认为 50）时， $dV$ 值是缓冲区电压波动的 20%至 80%。对于 CMOS 驱动器或 I/O 缓冲区，假定此负载连接到由[Voltage Range]关键字定义上升沿和下降沿的电压。
[Rising Waveform]	否	实际上升（从低到高转换）波形，作为电压时间表格提供。
[Falling Waveform]	否	实际下降（从高到低转换）z 波形，作为电压时间表格提供。

示例 3.斜升和波形关键字示例

variable	typ	min	max
$dV/dt_r$	0.4627/0.3456n	0.4326/0.4568n	0.4962/0.3030n
$dV/dt_f$	0.4546/0.3481n	0.4272/0.3918n	0.4774/0.3569n
$R_{load} = 0.2400k$			
[Rising Waveform]			

```
R_fixture= 0.2400k
```

```
V_fixture= 0.0
```

```
V_fixture_m in= 0.0
```

```
V_fixture_max= 0.0
```

time	V(typ)	V(min)	V(max)
0.0S	0.3369uV	12.4052uV	41.7335nV
19.7866fS	0.6730uV	12.7375uV	0.3823uV
20.8863fS	0.6917uV	12.7519uV	0.4013uV
21.9489fS	0.7058uV	12.7657uV	0.4196uV
...			

即便使用了[Rising Waveform]和[Falling Waveform]关键字，[Ramp]关键字也是必需的。但是，[Rising Waveform]和[Falling Waveform]下的电压时间表格通常优先于[Ramp]，原因如下：

- 电压时间数据可在不同的负载和端接电压下提供
- 电压时间表格可用于描述当器件打开和关闭时的转换数据。
- [Ramp]可以有效地计算器件转换的平均值，但不能提供有关转换形状的任何详细信息。转换边沿的所有详细信息都会丢失。

电压时间数据应包括在两个[Rising Waveform]和两个[Falling Waveform]部分下，它们都包含Vcc 连接负载和接地连接负载的数据表格（虽然也允许其他负载组合）。

最合适的负载是与缓冲区将要驱动的系统传输线路的阻抗（自身阻抗）相对应的电阻值。例如，对于目的是在 60  $\Omega$  系统中使用的缓冲区，最好使用 60  $\Omega$  负载(R\_fixture)进行建模。

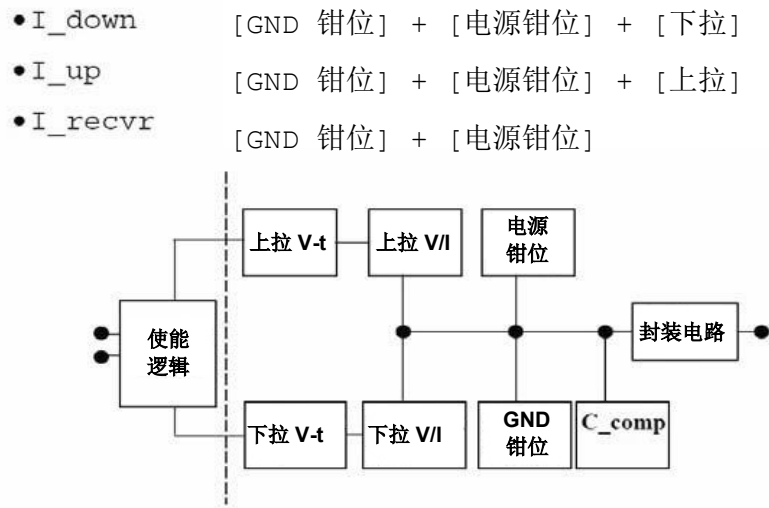


图 12.模型数据解释

5.2.5 黄金模型电压时间信息

黄金波形是使用已知理想测试负载来仿真的一组波形。它们可用于依照生成 IBIS 模型参数的晶体管级别电路模型，验证行为仿真结果的精确性。

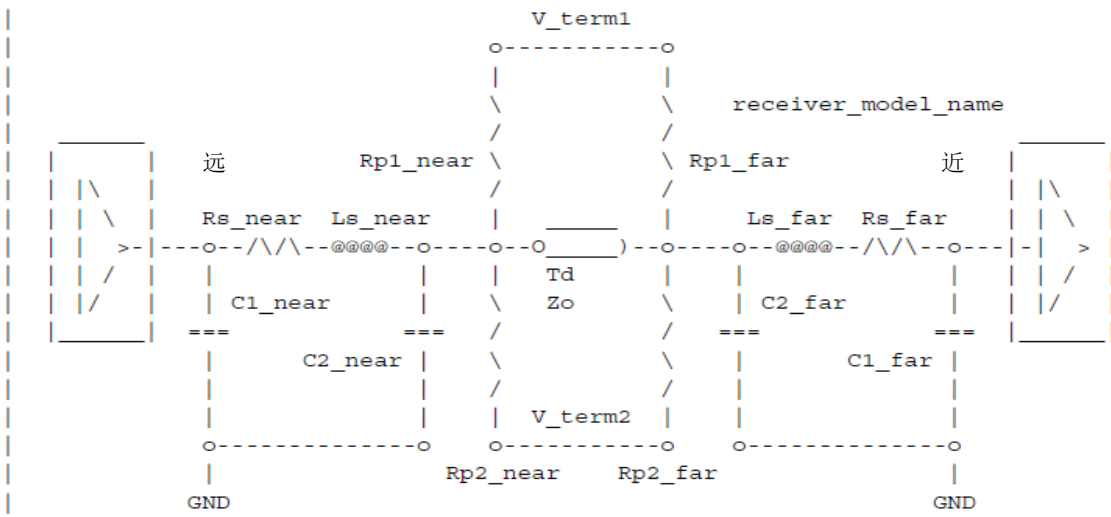


图 13.模型数据解释

表 29.黄金波形关键字

关键字	必需	备注
[Test Data]	否	提供一组黄金波形，参考产生这些波形的条件。 可用于依照生成 IBIS 模型参数的晶体管级别电路模型，验证行为仿真结果的精确性。
[Rising Waveform Near] [Rising Waveform Far] [Falling Waveform Near] [Falling Waveform Far]	是	黄金波形远端和近端部分的电流电压关系表，如图 13 所示。
[Test Load]	是	定义测试负载网络及其相关的电气参数，在[Test Data]关键字下，供黄金波形参考。 如果 Test_load_type 不相同，则测试负载是一对电路。如果使用了 R_diff_near 或 R_diff_far 子参数，则在两个电路的近端或远端节点之间连接电阻器。 如果 Test_load_type 为 Single_ended，则忽略 R_diff_near 和 R_diff_far。

5.3 恩智浦模型名称命名约定及名称在 i.MX 6ULL IBIS 文件中的使用

针对每个[Model selector]定义模型名称。模型相互之间的区别可能是具有不同的参数，例如电压、驱动强度、工作模式和压摆率。工作模式、驱动强度和压摆率可通过软件进行烧写。

5.3.1 [Model Selector] ddr

“ddr”模型类型支持 DDR 信号。

5.3.1.1 DDR [Model Selector]

“ddr”模型对于 DDR3、DDR3L 和 LPDDR2 协议存在。此模型具有以下参数：

- DDR 协议
- DDR IO 类型
- 驱动强度
- ODT 启用/禁用

IBIS 模型名称由参数值通过两种方式组成，如下所示：

- 不含有源 ODT 电路：

```
<ddr protocol>_sel<ddr_type>_ds<drive_strength>_mio
```

- 含有源 ODT 电路：

```
<ddr protocol>odt_t<ODT_value>_sel<ddr_type>_mi
```



DDR 写入模型（“\_mio” 后缀）没有仿真 ODT，因为 ODT 在写入过程中禁用。写入模型的 DS 参数是有意义的，并且还会变化，以描述不同级别的驱动强度。DDR 读取模型（“\_mi” 后缀）没有具有意义的 DS 参数，因为在读取过程中没有驱动发生。读取模型的 ODT 参数是有意义的，并且还会变化，以描述不同级别的 ODT 阻抗。

表 30.DDR 模块选择器参考指南

DDR 协议	根据使用的 DDR 进行选择。相应地选择 DDR IO 电压电平。
DDR IO 类型	由 IOMUXC_SW_PAD_CTL_GRP_DDR_TYPE[19:18]寄存器在 IOMUXC（IOMUX 控制器）DDR_SEL 位中控制，在 DDR3 和 LPDDR2 之间进行选择。
驱动强度	由 IOMUX（IOMUX 控制器）中的以下寄存器的位[5:3] (DSE)控制： IOMUXC_SW_PAD_CTL_GRP_BxDS（4 个寄存器） IOMUXC_SW_PAD_CTL_GRP_CTLDS IOMUXC_SW_PAD_CTL_PAD_DRAM_ADDRxx（16 个寄存器） IOMUXC_SW_PAD_CTL_PAD_DRAM_DQMx（4 个寄存器） IOMUXC_SW_PAD_CTL_PAD_DRAM_RAS_B IOMUXC_SW_PAD_CTL_PAD_DRAM_CAS_B IOMUXC_SW_PAD_CTL_PAD_DRAM_CSx_B（2 个寄存器） IOMUXC_SW_PAD_CTL_PAD_DRAM_SDWE_B IOMUXC_SW_PAD_CTL_PAD_DRAM_ODTx（2 个寄存器） IOMUXC_SW_PAD_CTL_PAD_DRAM_SDBAx（3 个寄存器） IOMUXC_SW_PAD_CTL_PAD_DRAM_SDCKE0（2 个寄存器） IOMUXC_SW_PAD_CTL_PAD_DRAM_SDCLK0_P IOMUXC_SW_PAD_CTL_PAD_DRAM_SDQS0_P （4 个寄存器） IOMUXC_SW_PAD_CTL_PAD_DRAM_RESET
ODT 值	由 MMDC 的 MPODTCTRL 寄存器的[18:16]、[14:12]、[10:8]和[6:4]位控制。

示例 4.IBIS 文件中的[Model Selector] DDR

```

ddr3_selll_dslll_mio          DDR, 1.5V, ddr3 mode, 34 Ohm driver impedance
...
lpddr2_sell0_dslll_mio       LPDDR, 1.2V, lpddr2 mode, 34 Ohm driver impedance
...

```

有关此模式的更多详细信息，请参见芯片参考手册中的 IOMUXC 章节中的寄存器说明。

### 5.3.2 [Model Selector] GPIO

此模型具有以下参数：

- 电压电平
- 驱动强度
- 压摆率
- 速度

IBIS 模型名称由参数值组成，如下所示：

```
gpio<voltage_level>_ds<drive_strength>_sr<slew_rate(1 bit)><speed(2 bits)>_mio
```

表 31.GPIO 模块选择器参考指南

电压电平	对于 i.MX 6ULL 芯片，没有电压电平的用户配置，因为 GPIO 单元可以感测 NVCC，并且相应地进行自动配置。IBIS 用户可以通过在[Model Selector]下选择不同模型，在高压和低压之间进行选择。
驱动强度	由 IOMUXC_SW_PAD_CTL_PAD_<pad name>中的 DSE 位（位[5:3]）控制。
压摆率	由 IOMUXC_SW_PAD_CTL_PAD_<pad name>中的 SRE 位（位 0）控制。
速度	由 IOMUXC_SW_PAD_CTL_PAD_<pad name>中的 SPEED 位（位[7:6]）控制。

有关此模式的更多详细信息，请参见芯片参考手册中的 IOMUXC 章节中的寄存器说明。

5.4 IBIS 模型的质量保证

IBIS 模型按照 IBIS 规范进行了验证，这样可以利用参考晶体管级别的 Spice 仿真或测量，客观地衡量模型仿真结果的校正。

校正：对两组 I/O 缓冲区特征数据进行量化比较的过程，例如实验室测量与结构仿真的比较、行为仿真与结构仿真的比较。

校正：等级 A 意味着基于建模工程师了解样品元件工艺条件的程度，以及他们使用何种校正指标，对 I/O 缓冲器特征数据进行分类。

所有模型都通过以下检查：

- IBISCHK，没有出现错误或未解释警告
- 基本仿真数据检查
- 时序分析数据检查
- 功率分析数据检查
- 依据 Spice 仿真进行校正

5.5 IBIS 使用

恩智浦电路板设计人员将 i.MX 6ULL IBIS 模型与 Mentor Graphics 提供的 Hyperlynx 工具配合使用。

在加载之后获得了有效的电路板设计成果：

- i.MX 6ULL IBIS 模型。
- 辅助 IC IBIS 模型。
- HyperLynx 格式的板模型。

然后运行各种 GPIO 和 DDR 信号的电路板仿真。

## 5.6 参考资料

有关 IBIS 模型的更多信息，请查阅以下参考资料。

- IBIS 开放论坛(<http://www.eda.org/ibis/>) IBIS 开放论坛的成员包括 EDA 供应商、计算机制造商、半导体供应商、大学以及最终用户。该论坛提供更新和评论，以及经过修订的标准，并且还组织峰会。该论坛推广 IBIS 模型，提供有用的文档和工具。
- IBIS 规范(<http://eda.org/pub/ibis/ver4.2/>)

# 6 使用制造工具

## 6.1 概述

i.MX 制造工具的设计目的是通过 EVK 将固件烧写到 NAND 或 eSDe 等存储器件上，并使用媒体文件高效便利地预加载数据区域。该工具的适用对象是计划大批量制造基于 i.MX 的产品的恩智浦半导体客户或者他们的 OEM。

该应用程序的设计目的不是测试器件或诊断制造问题。使用该应用程序初始化的器件仍然需要经过功能验证。

## 6.2 特性小结

工具包括以下特性：

- 连续工作 — 只要连接新器件，就自动开始工作，多个操作（例如更新和复制）可以无缝连接在一起。
- 枚举 — 静态 ID 固件在恢复模式下载入 RAM，防止 Windows® 枚举所有器件。
- 自动运行 — 各种 Windows® “弹出”应用程序和状态消息，例如 Windows® XP 和 Windows 7 中的资源管理器。

另外，以下特性可以提高工具的易用性：

- 为每个物理 USB 端口设计独立的进程栏。
- 该工具首先处理检测到的第一个器件的连接，允许用户在完成后更换每个器件，而无需等待所有器件完成。
- 该工具使用不同颜色的指示灯来指示每个端口的工作状态。
  - 蓝色表示正在处理器件。
  - 绿色表示器件已成功处理，可以使用新器件来更换已烧写器件，而无论器件的进程如何。
  - 红色表示器件处理失败。

## 6.3 版本支持

表 32.版本支持

工具	版本要求
适用于 WinCE 的 i.MX 6ULL 制造工具	版本 2.3.2 或更高版本

## 6.4 将制造工具连接到器件

制造工具即可使用基于 USB 集线器的物理设置来进行连接，也可使用直接连接，正如第 6.4.1 部分“使用 USB 集线器连接”和第 6.4.2 部分“直接连接”中所述。

### 6.4.1 使用 USB 集线器连接

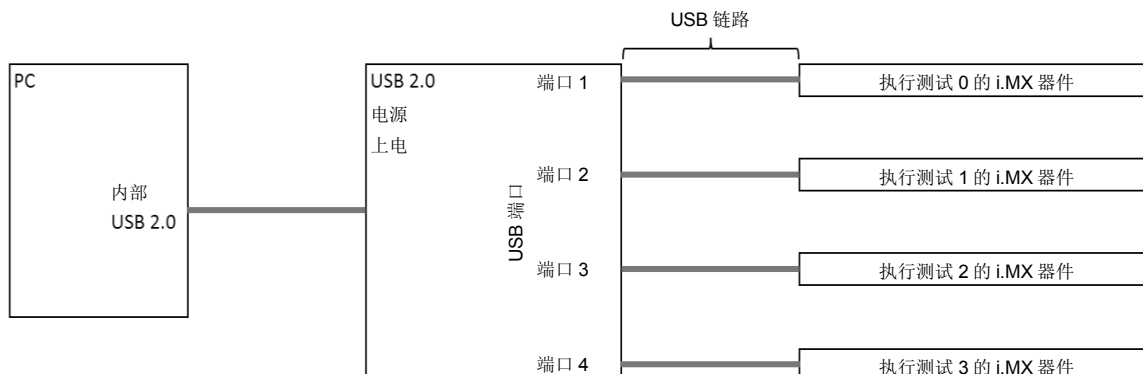


图 14.使用 USB 集线器的物理连接

将外部 USB 2.0 供电集线器连接到 PC 的 USB 连接。集线器必须满足以下条件：

- 符合 USB 2.0 标准
- 外部供电，而不是总线供电。

#### 备注

集线器应该能够在每个 USB 端口中提供至少 500 mA 电流。

PC 应该能够识别外部 USB 集线器。制造工具将配置外部集线器上的可供使用的 USB 端口（最多 16 个）。

### 6.4.2 直接连接

下图显示了直接连接设置的配置。每个器件连接到内部 PCI USB 控制器上的单个端口。此配置仅限于可用的几个 PCI 插槽。

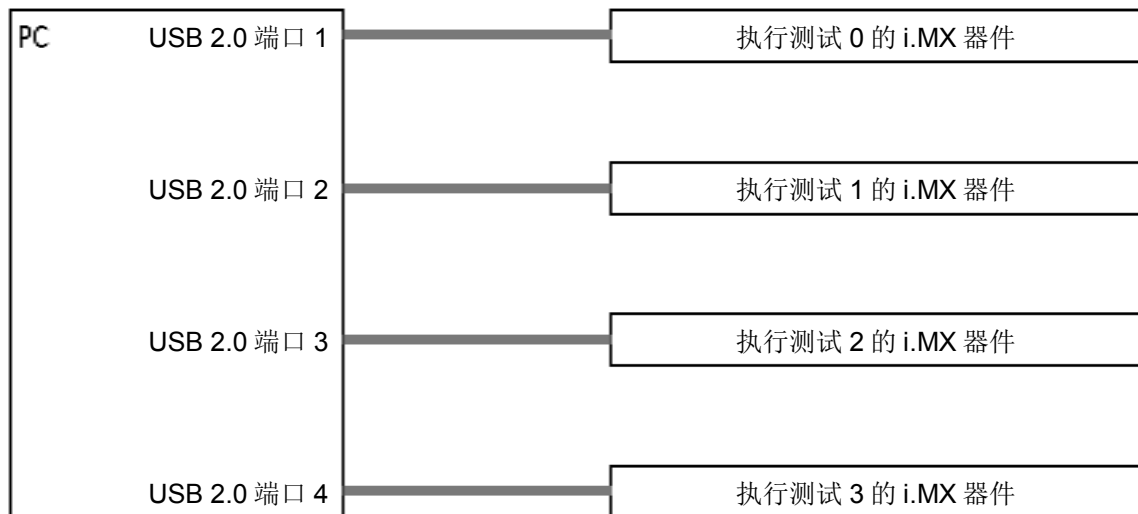


图 15.没有 USB 集线器的物理连接

## 6.5 安装制造工具

下面的小节介绍如何安装制造工具。这些小节按时间顺序排列。

### 6.5.1 运行可执行文件

下面的步骤介绍了如何安装制造工具。这个可执行文件能够直接运行，而不需要特别安装。

1. 将工具解压到本地目录（例如 D:\mfgtools-rel\）。
2. 在文件列表中找到 MfgTool.exe。
3. 在本地目录中运行 MfgTool.exe。

您应该看到类似下图所示的用户界面。

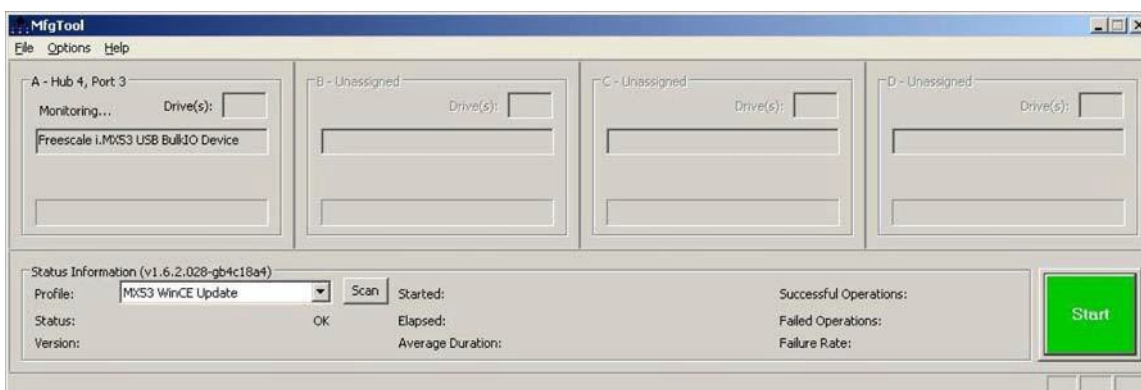


图 16.用户界面示例

## 6.6 使用制造工具

在您完成第 6.4 部分“将制造工具连接到器件”和第 6.5 部分“安装制造工具”中的所有步骤之后，工具即可使用。

主应用程序窗口的底部附近显示了状态信息面板。使用此面板可以选择配置文件，并查看配置文件的状态，或者查看更新操作的固件版本。

单击绿色开始按钮可启动进程。

进程启动之后，蓝色状态栏指示处理的进度。可通过单击红色停止按钮来停止进程。

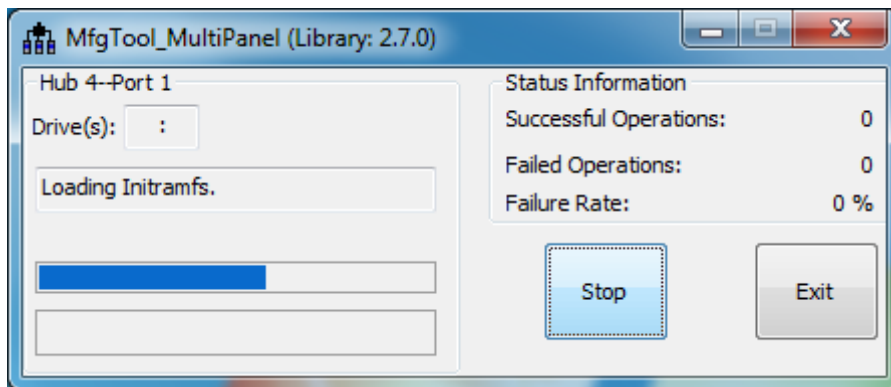


图 17.处理

如果进程成功完成，状态栏将变成绿色。单击停止按钮完成进程。如果状态栏变成红色，则处理失败。

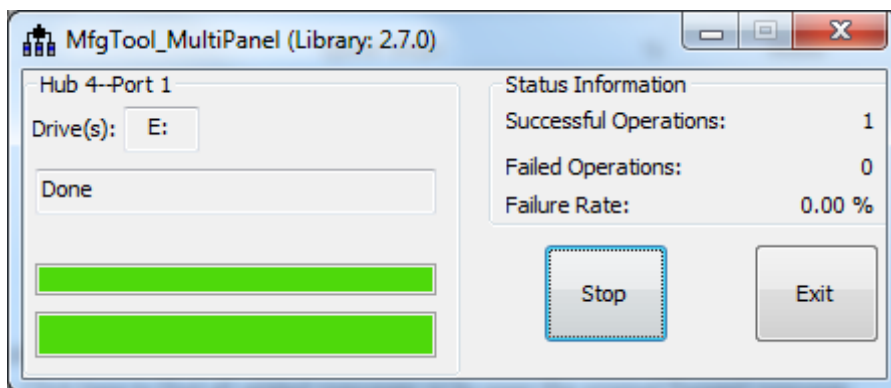


图 18.成功的进程

单击开始/停止按钮之后，操作开始，状态信息面板显示以下信息：

Start Time	Time the operations began
Elapsed Time	How long have operations been running
Average Duration	Average time to complete a single device

Successful Operations	How many devices successfully updated
Failed Operations	How many device updates have failed
Failure Rate	Percentage of failures

如果您有终端工具，可监控电路板的调试串行端口，可将该工具打开，查看比图形用户界面中显示内容更多的进程信息。

## 6.7 定制制造工具

本章节使用恩智浦提供的参考设计板的屏幕截图，来描述工具的特性。但是，您也可以为其他设计定制工具。有关定制制造工具的详细信息，请参见 *制造工具用户手册*。

## 6.8 其他参考

有关制造工具的详细信息，请查看制造工具发布软件包中的以下文档。如果在获取文档方面需要帮助，请联系您当地的恩智浦销售办事处：

- 有关如何使用制造工具的详细信息，请参见 *制造工具 V2 快速入门指南*。
- 有关如何为制造工具的处理操作编写脚本的详细信息，请参见 *制造工具 V2 UCL 用户手册*。
- 有关如何生成适用于 Linux 和 Android 的制造工具固件的信息，请参见 *制造工具 V2 Linux 或 Android 固件开发指南*。
- 有关更改列表和已知问题，请参见 *制造工具 V2 发行说明*。



## 7 将 BSDL 用于板级测试

### 7.1 BSDL 概述

边界扫描描述语言(BSDL)用于元件组装之后的板级测试。此测试的接口使用 JTAG 引脚。定义包含在 IEEE Std 1149.1 标准中。

### 7.2 BSDL 如何运行

BSDL 文件定义内部扫描链，作为特定器件内部的 IO 单元的串行链接。扫描链类似于一个大型移位寄存器，它提供了一种方式，用于读取应用于引脚的逻辑电平，或者输出该引脚上的逻辑状态。使用 JTAG 命令，测试工具可使用 BSDL 文件来控制扫描链，以便能够测试器件与板的连接。

例如，当使用外部 ROM 测试接口时，测试工具应该执行以下操作：

1. 将一组特定的地址和控制输出到与 ROM 连接的引脚
2. 执行读取命令，扫描出 ROM 数据引脚的值。
3. 将值与已知黄金值进行比较。

基于这个程序，工具能够确定两个部件之间的接口是否正确连接，没有出现短路或开路。

### 7.3 下载 BSDL 文件

每款 i.MX 处理器的 BSDL 文件在产品发布时存储在恩智浦网站上。在产品发布之前，请联系您当地的销售办事处或现场应用工程师，了解有关 BSDL 文件发布的信息。

### 7.4 BSDL 的引脚覆盖

每个引脚在 BSDL 文件中都定义为一个端口。您可以使用记事本等文本编辑器打开文件，以查看每个引脚的工作方式。BSDL 文件定义了它们的工作方式，如下所示：

```
-- PORT DESCRIPTION TERMS

-- in      = input only
-- out     = three-state output (0, Z, 1)
-- buffer  = two-state output (0, 1)
-- inout   = bidirectional
-- linkage = OTHER (vdd, vss, analog)
```

引脚文件中出现“链接”，表明该引脚不能用于边界扫描。它们通常是电源引脚或模拟引脚，不能使用数字逻辑状态来定义。

## 7.5 边界扫描操作

边界扫描操作由以下因素控制：

- TEST\_MODE、POR\_B 和 JTAG\_MOD 引脚
- 片上熔丝位

JTAG\_MOD 引脚状态控制用于核心逻辑或边界扫描操作的 JTAG 选择。有关详细信息，请参见以下参考资料：

- 有关 JTAG 接口操作的定义，请参见芯片参考手册的“系统 JTAG 控制器(SJC)”章节。
- 有关下表中的 e-Fuse 位定义的操作说明，请参见同一章节中的“JTAG 安全模式”部分。
- 有关熔丝图表格，请参见芯片参考手册中的“熔丝图”章节。

表 33.BSDL 的系统注意事项

引脚名称	逻辑状态	说明
JTAG_MOD	1	IEEE 1149.1 JTAG 兼容模式
BOOT_MODE[1:0]	[0:0] [0:1] [1:0]	从熔丝启动 串行下载器内部启动（开发）
POR_B	1	器件的上电复位
e-Fuse 位		
JTAG_SMODE[1:0]	[0:0] [0:1]	JTAG 使能模式 安全 JTAG 模式
SJC_DISABLE	0	安全 JTAG 控制器启用

## 7.6 I/O 引脚电源考虑因素

边界扫描操作使用所有可用的器件引脚，在给定系统内部进行驱动或读取值。因此，每个特定模块的电源引脚必须上电，才能让 IO 缓冲区工作。这对于系统内部的数字引脚非常简单。

## 8 修订记录

表 34.修订记录

修订版本号	日期	重大更改
0	08/2016	初版

# 附录 A 开发平台

本附录提供了恩智浦提供的支持 i.MX 6ULL 的开发平台的完整列表。

表 35. i.MX 6ULL EVK

使用的 i.MX 版本	i.MX 6ULL
原理图零件号和修订版	170-29364 / 170-28616
特性	<ul style="list-style-type: none"><li>• 4 GB DDR3L</li><li>• 512 Mb QSPI 闪存</li><li>• eMMC 脚位</li><li>• NAND 脚位</li><li>• 1 个 SD3.0 SD 卡插槽</li><li>• 2 个 SD2.0 TF 卡插槽</li><li>• LCD 24 位并行端口</li><li>• CSI 摄像头连接器脚位</li><li>• 音频编解码器</li><li>• 2 个 100Mbps 以太网(RJ45)</li><li>• 传感器</li><li>• 加速度计</li><li>• 数字式罗盘</li><li>• X1 USB OTG; X1 USB 主机</li><li>• 2 个 CAN 端口</li><li>• 开/关、复位按钮</li><li>• HDMI 连接器脚位</li></ul>
快速入门指南	从恩智浦网站上的 <a href="http://www.nxp.com/imxsabre">www.nxp.com/imxsabre</a> 获取。
原理图	从恩智浦网站上的 <a href="http://www.nxp.com/imxsabre">www.nxp.com/imxsabre</a> 获取。
布局	从恩智浦网站上的 <a href="http://www.nxp.com/imxsabre">www.nxp.com/imxsabre</a> 获取。

### 如何联系我们:

#### 主页:

[freescale.com](http://freescale.com)

#### 网络支持:

[freescale.com/support](http://freescale.com/support)

本文档中的信息仅供系统和软件实施人员使用飞思卡尔产品时参考。本文档没有授予根据本文档中的信息设计或制造任何集成电路的任何明示或暗示的版权许可。

飞思卡尔保留对本文档提及的任何产品进行更改的权利，恕不另行通知。飞思卡尔不对其产品的特殊用途适用性做出任何担保、表示或保证，也不承担因应用或使用任何产品或电路而产生的任何责任，特别要拒绝承担任何责任，包括但不限于间接损害或无意损害。

“典型值”参数可能在飞思卡尔数据手册和/或规格中提供，这些参数在不同应用中可能有所不同，实际性能可能随着时间推移而变化。所有工作参数，包括“典型值”，必须针对每种客户应用，由客户的技术专家进行验证。飞思卡尔不会转让其专利权或其他方权利下的任何许可。飞思卡尔按照标准销售条款和条件销售产品，具体条款内容请访问：[freescale.com/SalesTermsandConditions](http://freescale.com/SalesTermsandConditions)。

飞思卡尔和飞思卡尔标志是 Freescale Semiconductor, Inc. 在美国专利商标局注册的商标。所有其他产品或服务名称均为其各自所有者的财产。

Arm、ARM Powered 徽标和 Cortex 是 Arm Limited（或其子公司）在欧盟和/或其他地区的注册商标。保留所有权利。

© 2016 NXP Semiconductor, Inc.

文档编号: IMX6ULLHDG

版本 0

08/2016

