

Scenario 1

test.mem

@0200		`@080	
CLA_CLL	7300	EC0	
TAD 301	1301	2C1	
AND 300	300	0C0	
ISZ 300	2300	4C0	
JMS 206	4206		886
JMP 203	5203	A83	
DCA 302	3302	6C2	
CLA_CLL	7300	EC0	
TAD 301	1301	2C1	
TAD 301	1301	2C1	
DCA 302	3302	6C2	
HLT	7402	F02	
JMP 222	5222	A92	
RAL	7004	E04	
RAR	7010	E08	
RTR	7012	E0A	
NOP	7000	E00	
IAC	7001	E01	
CML	7020	E10	
CMA	7040	E20	
CIA	7041	E21	
CLL	7104	E44	
CLA1	7200	E80	
OSR	7404	F04	
SKP	7410	F08	
SNL	7420	F10	
SZL	7430	F18	
SZA	7440	F20	
SNA	7450	F28	
SMA	7500	F40	
SPA	7510	F48	
CLA2	7600	F80	
CLA_CLL	7300	EC0	
TAD 301	1301	2C1	
TAD 301	1301	2C1	
DCA 302	3302	6C2	
HLT	7402	F02	
JMP 200	5200	A80	
@0300		`@0C0	
7777		FFF	
1111			249

Scenario 2

test_2.mem

@0200		`@080	
TAD 301	1301	2C1	

TAD 301	1301	2C1	
AND 300	300	0C0	
ISZ 300	2300	4C0	
JMS 206	4206		886
JMP 203	5203	A83	
DCA 302	3302	6C2	
HLT	7402	F02	
SNA	7450	F28	
SMA	7500	F40	
SPA	7510	F48	
JMP 200	5200	A80	
@0300		`@0C0	
7777		FFF	
1111			249

Scenario 3			test_3.mem
@0200		`@080	
CLA_CLL	7300	EC0	
TAD 301	1301	2C1	
AND 300	300	0C0	
ISZ 300	2300	4C0	
JMS 206	4206		886
JMP 203	5203	A83	
DCA 302	3302	6C2	
HLT	7402	F02	
RAL	7004	E04	
RAR	7010	E08	
RTR	7012	E0A	
JMP 200	5200	A80	
@0300		`@0C0	
7777		FFF	
1111			249

Scenario 4			test_4.mem
@0200		`@080	
CLA_CLL	7300	EC0	
TAD 301	1301	2C1	
TAD 301	1301	2C1	
DCA 302	3302	6C2	
HLT	7402	F02	
JMP 200	5200	A80	
@0300		`@0C0	
7777		FFF	
1111			249

Scenario 5			test_1.mem
@0200		`@080	

CLA_CLL	7300	EC0	
TAD 301	1301	2C1	
AND 300	300	0C0	
ISZ 300	2300	4C0	
JMS 206	4206		886
JMP 203	5203	A83	
DCA 302	3302	6C2	
HLT	7402	F02	
OSR	7404	F04	
SKP	7410	F08	
SNL	7420	F10	
JMP 200	5200	A80	
@0300		`@0C0	
7777		FFF	
1111			249