

Indicar específicamente los recursos de la FPGA incluida en la tarjeta de desarrollo DE2-115 (Nº de LEs, multiplicadores, PLLs, memoria RAM embebida, etc.)

- **FPGA:** Cyclone IV EP4CE115F29
- **Nº de LEs:** 114,480
- **Pines:** 529
- **PLLs:** 4
- **Memoria embebida:** 3,888 Kbits
- **Multiplicadores:** 532

Indicar el porcentaje de recursos utilizados que proporciona el informe de compilación del diseño top.vhd cuando se asigna al proyecto.

Usa 53 elementos lógicos de un total de 114.480, lo que significa que utiliza menos del 1% de los recursos.

Responder las siguientes cuestiones con respecto a las fases del flujo de diseño con Quartus :

a) ¿Qué diferencia existe entre simulación funcional y temporal?

En la simulación funcional se ve si son correctas las especificaciones, no hay retardos de tiempo. Se simula descripción vhdl y es independiente de la tecnología.

Sin embargo en la simulación temporal si importan los tiempos y no se llega a esta simulación sin previamente haber hecho la otra. Es dependiente de la tecnología.

b) ¿Qué ventajas supone utilizar un analizador temporal en el desarrollo de un proyecto?

El uso de un analizador temporal permite conocer algunos parámetros temporales del diseño, como la frecuencia máxima de funcionamiento, el tiempo de establecimiento o el tiempo de mantenimiento respecto al flanco activo del reloj.

c) ¿Cuál es la principal diferencia entre la netlist correspondiente al *RTL Viewer* y la netlist correspondiente al *Technology Map Viewer*?

La principal diferencia es que la netlist correspondiente al RTL Viewer está representada con componentes genéricos, esto es, independientes de la tecnología/FPGA seleccionada para el proyecto, mientras que la netlist que corresponde al Technology Map Viewer utiliza celdas propias de la FPGA en la que se va a implementar el diseño.

Considerar el diseño contador_8bits.vhd y responder las siguientes preguntas:

a) ¿Cuál es el número de elementos lógicos (LEs) ocupados en la FPGA tras realizar la síntesis? ¿Cómo puede conocer este dato con Quartus Prime Lite?

Son 8 los elementos lógicos ocupados en la FPGA, este dato lo proporciona un informe generado después de la compilación.

b) ¿Cuál es la frecuencia máxima estimada por el analizador temporal?

Aparece en "Timing Analyzer" > "Slow 1200mV 85C Model Fmax Summary" y es 465.77 MHz.

c) ¿Con qué periodo de reloj ha definido la forma de onda de la señal reloj al realizar la simulación temporal? ¿Por qué?

Calculamos $1/F_{max}$, osea $1/465.77 \times 10^6$ y el resultado es 2.14×10^{-9} , lo cual quiere decir que debemos usar como mucho 2.14 nanosegundos, usaremos 2 ns por ejemplo.

d) ¿Cómo se ven afectadas la ocupación de LEs y la frecuencia máxima si se realiza la síntesis cambiando el número de bits del contador a 4 y a 16?

Con un contador de 4 bits, la ocupación de LEs es de 4 (disminuye) y la frecuencia máxima es de 761.61 MHz (aumenta). Con un contador de 16 bits, observamos que los LEs utilizados son 16 (aumenta) y la frecuencia máxima se estima en 369.41 MHz (disminuye). Como conclusión, podemos decir que al aumentar los LEs, disminuye la frecuencia máxima y viceversa.

Considerar el diseño contador_BCD.vhd y responder las siguientes preguntas:

a) *¿Cómo puede observar el esquema del circuito correspondiente para conocer cómo se conectan los módulos denominados contador_ascendente.?*

Con el RTL Viewer, en la pestaña “Tools” > “Netlist Viewers” > “RTL Viewer”.

b) *¿Qué secuencia de valores de salida genera el contador_BCD? ¿Cómo se consigue esta secuencia de salida a partir de las conexiones que se han realizado según el esquema de circuito del apartado anterior?*

La salida son 8 bits, de los cuales los 4 bits menos significativos pertenecen a las unidades y los otros 4 bits (los más significativos) a las decenas. Esta secuencia se consigue concatenando (con &) las dos signals “Digito1” y “Digito0”.

c) *¿Cuál es el porcentaje de ocupación de LEs y flip-flops en la FPGA de la DE2-115?*

El porcentaje de ocupación de LEs y de flip-flops es de menos del 1% del total.

d) *¿Qué LAB de la FPGA se ha asignado al flip-flop correspondiente al bit menos significativo del contador? ¿Cómo puede conocer este dato en Quartus?*

Se ha asignado el LAB de las coordenadas (0, 68) al flip-flop correspondiente al bit menos significativo. Este dato se puede conocer desde el esquema del circuito (el RTL Viewer), haciendo click derecho sobre “Salida[7..0]” > Locate node > Locate in Chip Planner. Nos lleva al

Chip Planner y en una ventana en la parte derecha nos aparecen las coordenadas del LAB.