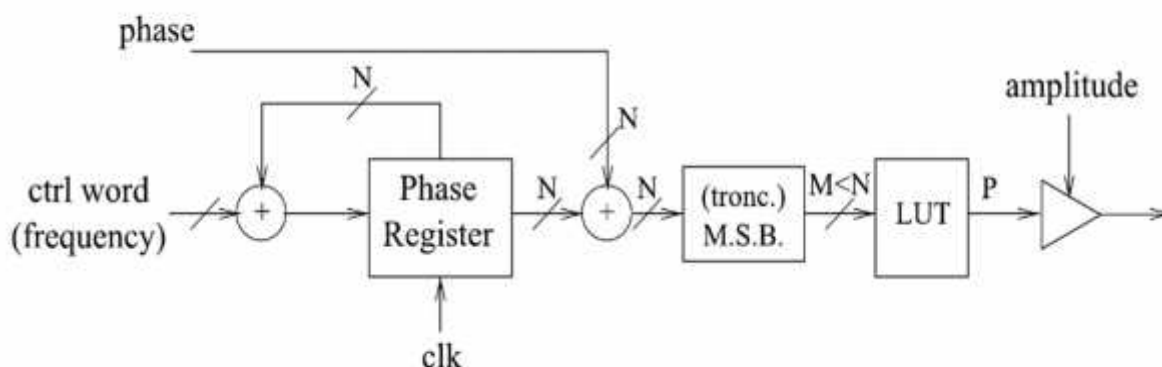


Modulatore ASK/FSK/PSK

Progettare un sistema digitale che, data in ingresso una sequenza di bit, permetta la realizzazione delle modulazioni ASK, FSK e PSK (selezionabili). Utilizzare un NCO (Numerically-Controlled Oscillator) basato su LUT (Look-Up Table).

Un'architettura possibile è mostrata nel seguente diagramma a blocchi:



Il blocco che esegue il troncamento ai bit più significativi (MSB) dell'uscita del registro di fase è utilizzato per limitare le dimensioni della LUT senza perdere accuratezza nell'accumulo della fase. Le dimensioni della LUT possono essere ulteriormente ridotte sfruttando la simmetria quadrantele tipica delle funzioni trigonometriche (memorizzando nella LUT solo 1/4 del periodo della sinusoide).

Le caratteristiche principali dovranno essere le seguenti.

- Numero di bit prima del troncamento pari a $N = 16$
- Numero di bit dopo il troncamento pari a $M = 7$
- Numero di bit per la rappresentazione del segnale in uscita pari a $P = 16$

La relazione finale del progetto deve contenere:

1. Introduzione (descrizione algoritmo, possibili applicazioni, possibili architetture, etc.)
2. Descrizione dell'architettura (diagramma a blocchi, ingressi/uscite, etc.)
3. Codice VHDL (con commenti dettagliati)
4. Test bench per la verifica: definire un apposito Test Plan motivando adeguatamente le strategie adottate
5. OPZIONALMENTE, sintetizzare il progetto su Xilinx Zync utilizzando il tool ISE. In tal caso riportare le risorse utilizzate (slice, LUT, ...) e la massima frequenza di campionamento commentando eventuali messaggi di warning.
6. Conclusioni