|  |
| --- |
|  |
| **HQNUO\_CK\_CPTATOMICCLKV1** |
| **逻辑设计说明** |
|  |
|  |
|  |

|  |
| --- |
| 华清瑞达（天津）科技有限公司  2023年11月 |

**HQNUO\_CK\_CPTATOMICCLKV1**

**逻辑设计说明**

**编制**

**审核**

**标审**

**会签**

**批准**

**更改历史**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 版本 | 更改单号 | 更改日期 | 更改人 | 更改方式 |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |

目录

[1 概述 1](#_Toc153902138)

[1.1 适用读者范围 1](#_Toc153902139)

[1.2 缩略语 1](#_Toc153902140)

[2 板卡结构 2](#_Toc153902141)

[2.1 激光器驱动控制信号 2](#_Toc153902142)

[2.2 PD信号驱动和接收信号 3](#_Toc153902143)

[2.3 原子气室控制信号 4](#_Toc153902144)

[2.4 时钟输出接口 4](#_Toc153902145)

[3 时钟链路 6](#_Toc153902146)

[4 逻辑设计 1](#_Toc153902147)

[4.1 总体框图 1](#_Toc153902148)

[4.2 时钟模块 1](#_Toc153902149)

[4.2.1 功能描述 1](#_Toc153902150)

[4.2.2 端口描述 1](#_Toc153902151)

[4.3 ad9172\_inf接口逻辑 2](#_Toc153902152)

[4.3.1 功能描述 2](#_Toc153902153)

[4.3.2 接口描述 2](#_Toc153902154)

[4.4 ad\_inf接口逻辑 3](#_Toc153902155)

[4.4.1 功能描述 3](#_Toc153902156)

[4.4.2 接口描述 3](#_Toc153902157)

[4.5 ad9783\_inf接口逻辑 4](#_Toc153902158)

[4.5.1 功能描述 4](#_Toc153902159)

[4.5.2 接口描述 4](#_Toc153902160)

[4.6 用户逻辑（测试支持模块） 5](#_Toc153902161)

[4.6.1 dds\_for\_7\_series\_iq模块 6](#_Toc153902162)

[4.6.2 测试流程 7](#_Toc153902163)

# 概述

HQNUO\_CK\_CPTATOMICCLKV1是自研非标板卡，具备以下几点主要功能：

1. 为原子钟物理腔室提供控制供电；
2. VCSEL激光器TEC温度控制功能；
3. VCSEL激光器直流驱动和射频信号调制；
4. 激光器信号的PD接收和采集；
5. FPGA逻辑处理CPT锁定；
6. 控制OCXO输出高稳定性的10MHz及PPS时钟信号。

本文档描述HQNUO\_CK\_CPTATOMICCLKV1板卡上FPGA的逻辑设计细节。

## 适用读者范围

HQNUO\_CK\_CPTATOMICCLKV1板卡逻辑开发人员；

## 缩略语

表格1 缩略语列表

|  |  |
| --- | --- |
| 缩略语 | 解释 |
| FPGA | Field Programmable Gate Array, 现场可编程逻辑门阵列 |
| ADC | Anolog to digital converter |
| DAC | Digital to anolog converter |
| GT | Gigabit收发器 |

# 板卡结构

HQNUO\_CK\_CPTATOMICCLKV1板卡的功能框图如图1所示。



图1 HQNUO\_CK\_CPTATOMICCLKV1功能框图

原子钟数字电路部分主要分为四种对外接口，分别用于输出激光器控制信号，接收光电转换后的调制信号，控制物理气室提供所需电源和温度回读，时钟对外输出。

## 激光器驱动控制信号

此接口用于控制VCSEL激光器，LD为驱动电流输出，在板卡内设计为直流部分和射频部分，通过Bias-T电路耦合后输出；TEC为半导体制冷器驱动输出，用于控制激光器工作温度；NTC为热敏电阻采样信号。

其具体指标如下：

表格 2 激光器驱动信号输出接口特性

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 序号 | 接口名 | 接口形式 | 定义 | 描述 |
| 1 | LD+ | SMA | 激光器驱动信号输出正 | 输出信号频率范围：DC~3.5GHz； 直流耦合， 射频部分要求： 中心频率3.417341GHz±40kHz，扫描频偏3.417341GHz±800kHz， DAC输出电流0.1mA到0.7mA， 相位噪声<85dbc/Hz@1kHz； 直流部分要求： 电流范围1mA-3mA， 分辨率0.5uA， 精度1uA； |
| 2 | LD- | SMA | 激光器驱动信号输出负 | 内部接地 |
| 3 | TEC+ | SMA | 半导体制冷器驱动输出正 | 接MAX1978，温控精度0.001℃ |
| 4 | TEC- | SMA | 半导体制冷器驱动输出负 | 接MAX1978，温控精度0.001℃ |
| 5 | NTC+ | SMA | 热敏电阻采样正 | 接MAX1978，温控精度0.001℃ |
| 6 | NTC- | SMA | 热敏电阻采样负 | 接MAX1978，温控精度0.001℃ |

## PD信号驱动和接收信号

此接口用于接收光电二极管产生的电流输入，如下图。

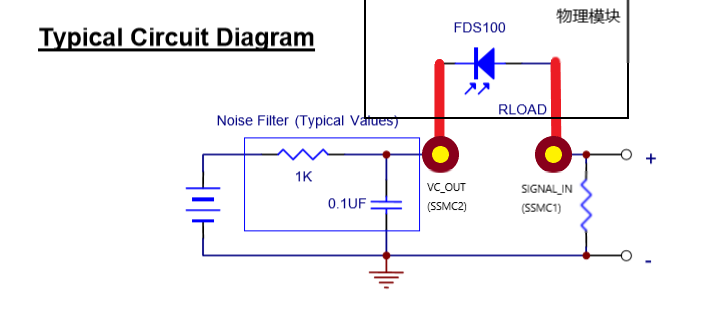


图 2 光电转换电路图

其具体指标如下：

表格 3 PD信号接口特性

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 序号 | 接口名 | 接口形式 | 定义 | 描述 |
| 7 | SIGNAL\_IN | SMA | PD信号输入 | 输入信号频率范围：DC~300kHz； 输入信号电流： 120uA Max； |
| 8 | VC\_OUT | SMA | PD驱动信号 | 0~12V电压源，1A MAX |

## 原子气室控制信号

此接口为2.54mm排针，包含和原子气室温度控制模块的通信信号和磁场线圈的驱动电流源信号，具体定义和指标如下：

表格 4 控制排针接口特性

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 序号 | 接口名 | 接口形式 | 定义 | 描述 |
| 9 | +12V | 2.54mm排针 | 12V供电 | 12V气室控制系统供电，Imax=300mA； |
| GND | 供电地 |  |
| UART\_TX | 串口发 | MCU通信串口发 |
| UART\_RX | 串口收 | MCU通信串口收 |
| GND | 信号地 |  |
| CS+ | 线圈电流源正 | 双通道电流，电流范围：10-60mA；电流分辨率：1mA； |
|  | CS- | 线圈电流源负 |

## 时钟输出接口

表格 5 接口特性

|  |  |  |  |
| --- | --- | --- | --- |
| 接口名 | 接口形式 | 定义 | 指标 |
| 10M\_OUT | SMA | 晶振10M输出 | 输出信号频率：10MHz； 输出信号功率：10dbm; 波形：正弦波; 交流耦合， 阻抗50ohm; 精度：1\*10^-4~5\*10^-4 HZ |
| PPS\_OUT | SMA | 秒脉冲输出 | 电平：0-3.3V； 脉宽>400us; 10pF负载时上升/下降时间<10ns; |

# 时钟链路

HQNUO\_CK\_CPTATOMICCLKV1板卡时钟结构简单，LMK时钟芯片以板载10MHz晶振为时钟源，产生300MHz的全局时钟提供给DAC\_DDS（AD9172）用作数据处理。系统以50MHz晶振为参考，产生10MHz时钟提供给AD芯片用作AD数据处理，产生100MHz时钟提供给DAC\_VC（AD9783）用作DAC\_VC数据处理。

# 逻辑设计

## 总体框图

逻辑设计的模块划分如图3所示。

图3 逻辑功能划分

## 时钟模块

### 功能描述

为了保持时钟信号的规范性，所有时钟信号都由时钟模块统一管理。

时钟模块以来自板载晶振的50MHz单端时钟为输入，调用MMCM产生各个全局时钟，包括用于进行配置芯片的clk\_slow\_bufg时钟、50MHz的初始化时钟、10MHz/100MHz/200MHz的逻辑系统时钟，并在MMCM锁定后释放全局复位信号。

### 端口描述

表格6 时钟模块端口列表

|  |  |  |  |
| --- | --- | --- | --- |
| 名称 | 位宽 | 方向 | 描述 |
| clk\_50m\_bufg | 1 | O | 50MHz全局时钟输出 |
| clk\_10m\_bufg | 1 | O | 10MHz时钟输出 |
| clk\_100m\_bufg | 1 | O | 100MHz时钟输出 |
| clk\_200m\_bufg | 1 | O | 200MHz全局时钟输出，预留 |
| idelay\_rdy | 1 | O | IDELAY原语准备完成标志，勿动 |
| clk\_slow\_bufg | 1 | O | 配置芯片的低速时钟，5MHz |
| rst\_glb | 1 | O | 全局复位输出，MMCM锁定后释放，高有效 |
| sys\_clk | 1 | I | 来自IOB的板载时钟，50MHz |
| rst\_n | 1 | I | 复位，低有效 |

## ad9172\_inf接口逻辑

### 功能描述

DAC\_DDS实现的功能为产生2通道中心频率为3.4GHz的IQ信号，采样率800MHz。

### 接口描述

DAC\_DDS（AD9172）接口逻辑的端口信号如下所示，分为时钟与复位、用户端口、特殊信号、IOB端口、预留端口。

表格10 ad9172\_inf模块的端口列表

|  |  |  |  |
| --- | --- | --- | --- |
| **类型** | **名称** | **方向** | **描述** |
| **时钟与复位** | clk\_50m\_bufg | I | 全局时钟输入，必须是不受rst\_glb影响的freerunning时钟，频率50MHz |
| rst\_glb | I | 全局复位信号，高有效 |
| clk\_glbl\_o | O | 来自时钟芯片输出的全局时钟，会受到rst\_glb的影响，100MHz |
| clk\_user\_bufg | I | 全局时钟输入，时钟来源必须是clk\_glbl\_o，频率必须是100MHz |
| **用户端口** | dac\_ready | O | DAC初始化成功，开始正常工作的指示，高有效 |
| dac\_carrier\_freq[47:0] | I | DAC通道的内部DUC载频频率，F\_carrier=9.6GHz \* dac0\_carrier\_freq[47:0]/2^48 |
| dac\_fsc\_current[9:0] | I | DAC通道的输出电流满量程值，I\_fullscale=15.6mA+dac0\_fsc\_current[9:0]\*(25/256)(mA). |
| da0i\_ch00[15:0] ～ da0i\_ch03[15:0] | I | 输出通道0对应的数据输入I路 |
| da0q\_ch00[15:0] ～ da0q\_ch03[15:0] | I | 输出通道0对应的数据输入Q路 |
| da1i\_ch00[15:0] ～ da1i\_ch03[15:0] | I | 输出通道1对应的数据输入I路 |
| da1q\_ch00[15:0] ～ da1q\_ch03[15:0] | I | 输出通道1对应的数据输入Q路 |
| **特殊信号** | qstack\_version | I | 选择QSTACK信号定义。0：QSTACK5；1：QSTACK4 |
| sysref\_o | O | 接口输出的sysref信号 |
| **IOB信号** | iob\_xxx | I/O/IO | 连接到IOB的信号 |
| **预留端口** | err | O | 预留输出端口，调试用 |
| rsv\_port\_i[255:0] | I | 预留输入端口，调试用 |
| rsv\_port\_o[255:0] | O | 预留输入端口，调试用 |

## ad\_inf接口逻辑

### 功能描述

HQNUO\_CK\_CPTATOMICCLK的ADC支持1通道10MSPS采样,实数单边沿采样，分辨率是12bit，参考时钟由FPGA提供。

### 接口描述

adc（AD9633）接口逻辑的端口信号如下所示，分为时钟与复位、用户端口、IOB端口、调试端口。

表格 11 ad\_inf端口列表

|  |  |  |  |
| --- | --- | --- | --- |
| 类型 | 端口名称 | 方向 | 描述 |
| 时钟与复位 | clk\_10m\_bufg | I | 全局时钟输入10MHz时钟，不受复位信号影响的free-running时钟，作为ADC数据的采样时钟和ADC芯片的输入参考时钟 |
| rst\_glb | I | 全局复位信号，高有效 |
| clk\_cfg\_bufg | I | 全局时钟输入，作为ADC芯片的配置时钟 |
| idelay\_rdy | I | IDELAYCTRL原语输出的ready信号 |
| IOB信号 | iob\_adc\_dclk\_p | I | ADC采样的随路时钟，为30MHz |
| iob\_adc\_dclk\_n | I | ADC采样的随路时钟，为30MHz |
| iob\_adc\_clk\_p | O | 由全局时钟10MHz经过buffer处理产生，提供给ADC芯片作为参考时钟 |
| iob\_adc\_clk\_n | O | 由全局时钟10MHz经过buffer处理产生，提供给ADC芯片作为参考时钟 |
| iob\_adc\_fcoclk\_p | I | ADC芯片中用来表示新输出字节的开始，等于10MHz |
| iob\_adc\_fcoclk\_n | I | ADC芯片中用来表示新输出字节的开始，等于10MHz |
| iob\_adc\_data0\_in\_p[1:0] | I | 来自ADC芯片两个LVDS端口传输的数据 |
| iob\_adc\_data0\_in\_n[1:0] | I | 来自ADC芯片两个LVDS端口传输的数据 |
| iob\_adc\_spi\_clk | O | spi时钟信号 |
| iob\_adc\_spi\_csb | O | spi片选信号 |
| iob\_adc\_spi\_dio | IO | spi输入输出数据信号 |
| 用户端口 | adc\_data\_sample[11:0] | O | 采样数据输出结果 |
| adc\_ready | O | 找窗结束后的指示信号 |
| 调试端口 | ADC\_TO\_TEST\_VIO | I | 设置为0，保留勿动 |

## ad9783\_inf接口逻辑

### 功能描述

DAC\_VC是2通道、16位高动态范围DAC,可在奈奎斯特频带内输出多载波宽带信号。

### 接口描述

ad9783\_inf接口逻辑的端口信号如下所示，分为时钟与复位、用户端口、IOB端口、调试端口。

表格 12 ad9783\_inf端口列表

|  |  |  |  |
| --- | --- | --- | --- |
| 类型 | 端口名称 | 方向 | 描述 |
| 时钟与复位 | clk\_5m\_bufg | I | 接入配置芯片的低速时钟clk\_slow\_bufg |
| rst\_glb | I | 全局复位信号，高有效 |
| dac1\_refclk\_bufg | I | 参考时钟，接入系统时钟clk\_100m\_bufg |
| clk\_dac1\_dci\_bufg | O | DAC的随路时钟，输出信号，频率与参考时钟一致 |
| clk\_user\_bufg | I | DAC数据处理时钟，接入clk\_dac1\_dci\_bufg |
| IOB信号 | iob\_dac1\_xxx | I/O | 接入IOB引脚的信号，勿改 |
| 用户端口 | dac1\_fsc[9:0] | I | DAC\_VC的第一个通道输出电流满量程值，I\_fullscale=8.66mA+dac0\_fsc\_current[9:0]\*(25/256)(mA) |
| dac1\_mode[1:0] | I | DAC\_VC的第一个通道输出模式选择信号  0:normal 1:RZ mode 2:mix mode |
| dac2\_fsc[9:0] | I | DAC\_VC的第二个通道输出电流满量程值，I\_fullscale=8.66mA+dac0\_fsc\_current[9:0]\*(25/256)(mA) |
| dac2\_mode[1:0] | I | DAC\_VC的第二个通道输出模式选择信号  0:normal 1:RZ mode 2:mix mode |
| dac1\_data[15:0] | I | DAC\_VC输出的数字信号 |
| dac1\_ready | O | DAC初始化完成标志，1表示初始化完成可以传输数据 |
| 调试端口 | ADC\_TO\_TEST\_VIO | I | 设置为0，保留勿动 |

## 用户逻辑（测试支持模块）

dds\_for\_7\_series\_iq模块提供了针对DAC\_DDS的功能测试方式。

其中vio\_2具有复位DAC\_DDS、ADC和DAC\_VC的功能，还可设置DAC\_DDS的满量程控制信号和上变频控制字以及DAC\_VC的满量程控制信号及模式，各个控制信号的具体功能如表格10所示。

表格10 vio\_2操作端口说明

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **类型** | **名称** | **方向** | **描述** | **默认值** |
| 输入信号 | adc\_ready | I | 用于观测adc是否完成初始化，完成后为1 | - |
| dac\_vc\_ready | I | 用于观测dac\_vc是否完成初始化，完成后为1 | - |
| dac\_dds\_ready | I | 用于观测dac\_dds是否完成初始化，完成后为1 | - |
| 输出信号 | RST\_DAC\_DDS\_VIO | O | 复位DAC\_DDS模块，高有效 | 0 |
| RST\_ADC\_VIO | O | 复位ADC模块，高有效 | 0 |
| RST\_DAC\_VC\_VIO | O | 复位DAC\_VC模块，高有效 | 0 |
| DAC\_DDS\_CARRIER\_FREQ\_VIO [47:0] | O | DAC\_DDS上变频控制信号， F\_carrier=9.6GHz \* DAC\_DDS\_CARRIER\_FREQ\_VIO [47:0]/2^48 | 0 |
| DAC\_DDS\_FSC\_CURRENT\_VIO [9:0] | O | DAC\_DDS的输出电流满量程值，I\_fullscale=15.6mA+dac0\_fsc\_current[9:0]\*(25/256)(mA). | 10’h0 |
| VIO\_DAC1\_FSC[9:0] | O | DAC\_VC的第一个通道输出电流满量程值，I\_fullscale=8.66mA+dac0\_fsc\_current[9:0]\*(25/256)(mA). | 10’h0 |
| VIO\_DAC1\_MODE[1:0] | O | DAC\_VC的第一个通道输出模式选择信号  0:normal 1:RZ mode 2:mix mode | 2’h0 |
| VIO\_DAC2\_FSC[9:0] | O | DAC\_VC的第二个通道输出电流满量程值，I\_fullscale=8.66mA+dac0\_fsc\_current[9:0]\*(25/256)(mA). | 10’h0 |
| VIO\_DAC2\_MODE[1:0] | O | DAC\_VC的第二个通道输出模式选择信号  0:normal 1:RZ mode 2:mix mode | 2’h0 |

### dds\_for\_7\_series\_iq模块

dds\_for\_7\_series\_iq模块向DAC提供频率可控的数字信号，搭配vio\_dds\_1使用。dds\_for\_7\_series\_iq模块的Port端口列表如表格11所示。

表格11 dds\_for\_7\_series\_iq模块Port端口列表

|  |  |  |  |
| --- | --- | --- | --- |
| 名称 | 位宽 | 方向 | 描述 |
| clk\_user\_bufg | 1 | I | 全局时钟输入 |
| rst\_glb | 1 | I | 全局复位输入，高有效 |
| i0~i15 | 16 | O | I路数据输出 |
| q0~q15 | 16 | O | Q路数据输出 |
| pulse\_user | 1 | O | 脉冲信号输出模式下的脉冲输出，指示有效输出位置，高有效；用于DAC输出延迟测试 |

vio\_dds\_1端口列表如表格12所示。

表格12 通用DDS模块的VIO端口列表

|  |  |  |  |
| --- | --- | --- | --- |
| 名称 | 位宽/bit | 描述 | 默认值(DEX) |
| DDS\_MODE\_VIO | 4 | DAC输出模式  0：单音信号，连续波输出模式  1：单音信号，脉冲输出模式  2：单音信号，扫频输出模式  3：双音信号  4：同步测试模式  其他：预留 | 0 |
| DDS\_FIN\_MHz\_VIO | 16 | 单音连续波模式下，设置信号输出的频率，单位为MHz | 300 |
| DDS\_ATT\_0p1dB\_VIO | 10 | 输出信号幅度衰减，单位0.1dB；有效值：0~500 | 30 |
| DDS\_AMP\_MULTIP\_VIO | 15 | 自定义输出信号幅度衰减值，0~32767。当DDS\_ATT\_0p1dB\_VIO=10’h3ff时生效。 | 0 |
| DDS\_PRT\_WIDTH\_VIO | 32 | 单音脉冲输出模式下，有效信号的持续时间，单位为时钟周期 | 200 |
| DDS\_PRT\_CYCLE\_VIO | 32 | 单音脉冲输出模式下，脉冲信号的周期，单位为时钟周期 | 2\_000 |
| DDS\_FREQHOPSPEED\_VIO | 32 | 单音扫频输出模式下，每个频点的停留时间，单位为时钟周期 | 3\_000\_000 |
| DDS\_FREQHOP\_kHz\_VIO | 16 | 单音扫频输出模式下，频点之间的间隔，单位为kHz | 10\_000 |
| DDS\_FREQHOP\_START\_MHz\_VIO | 16 | 单音扫频输出模式下，起始频点，单位为MHz | 10 |
| DDS\_FREQHOP\_STOP\_MHz\_VIO | 16 | 单音扫频输出模式下，结束频点，单位为MHz | 300 |
| DDS\_ IMD\_INTERVAL\_kHz\_VIO | 20 | 双音信号模式下，信号间隔，单位为kHz | 1\_000 |

------------------------------正文完-----------------------------