# Chisel练习小项目

我们在Chisel-Tutorial中遇到了完成一个4bit加法器的例子，但是在例子中我们是采用行波进位的结构来完成加法器的设计。这次我们的小项目也是做一个加法器，但是我们会采用更优化的加法器结构，如超前进位加法器、进位选择加法器、进位旁路加法器等。

但我们的目的不是为了实现一种特定结构的加法器，而是实现一种加法器的**生成器**，我们提供可能可以考虑的参数化的方向，同时我们也鼓励大家思考可以进行参数化的方向，让我们的加法器生成器能够应对更灵活的场景，对设计空间有更全面的探索。

**分享时间：**

第五周上课

**项目要求：**

**基础部分：**

考虑到同学们时间有限，我们基本的要求是需要大家完成一个固定的结构的N bit加法器的实现，可以采用除行波进位以外的结构实现，并使用ChiselTest或iotester进行随机数的测试。

**进阶部分：**

如果完成基础部分后还有时间剩余，那么可以尝试更多的参数化结构来完善这个加法器生成器。我们会给出一些参考的参数化方向，当然同学们也可以自己探索可以参数化的方向。

**可能可以参数化的方向：**

1. 加法器进位传播的方式（超前进位、进位旁路等优化方案）

2. 对进位传播方式还可以进行混合使用（如以4bit为单位构建超前进位，然后不同4bit加法器间以行波进位方式进行传递，最后构成16bit加法器）

3. 对加法器还可以进行流水化，流水化的级数可以参数化。