



Cadence 仿真流程

Poqi 055

2002-7-10

Cadence 仿真步骤



第一章 在 AlIegro 中准备好进行 SI 仿真的 PCB 板图

1) 在 Cadence 中进行 SI 分析可以通过几种方式得到结果：

- AlIegro 的 PCB 画板界面，通过处理可以直接得到结果，或者直接以*.brd 存盘。
- 使用 SpecctreQuest 打开*.brd，进行必要设置，通过处理直接得到结果。这实际与上述方式类似，只不过是两个独立的模块，真正的仿真软件是下面的 SigXpl ore 程序。
- 直接打开 SigXpl ore 建立拓扑进行仿真。

2) 从 PowerPCB 转换到 Al eegro 格式

在 PowerPCb 中对已经完成的 PCB 板，作如下操作：

在文件菜单，选择 Export 操作，出现 File Export 窗口，选择 ASCII 格式*.asc 文件格式，并指定文件名称和路径（图 1.1）。

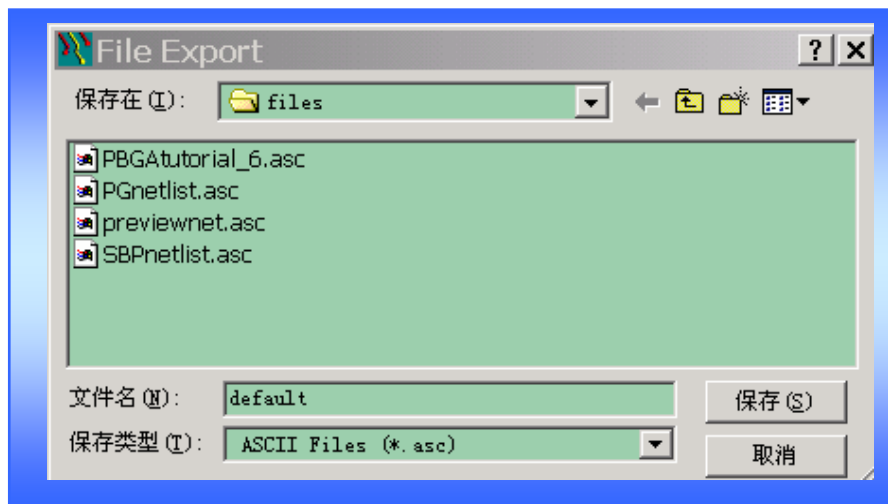


图 1.1 在 PowerPCB 中输出通用 ASC 格式文件

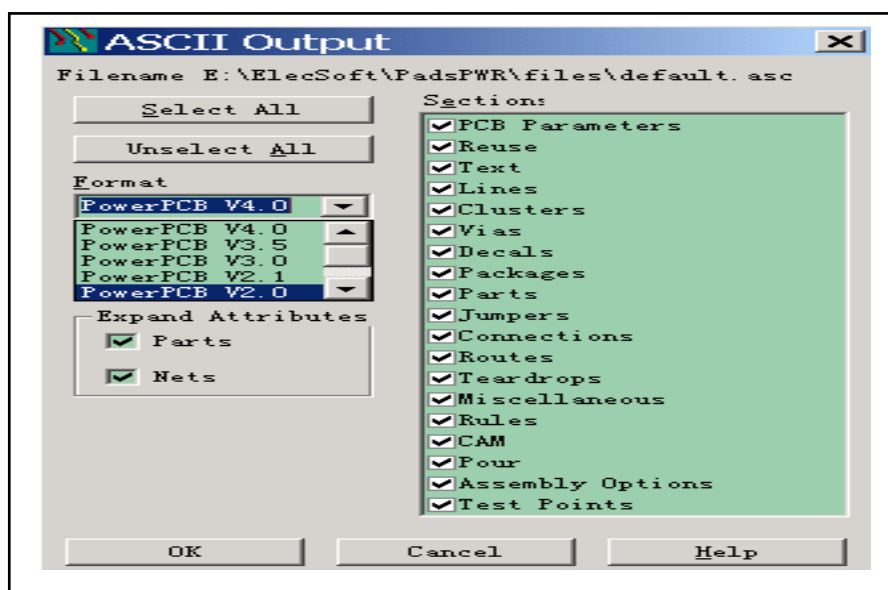


图 1.2 PowerPCB 导出格式设置窗口

点击图 1.1 的保存按钮后出现图 1.2 ASCII 输出定制窗口，在该窗口中，点击“Select All”项、在 Expand Attributes 中选中 Parts 和 Nets 两项，尤其注意在 Format 窗口只能选择 PowerPCB V3.0 以下版本格式，否则 Allegro 不能正确导入。

3) 在 Allegro 中导入 *.asc PCB 版图

在文件菜单，选择 Import 操作，出现一个下拉菜单，在下拉菜单中选择 PADS 项，出现 PADS IN 设置窗口（图 1.3），在该窗口中需要设置 3 个必要参数：

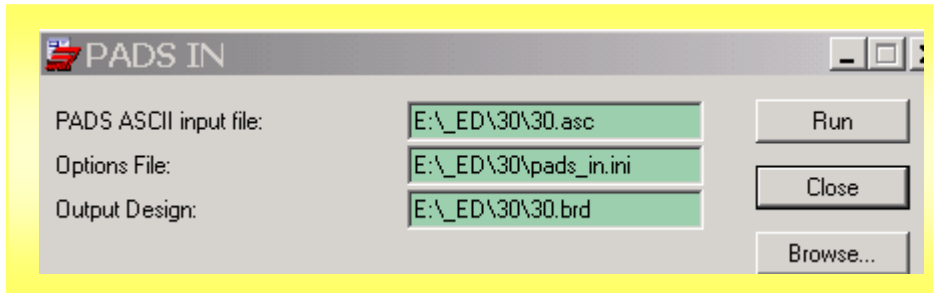


图 1.3 转换阿三次文件参数设置窗口

- i. 在的一栏那填入源 asc 文件的目录
- ii. 在第二栏指定转换必须的 pads_in.ini 文件所在目录（也可将此文件拷入工作目录中，此例）
- iii. 指定转换后的文件存放目录

然后运行“Run”，将在指定的目录中生成转换成功的.brd 文件。

注：pads_in.ini 所在目录路：...\Psd_14.2\Tools\PCB\bin 中。

4) 在 Allegro 文件菜单中使用打开功能将转换好的 PCB 板调入 Allegro 中。

第二章 转换 IBIS 库到 dml 格式并加载

1) 库转换操作过程

在 Allegro 菜单中选择 Analyze \ SI/EMI SIM \Library 选项，打开“Signal Analyze Library Browser”窗口，在该窗口的右下方点击“Translatr ->”按钮，在出现的下拉菜单中选择“ibis2signois”项，出现“Select IBIS Source File”窗口（图 2.1）。按下“打开”按钮，随后出现转换后文件存放目的设置窗口，设置后按下“保存”键，出现保存认定窗口（图 2.2）。注意：必须对此窗口默认的路径设置进行修改，否则无法生成.dml 文件。

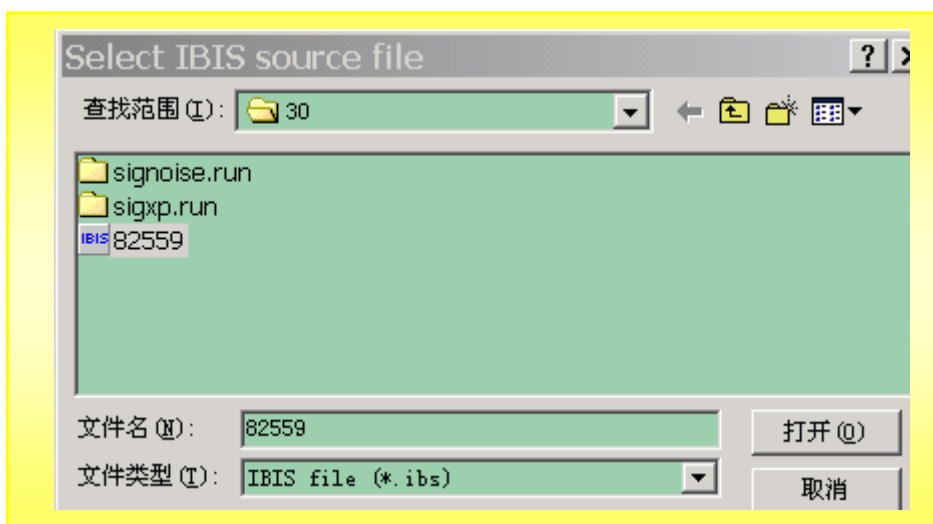


图 2.1 IBIS 库转换原文件路径设置窗口

原该窗口的默认设置为“ ibis2signoise in=E:_ED\30\82559.ibs out=82559.dml ”,实际上 ibis2signoise 是一个 DOS 文件,可能在一些场合,可执行文件后面的命令参数中“ in= ”和“ out= ”被认为是非法字符,所以,将它修改为“ ibis2signoise E:_ED\30\82559.ibs ”即可,它将在 IBIS 文件所在目录建立同名的 dml 文件。

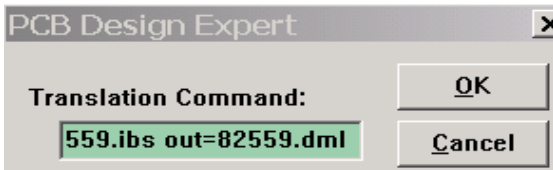


图 2.2 IBIS To dml 转换设置路径窗口(需修改)

转换完成以后,会有报告文件弹出,在文件中只要没有“ Error ”提示,转换文件有效。

2) 加载转换后的 dml 库

在 Signal Analyze Library Browser 窗口(图 2.3),加载转换后的 dml 库文件。首先点击

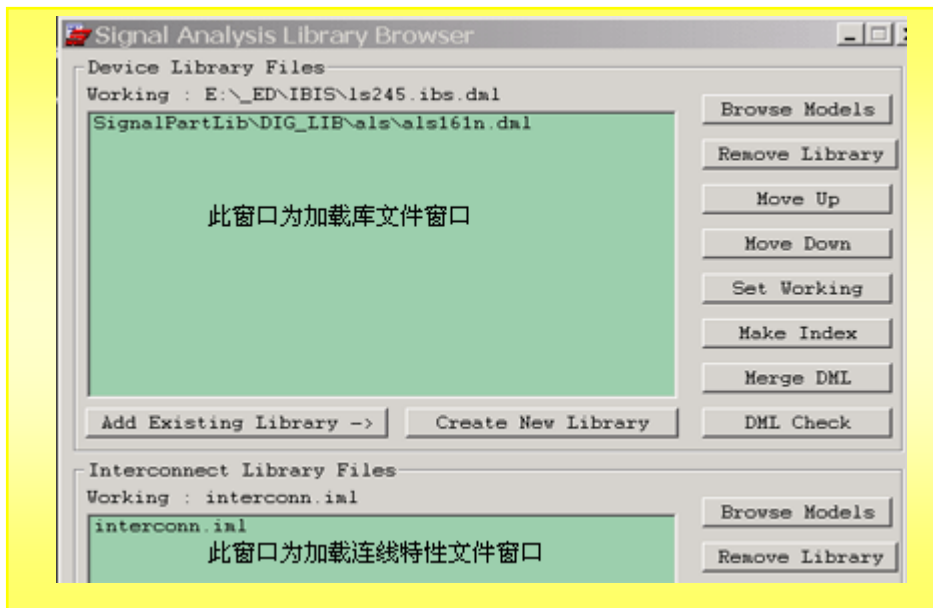


图 2.3 Signal Analyze Library Browser 窗口

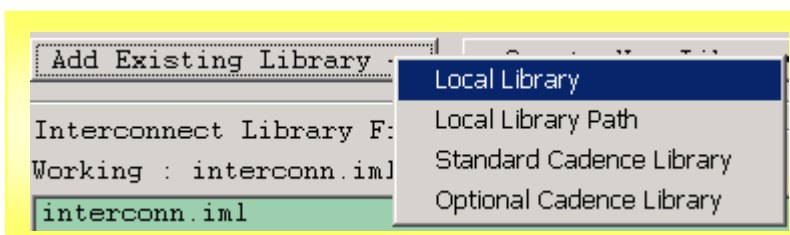


图 2.4 加载库文件的几个方法

“ Add Existing Library -> ”按钮,出现下来菜单(图 2.4),该菜单有四个选项:

1. Local Lib: 直接指定一个确定的库文件。这些库文件在:...\Psd_14.2\share\pcb\signal\SignalPartLib 中。

2. Local Library Path: 指定一个人目录并将目录中所有库文件调入。在...\Psd_14.2\share\pcb\signal\SignalPartLib 中安装时,内置有三个库文件目录(安装时没有选择附加的仿真用库):DEFAULT_LIB、Dig_lib(内含 abt、als、alvc、fttl 四个子目录) Packages。其中 als 子目录中有 X4ALS 系列标注逻辑器件库,如 74als162 等。

3. Standard Cadence Library: 在加载两个索引文件(\Psd_14.2\share\pcb\signal): cds_model.s.ndx 和 cds_partlib.ndx,前者包括模块信息,后者包括仿真器件信息。

3) 加载成功以后可以点击 set working 按钮,将其设置为工作库。

第三章 给器件加载对应模型

1) 给器件加载模型

在 Allegro 菜单中选择 Analyze \ SI/EMI SIM \Model 选项，打开“Signal Model Assignment”窗口（图 3.1）。

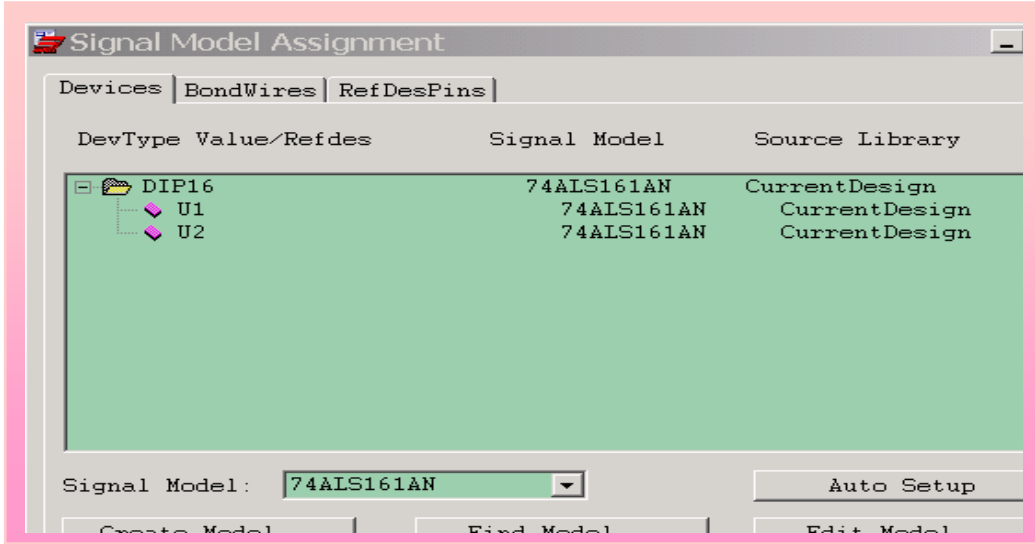


图 3.1 为器件指定模型窗口

在图 3.1 中显示所有使用到的器件名称，选中一个准备设置模型的器件并点击 Find 按钮，出现 Model Browser 窗口（图 3.2）。在 Model Name Pattern 窗口中填入“*”号，一些模型的名称进入下面的列表框，

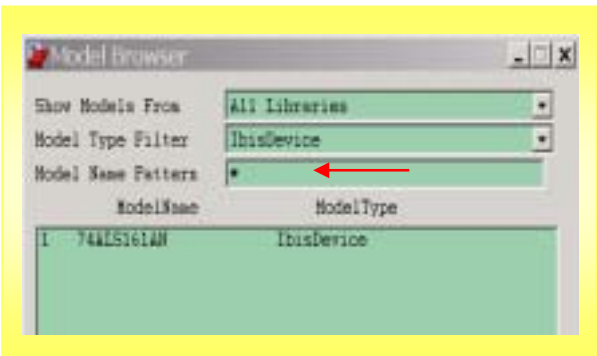


图 3.2 浏览模型窗口

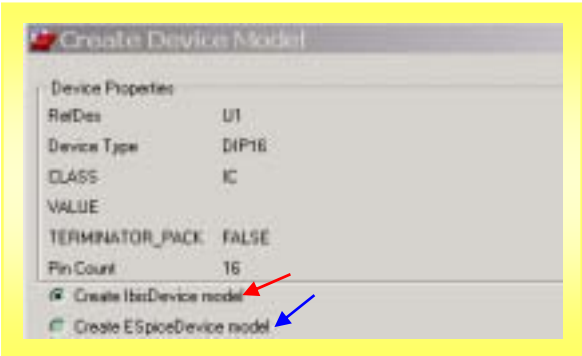
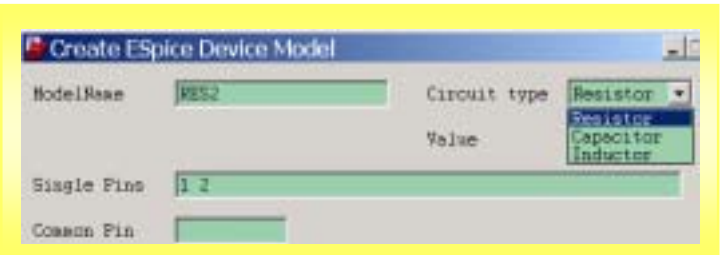


图 3.2 创建模型窗口

在列表框里点击你需要的模块后，在图 3.1 中 U1（和 U2）的“Signal Name”列里就会出现它的模型名称。

2) 器件、元件的建模



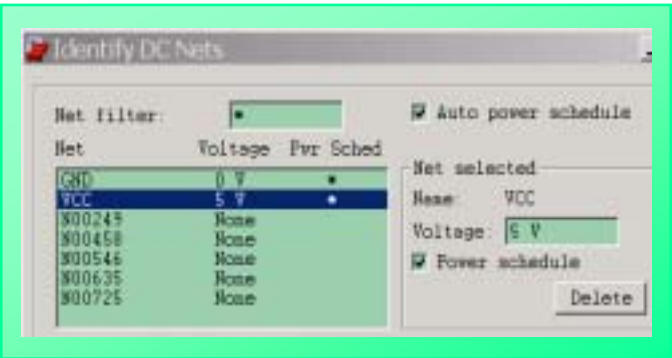
如果在图 3.1 里准备加载的模型是无源器件或者是需要自己临时创建的模型，则点击在图 3.1 中的 create model 按钮出现图 3.2 创建模型窗口，对于电阻电容选择 ESpicemodel（选中蓝色箭头所指项目）后将出现，Creat ESpick Device Model

窗口(图 3.3)。其他有源器件用 IBISdevice 图 3.3 无源器件建模窗口
模型(选中红色箭头所指项目),然后按提示输入 value 及各管脚的功能即可,同时可以存盘生成*.dat 文件,这样以后进行仿真时直接 load 即可。此时这个新建的模型就出现在所选器件的“模型名称”栏中。

无源器件包括电阻、电容、电感,图中的 Common 项是设置该元件是否有公用(接地或电源)管脚。

第四章 定义板子的地线、电源电压

器件仿真必须设置直流电源,否则仿真不能进行,只有定义了电压的电源和地信号,才能在拓补结构中将电源的信号模型调进来。



此操作在 Logic 菜单项中选择 Identify Nets.. 选项,出现 Identify DC Nets 窗口(图 4.1 分别选中 VCC 和 GND 网络,在 Voltage 栏填入 5V 和 0V,然后确认,完成设置。

图 4.1 直流电源设置窗口

调整 PCB 板叠层结构满足阻抗要求

求

该功能分别从 Allegro、SpecctraQuest 两个模块进入后进行设置。

1) 从 Allegro 主窗口设置

在 Tools 菜单选择 Setup Advisor 选项,出现 DataBase Setup Advisor 窗口,直接按下“Next”按钮,出现新的 DataBase Setup Advisor –Cross-Section 窗口,其中有个“Edit Cross-Section”按键,按下此键进入叠层设计窗口(图 5.1),在这个类似 Excel 表格式地窗口里,输入需要的各种参数,在表地最后一栏直接计算出该层的阻抗值。

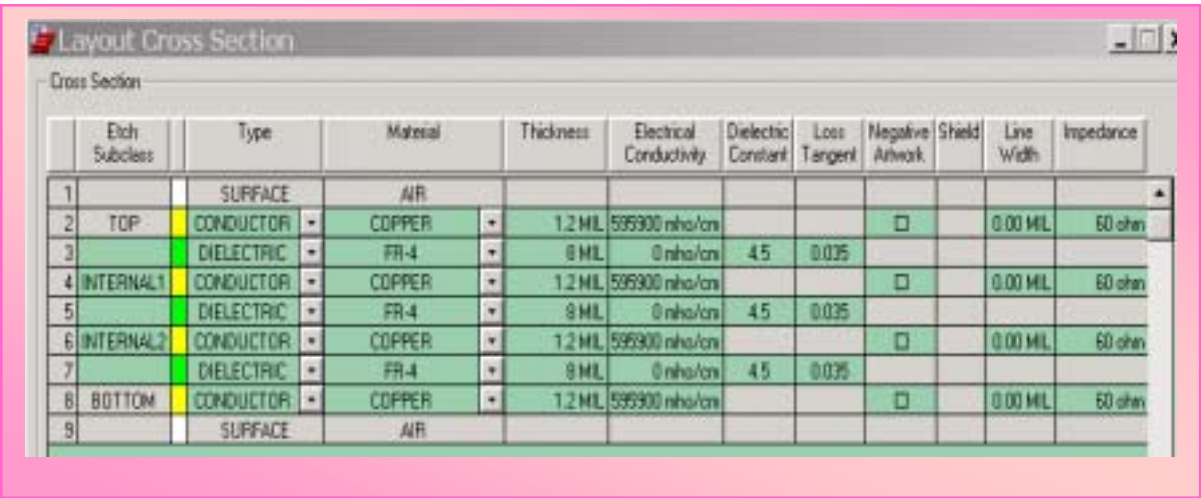


图 5.1 叠层设置窗口

2) SpecctraQuest 窗口设置

直接从 Setup 菜单选择 Cross-Section 项进入图 5.1 窗口

第六章 设置仿真参数

在正式进行仿真之前，还需要对各参数进行设置，以便使最终结果更加准确的反映设计者的要求。这个步骤可以在 SpecctraQuest 模块里，也可以在 Sigxplorer 中完成。具体需要设置的参数根据不同仿真有不同的要求，大致如下：

仿真的周期数 (measurement cycle)	波形取样时间 (waveform resolution)
时钟频率 (Clock frequency)	截止频率 (cutoff frequency)
占空比 (duty cycle)	仿真模式 (FTS mode)
偏移量 (offset)	驱动激励 (drive excitation)
固定仿真时间 (fixed duration)	测量模式(measurement mode)

1) SpecctraQuest 模块里设置仿真参数

在 SpecctraQuest 的菜单里选中 Analyze\SI/EMI SIM\Prefences，出现参数设置窗口（图 6.1）

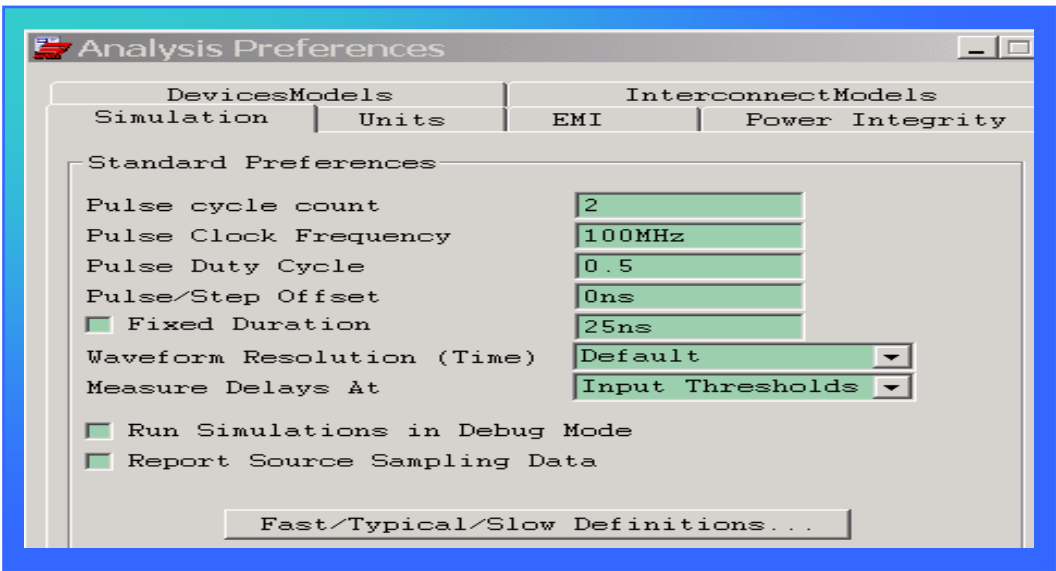


图 6.1 仿真参数设置

2) 在 Sigxplorer 里的选中 Analyze\Prefences 进入的参数设置窗口与图 6.1 类似。

第七章 用探针（Probe）指定仿真信号线

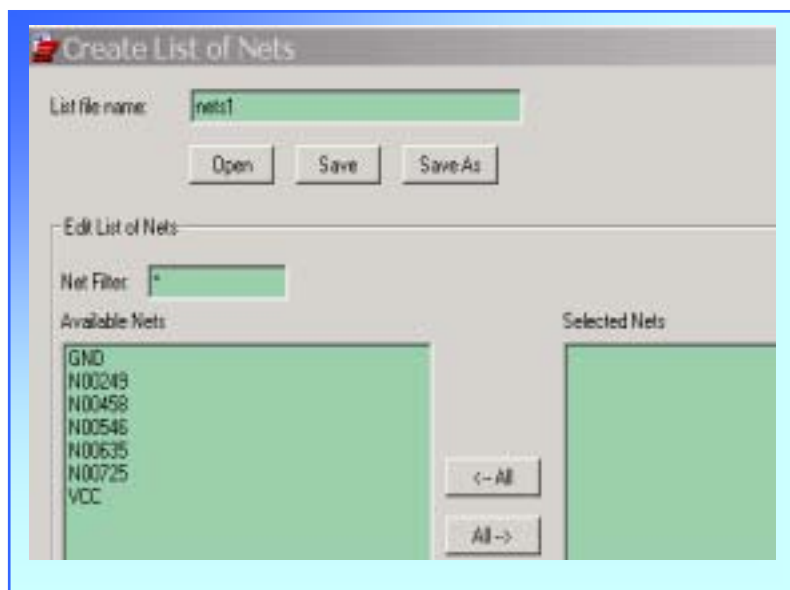


图 7.1 建立仿真网络
的框里，可以选择任何一个信号线进行模拟。（图 7.2）

1) 建立仿真信号线网表

在 SpecctraQuest 里的 Logic 下拉菜单里,选择 create list of nets,出现“Creat List of Net”窗口（图 7.1）。在窗口上边的 Net List Name 栏中填入自己起的网络名称，在“Net Filter”栏输入“*”；在“Available nets”列表栏中选中需要仿真的网络并将其添加到右边“Selected Nets”栏里。然后将生成的网表文件进行保存。

2) 选择仿真网络

选中 Analyz\SI/EMI Sim\Probe 命令，在弹出的 signal analysis 窗口的 net 一栏，敲入*,或者通过 list of nets,将网表文件调入。这样所有的 net 都出现在最左边的

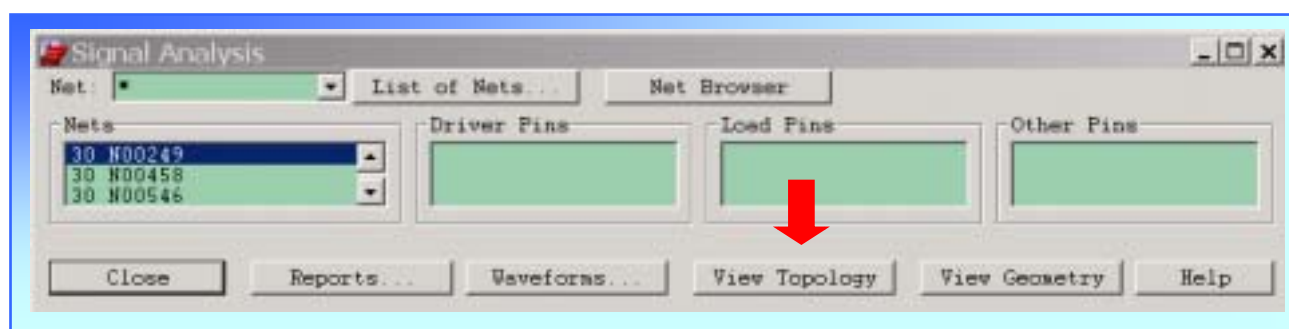


图 7.2 选择仿真网络

第八章 生成仿真结果报告、设定报告包括的参数

选中要进行模拟的信号线之后,点击图 7.2 下方 Reports 功能键,在弹出 analysis report generator 窗口里进行不同的参数条件设置,如 SSN, Reflection、CrossTalk 等等,参数设置完成之后,点击 create report 就可以分别生成对反射,串扰,地弹等等的仿真结果报告。

第九章 提取电路拓扑结构（建立）

1) 通过在 Al eegro 和 SpecctraQuest 界面提取电路拓扑结构

点击图 7.2 中 View Toplogy,假设没有任何设置错误,将直接进入拓扑界面。但一般会出现提示框(很

难严格设置提取拓扑的每一个参数), 告知不能进行提取, 要你选择是否进入修订程序 “Yes”, 如果选择 “No” 程序将忽略一些错误直接进入拓扑界面 (SigXplorer 图 8.1)。如果选择 “Yes”, 则依次进入下面的修正程序:

- 进入 Database Setup Advisor 进行 “Cross-Setion 叠层” 修正
- 进入 Database Setup Advisor 进行 “Identify DC Nets 电源” 修正
- 进入 Database Setup Advisor 进行 “Device Setup 器件” 修正
- 进入 Database Setup Advisor 进行 “SI Model Asingment 模型定义” 修正
- 进入 Database Setup Advisor 进行 “Si Audit 审核” 程序
- 按下 “Finish” 完成全部校验过程。

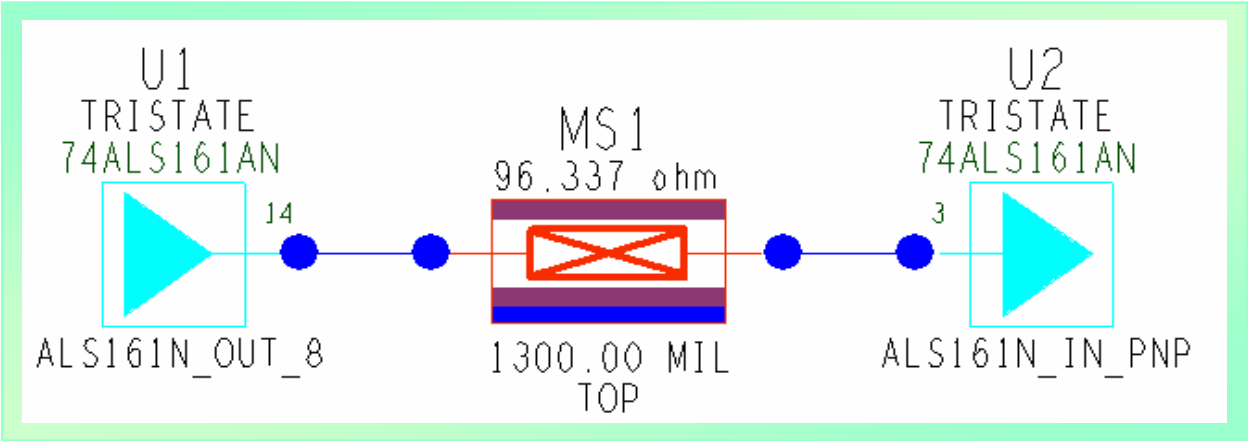
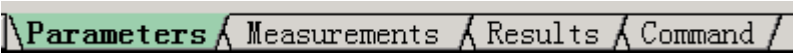


图 8.1 SigXplorer 中的拓扑结构 (左边是驱动、中间是传输线、右边是接收)

1.1 图 8.1 窗口对应的功能 “标签”(底部)



Name	Value	Count
<input checked="" type="checkbox"/> CIRCUIT		1
tlineDelayMode	time	1
userRevision	1.0	1
<input checked="" type="checkbox"/> 30		1
<input checked="" type="checkbox"/> MS1		1
d1Constant	4.5	1
d1LossTangent	0.035	1
d1Thickness	27.60 MIL	1
d2Constant	1	1
d2LossTangent	0	1
d2Thickness	0.00 MIL	1
length	1300.00 MIL	1
traceConductivity	595900 ohm/cm	1
traceLayerName	TOP	1
traceThickness	1.20 MIL	1
traceWidth	12.00 MIL	1
<input checked="" type="checkbox"/> U1		1
bufferModel	ALS161N_OUT_8	1
<input checked="" type="checkbox"/> U2		1
bufferModel	ALS161N_IN_PNP	1

图 8.1 拓扑结构窗口中参数选项

1.1.1 Parameters 参数选项



图 8.2 修正介电常数

在这个表里可以进行参数的修改，每当选中的一个欲修改的项目，在该项目栏右边会出现“ ”标记，点击它时将出现对应的编辑窗口。例如：修改电介质常数（蓝色箭头所指），首先选中此项，再点击该项被选中出现的“ ”按钮，出现两个与该参数相关的窗口：“Set Parameter d1Constant”（图 8.2）在 Value 窗口直接输入修改数值。另一个是与介电常数密切相关的传输线结构。

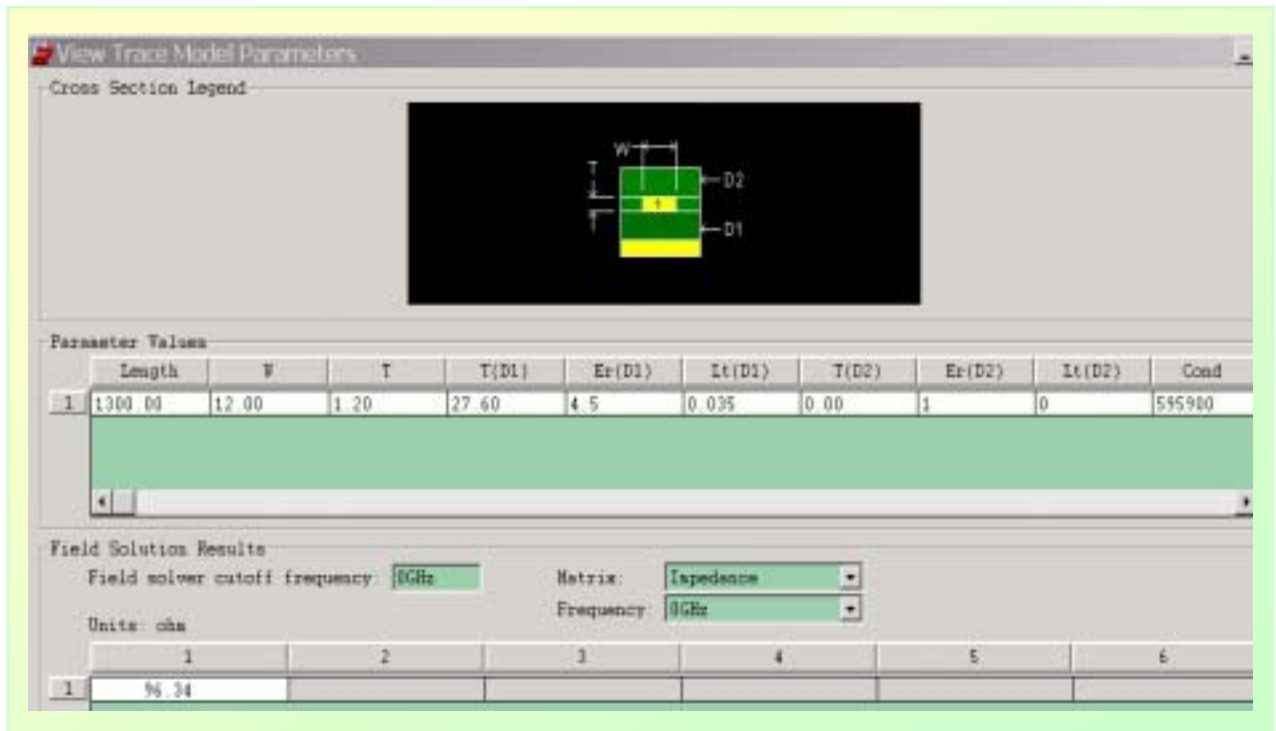


图 8.3 与介电常数相关的传输线特性设置窗口

1.1.2 Measurements 选项

选项可以选择 Reflection、Crosstalk 和 EMI 分别进行仿真，其中 Custom 是用作 IC 晶圆（Die）的仿真的。在 Results 里可以看到数据结果列表。

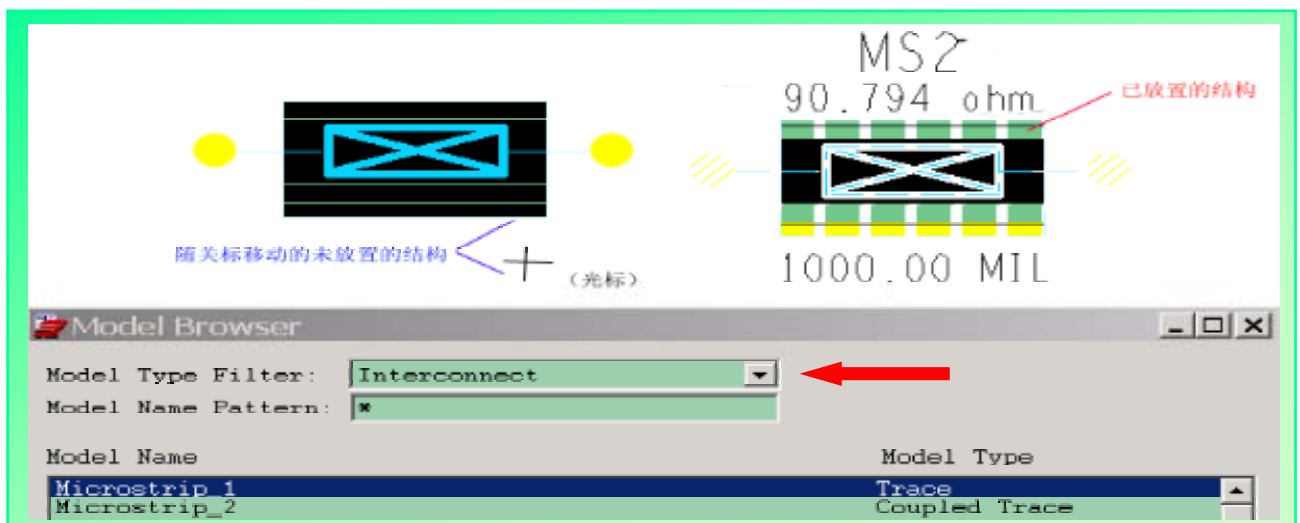


图 8.4 在 Sigxploer 中添加结构体

2) 直接在 SigXplorer 中建立拓扑结构

1.2.1 加载库

在 SigXplorer 的 Analyze 的 Library 中加载库文件（类似图 2.3）

1.2.2 构造拓扑图

1.2.2.1 放置传输线

在 Edit 菜单选择 Add Part（或者工具按钮）打开 Model Browser 窗口来选择准备假如拓扑图的结构体。比如在图 8.5 中选择的是传输类型，则所有传输线的模型列表出现，如果选择 MicroStrip_1 模型，此时在 Sigxplore 的主窗口，就有 MicroStrip_1 图形在随光标移动，选定位置点击放置(图 8.4)。

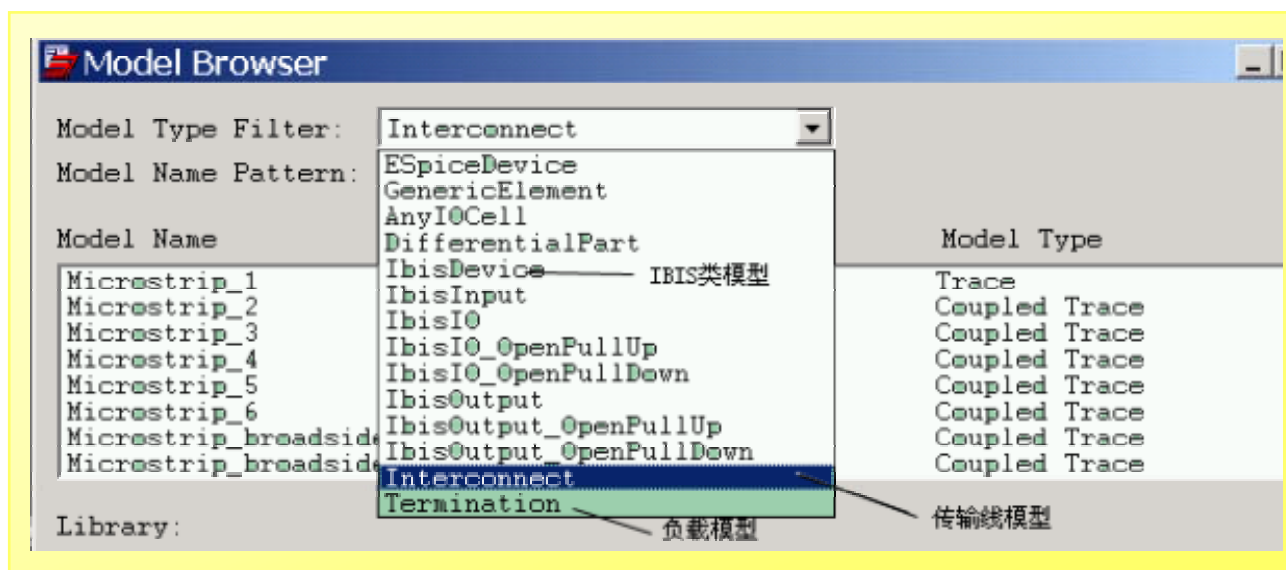


图 8.5 设置拓扑结构体类型

1.2.2.2 放置器件（驱动和接收）

在图 8.5 的 Model Type Filter 里选择 IbisDevice 类模型，（此例在库加载过程中只加了一个 IBIS 模型），所以出现的 Browser 窗口里只有一个库（图 8.6）。

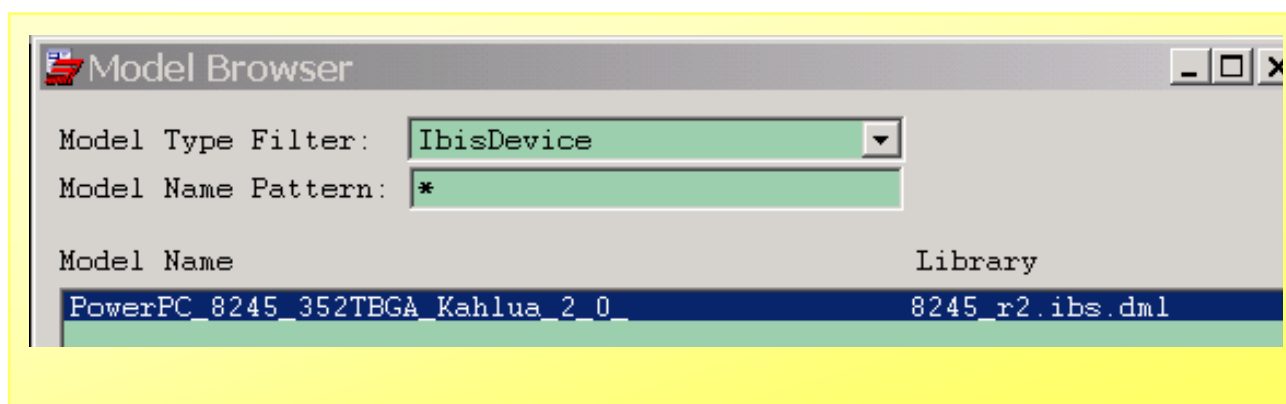


图 8.6 IBIS 器件结构体设置

双击“PowerPC_8245_352TBGA_Kahlua_2_0_”项出现图 8.7 的 8245 器件管脚列表，在此表中选择需仿真的管脚，同放置传输线的方法一样，放置结构体（注意：必须至少有驱动、传输线、接收三部分）。

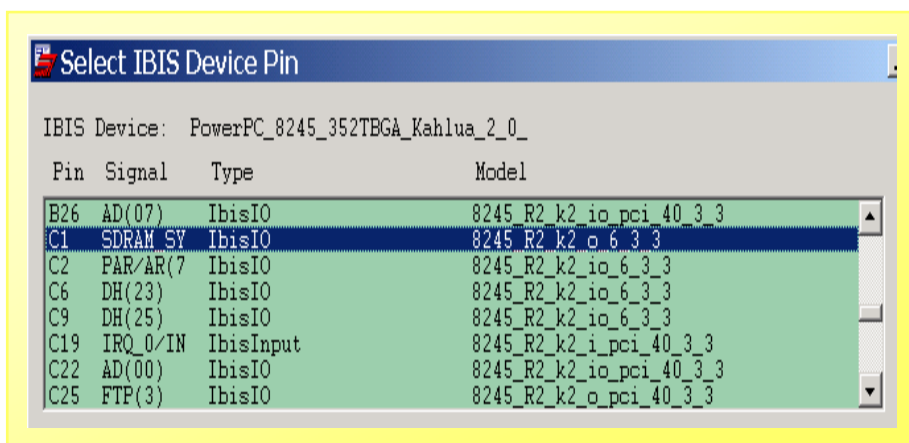


图 8.7 设置有源器件 8245 的 C1 管脚未驱动结构体

1.2.2.3 仿真无源器件（电阻等）

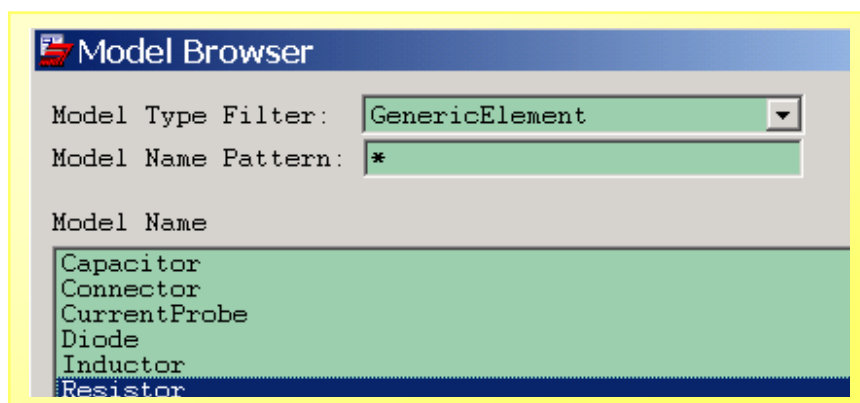


图 8.9 选择“GenericElement”设置其它无源器件

用同样的方法将电阻等无源器件加入到结构中。

1.2.2.4 连接结构体

用鼠标在结构体的端点（焊盘处），拖曳进行画线，完成仿真拓扑图。（图 8.10）

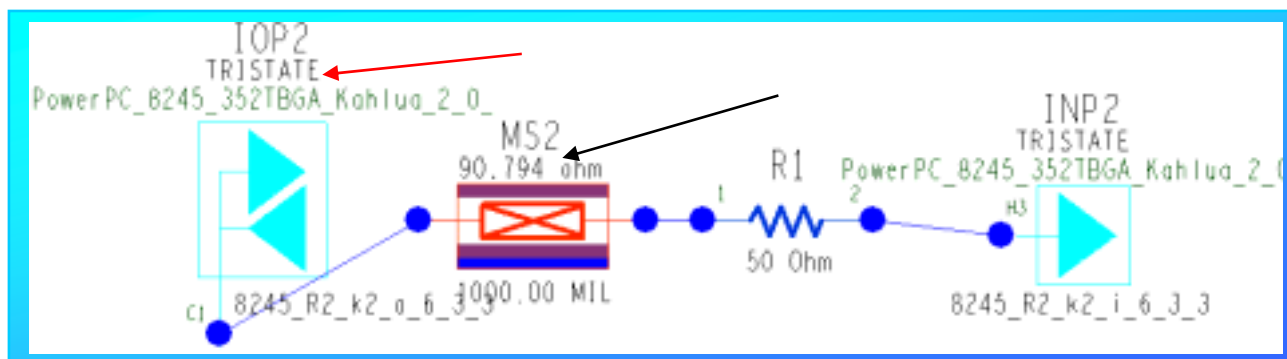


图 8.10 最后完成的拓扑结构图

1.2.2.5 设置驱动源波形

点击结构体中驱动结构模块（点击模块上方标注文字，红色箭头处），出现激励设置窗口，在这里进

行驱动波形的设置。

第十章 仿真以及更改不同的电路条件重复仿真

点击图 8.10 箭头之处可进入相应的参数编辑窗口（红色箭头是设置驱动波形的地方），通过修改结构体参数，可进行重复仿真、分析。

运行 Analyze 中 Simulate 进行仿真（或者使用图标）结果如下图：

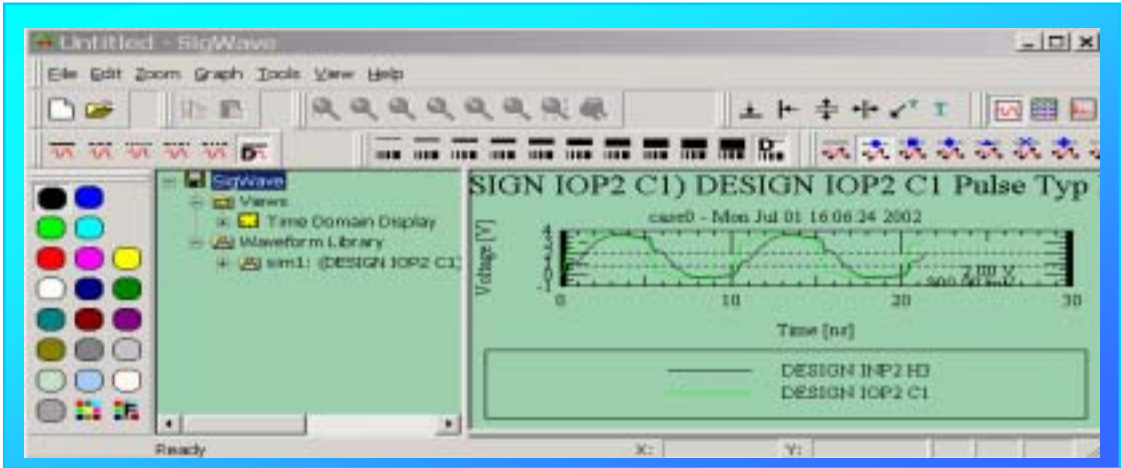


图 10.1 仿真结果图形

第十一章 仿真结果分析

SimID	Driver	Receiver	Cycle	FTSMode	Monotonic	NoiseMargin [mV]	OvershootHigh [mV]	OvershootLow [mV]	PropDelay [ns]	SwitchDelay [ns]	SettleDelay [ns]
1	DESIGN_IOP2_C1	DESIGN_INP2_H3	2	Typ	FAIL	106.68	3617.9	-325.349	0.145603	0.4415	1.7033

仿真结果在图 8.10 下面的信息窗口显示出来如上图

图 11.1 仿真结果显示

SIM ID(模拟的次数)

driver(驱动端)

receiver(接收端)

cycle(仿真的周期)

FTS MODE（仿真模式）

monotonic（单调性）

Noise Margin(噪声裕量)

overshoot high(上过冲)

overshoot low(下过冲)

PropDelay(传输延迟，驱动端到接收端)


switch delay(开关延迟)

settle delay（建立时间）

可以对照信号波形图一起进行分析，一般要求噪声裕量足够大，上冲和下冲不要超过规定电压，没有明显的振铃现象，波形没有严重失真等等，但对于不同的电路，有时对于传输延迟时间的长短，或者上升时间的快慢有特别的要求，这也是具体进行仿真分析时要注意的地方。

第十二章 电气约束规则的定义

经过仿真，基本可以找出最佳的阻抗匹配及布线长度的要求。此时，我们可以产生电气规则，以约束下一步的布局布线。其大致的操作是：在 Sigxpl ore 的 set 下拉菜单下选择 constraints。然后即可根据需要定义各项规则，并可在 Existing Rules 窗口里确认规则是否成功加入。 规则定义完成之后，需点

击 update SQ  快捷键将规则反馈到 SpecctrQuest。