

# 目 录

1. Cadence 系统编辑环境 .....	2
实验 1: Cadence 系统编辑环境设置与基本操作 .....	2
2. 电路图设计工具—Schematic .....	8
实验 2: 二与非门电路原理图设计 .....	8
实验 3: 数、模混合集成电路原理图设计 .....	14
3. 电路仿真工具—ADE .....	18
实验 4: ADE 环境设置 .....	18
实验 5: 差分放大器电路仿真 .....	23
4. 版图设计工具—Layout Editor .....	30
实验 6: Layout Editor 环境设置 .....	30
实验 7: MOS 管版图设计 .....	35
实验 8: BJT 管版图设计 .....	38
实验 9: CMOS 反相器版图设计 .....	42
实验 10: Pcells 版图设计 .....	46
实验 11: pk44chip 芯片版图综合设计 .....	53
5. 版图验证工具—Diva .....	57
实验 12: 版图验证 .....	57
实验 13: 版图识别 .....	66
实验 14: 版图改错 .....	71
6. 设计性实验 .....	73
实验 15: RS 触发器设计 .....	73
实验 16: 静态存储器设计 .....	76
实验 17: 三态与非门设计 .....	79
实验 18: 基准电压源设计 .....	81
实验 19: CMOS 放大器设计 .....	83
实验 20: 异或门设计 .....	84

# Lab 1 Cadence 系统环境设置与基本操作

## 1. 实验目的

熟悉 Cadence 系统环境  
了解 CIW 窗口的功能  
掌握基本操作方法

## 2. 实验原理

### 系统启动

Cadence 系统包含有许多工具（或模块），不同工具在启动时所需的 License 不同，故而启动方法各异。一般情况下涉及到的启动方式主要有以下几种，本实验系统所用到的有 icms、icfb、layoutPlus 等。

#### ① 前端启动命令：

表 1.1 前端启动命令

命令	规模	功能
icde	s	基本数字模拟设计输入
icds	s	icde 以及数字设计环境
icms	s	前端模拟、混合、微波设计
icca	xl	前端设计加布局规划

#### ② 版图工具启动命令

表 1.2 版图工具启动命令

命令	规模	功能
Layout	s	基本版图设计（具有交互 DRC 功能）
layoutPlus	m	版图设计（具有自动化设计工具和交互验证功能）

#### ③ 系统级启动命令

表 1.3 系统级启动命令

命令	规模	功能
swb	s	PCB 设计
msfb	l	混合型号 IC 设计
icfb	xl	前端到后端大多数工具

### CIW 窗口

Cadence 系统启动后，自动弹出“what’s New...”窗口和命令解释窗口 CIW（Command Interpreter Window）。在“what’s New...”窗口中，可以看到本实验系统采用的 5.0.33 版本相对以前版本的一些优点和改进，选择 File→close 关闭此窗口。CIW 窗口如图 1.1 所示。

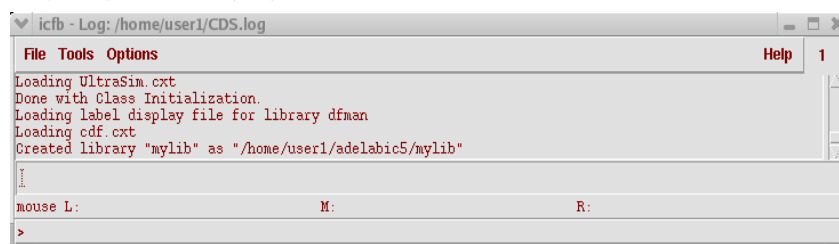


图 1.1 CIW 窗口

CIW 窗口按功能可分为主菜单、信息窗口以及命令行。窗口顶部为主菜单，

底部为命令行，中间部分为信息窗口。Cadence 系统运行过程中，在信息窗口会给出一些系统信息（如出错信息，程序运行情况等），故而 CIW 窗口具有实时监控功能。在命令行中通过输入由 SKILL 语言编写的某些特定命令，可用于辅助设计。主菜单栏有 File、Tool、Options、Technology File 等选项（不同模块下内容不同），以下为一些常用菜单：

### 2.2.1 File 菜单

File 菜单下，主要的菜单项有 New、Open、Exit 等。Library（库）的地位相当于文件夹，它用来存放一整个设计的所有数据，其中包括单元（cell）以及单元（cell）中的多种视图（view）。Cell（单元）可以是一个简单的单元，像一个与非门，也可以是比较复杂的单元（由 symbol 搭建而成）。View 则包含多种类型，常用的有 schematic、symbol、layout、extracted 等，各自代表的意思在以后实验中将会提到。

New 菜单项的子菜单下有 Library 和 Cellview 两项。Library 项打开 New Library 窗口，如图 1.2 所示；Cellview 项打开 Create New File 窗口，如图 1.3 所示，在以下的实验中将有具体介绍。

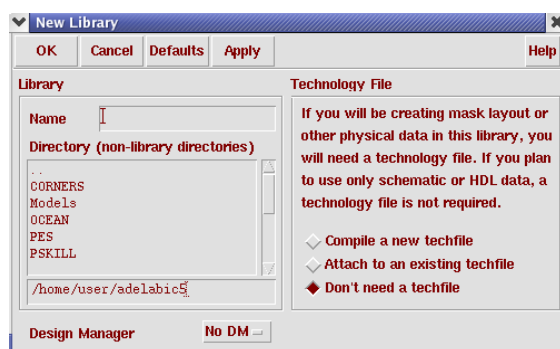


图 1.2 New Library 窗口

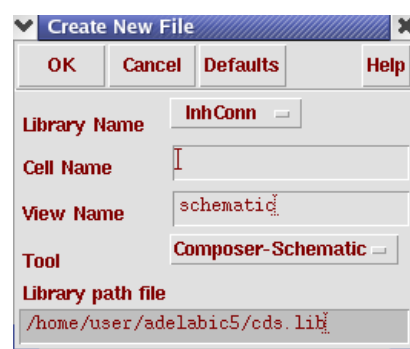


图 1.3 Create New File

Library 窗口分为 Library 和 Technology File 两部分。Library 部分有 Name 和 Directory 两项，分别对应要建立的 Library 名称和路径，Library 名称可以自定义。一般 Technology 部分选择 Don't need a techfile 选项。如果在库中要创立掩模版或其它的物理数据（即要建立除了 schematic 外的一些 view），则须选择 Compile a new techfile（建立新的工艺文件）或 Attach to an existing techfile（使用原有的工艺文件）。

Create New File 窗口：在 Library Name 中选择存放新文件的库，在 Cell Name 中输入名称，然后在 Tool 选项中选择 Composer-Schematic，在 View Name 中就会自动填上相应的 View Name 为 schematic。在 Tool 工具中还有很多别的工具，常用的有 Composer-symbol、virtuoso-layout 等，分别建立的是 symbol、layout 的视图（view）。在 Library path file 中，是系统自建的 library path file 文件的路径及名称（保存相关库的名称及路径），一般不需要改动。

Open 菜单项打开相应的 Open File 窗口，如图 1.4 所示。在 Library Name 中选择库名，在 Cell Names 中选择需要打开的单元名，在 View Name 中选择视图。点击 Browse 按钮，可以进行 Library、Cell、View 的选择。Mode 项可以选择打开方式为可编辑状态或者只读状态。

Exit 菜单项退出 CIW 窗口。在 CIW 窗口中，点击右上角的关闭图标“×”可以关闭 CIW 窗口，但是速度较慢；在命令行中输入“exit”，然后按键 Return（即回车键 Enter），可以较快地退出 CIW 窗口。

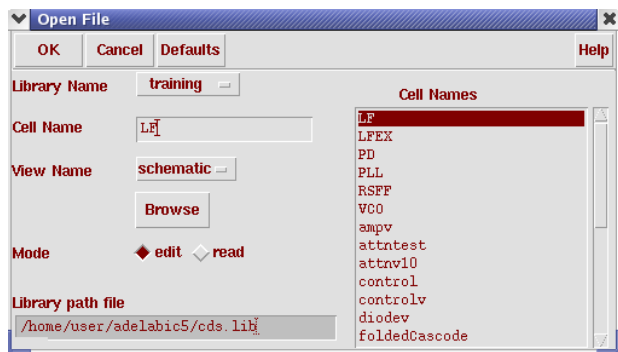


图 1.4 Open File 窗口

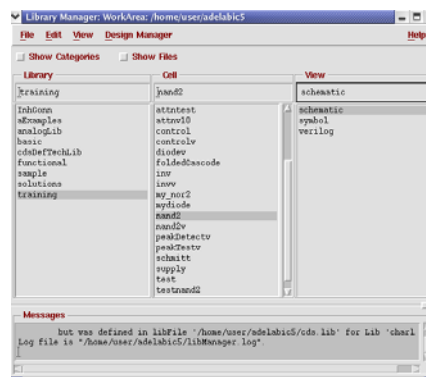


图 1.5 Library Manager 窗口

**注意:** 本实验的操作说明中,在保证读者能看懂的前提下,尽量保留 Cadence 系统自带的默认方式以及常用的专有名词。比如, Cadence 系统中的 Return 键即为 Windows 下的回车键 Enter。具体问题在后续实验中陆续说明。

### 2.2.2 Tool 菜单

在 Tools 菜单下,主要的菜单项有 Library Manager、Library Path Editor 等。Library Manager 项打开的是库文件管理器 (Library Manager) 窗口,如图 1.5 所示。在窗口的各部分中,分别显示的是 Library、Category、Cell、View 相应的内容。双击需要打开的 view 名 (或同时按住鼠标左右键从弹出菜单中选择 Open 项) 即可以打开相应的文件。同样在 library manager 中也可以建立 library 和 cell。具体方法是点击 file,在下拉菜单中选择 library 或 cell 即可。

Library Path Editor 项打开的是 Library Path Editor 窗口,如图 1.6 所示。从 File 菜单中选择 Add Library 项,在窗口底部有详细的提示,在窗口中填入相应的库名和路径名,按键 Return 即可完成编辑,退出窗口时选择保存,则定义的库与路径生效。

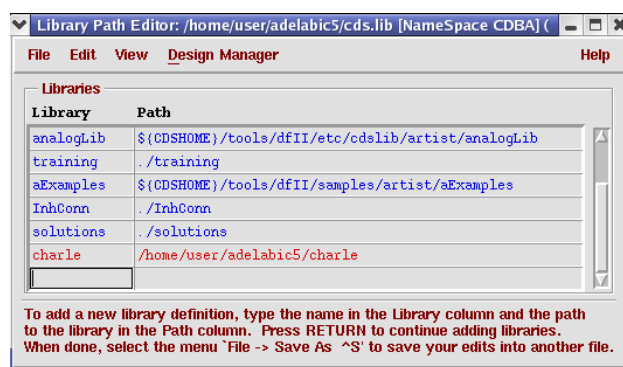


图 1.6 Library Path Editor 窗口

### 2.2.3 Technology File

工艺技术文件包含了设计必需的很多信息,尤其对版图设计很重要。它包含版层的定义,符号化器件定义,几何、物理、电学设计规则,以及一些针对特定 Cadence 工具的规则定义,如自动布局布线的规则,版图转换成 GDSII 时所使用层号的定义等。在版图设计的具体实验内容中再加以说明。

## 3 实验内容

### 3.1 启动 Cadence 系统

- ① linux 系统启动后,在桌面点击鼠标右键 (RMB),使用鼠标左键 (LMB) 点击选择 New Terminal,打开终端 Terminal 窗口。

以下为进入不同模块时的启动方法。

### 3.1.1 启动电路原理图设计工具—Schematic Editor

- ① License 启动后，在 Terminal 窗口中，输入如下命令：  
`cd ~/adelabic5`  
按回车键 Enter。
- ② 在同一 Terminal 窗口中，接着输入如下命令（或 icfb &）：  
`icms &`  
按回车键 Enter，弹出 CIW 窗口和“what’s New...”窗口。
- ③ 在弹出的“what’s New...”窗口中，可以看到 5.0.33 版本相对以前版本的一些改进和优点。选择 File→close 关闭此窗口。

### 3.1.2 启动版图设计工具—Layout Editor

- ① License 启动后，在 Terminal 窗口中，输入如下命令：  
`cd ~/VLE_5033`  
按回车键 Enter。
- ② 在同一 Terminal 窗口中，接着输入如下命令：  
`layoutPlus &`  
按回车键 Enter，弹出 CIW 窗口和“what’s New...”窗口。
- ③ 在弹出的“what’s New...”窗口中，选择 File→close 关闭此窗口。

### 3.1.3 启动版图验证工具—Diva

- ① License 启动后，在 Terminal 窗口中，输入如下命令：  
`cd ~/diva`  
按回车键 Enter。
- ② 在同一 Terminal 窗口中，接着输入如下命令：  
`icfb &`  
按回车键 Enter，弹出 CIW 窗口和“what’s New...”窗口。
- ③ 在弹出的“what’s New...”窗口中，选择 File→close 关闭此窗口。  
**注意：**在 `cd ~/diva` 路径下，所启动的版图验证工具 Diva 中，库文件相对较少，以下从另一途径启动 Diva。在以后相应的实验中，根据不同需要将分别启动 Diva。
- ④ License 启动后，在 Terminal 窗口中，输入如下命令：  
`cd ~/VLE_5033/Diva`  
按回车键 Enter。
- ⑤ 在同一 Terminal 窗口中，接着输入如下命令：  
`layoutPlus &`  
按回车键 Enter，弹出 CIW 窗口。

## 3.2 运行 Cadence 系统

### 3.2.1 电路原理图设计工具—Schematic Editor

- ① 启动 Schematic Editor 后，在命令解释窗口 CIW 中，依次选择 File→New→Library，打开 New Library 窗口。
- ② 在 New Library 窗口中，Name 栏输入库文件名 mylib（可以自定义），右侧工艺文件（Technology File）栏中，选择最下方的 Don’t need a techfile，如图 1.7 所示。设置完成后，点击窗口左上角的 OK。
- ③ 在 CIW 中，选择 file→new→cellview，打开 Create New File 窗口，如图 1.8 所示。





Library Name      design  
Cell Name          nmos  
View Name        layout

点击 OK，打开 design 的空白窗口以及 LSW 窗口，分别如图 1.10 与 1.11 所示。

- ② 浏览 nmos 版图设计窗口，最顶部显示为：Virtuoso Layout Editing: design nmos layout，显示当前编辑的版图名称。
- ③ 顶部第二行状态栏（Status Bar）以红色显示 x 与 y 的坐标，在编辑中，常常需要位置的准确量度，坐标精度为 0.1 $\mu$ m。
- ④ 顶部第三行以红色显示菜单栏（Menu），从左到右为：Tools（工具）、Edit（编辑）、Route（布线）等。
- ⑤ 窗口左侧为常用命令的快捷方式图标栏（Icon Bar），从上到下为：检查并存档（Check and Save）、Delete（删除）、ruler（标尺）等。
- ⑥ 选择菜单栏命令或者点击快捷图标，又或按盲键都可实现对版图的编辑，lab7 将设计 nmos 管版图。
- ⑦ LSW 窗口直接关系到版图的设计，从 lab6 开始，以后的实验中将经常使用 LSW，此处从略。
- ⑧ 不存档，关闭所有窗口。

### 3.2.3 版图验证工具—Diva

- ① 启动 Diva 后，在命令解释窗口 CIW 中，选择 File→Open，设置如下：

Library Name      DIVA  
Cell Name          1inv  
View Name        layout

点击 OK，打开 1inv 的版图设计窗口，如图 1.12 所示。

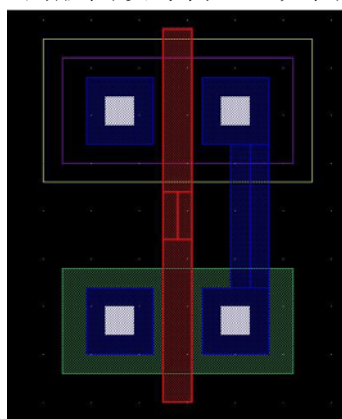


图 1.12 inverter 版图

- ② 浏览 Diva 版图验证窗口，发现与版图设计窗口完全一致，这是因为 Diva 是寄生在 Layout Editor 中的一个工具，同样，仿真工具 ADE 是寄生在 Schematic Editor 中，故而未加详细说明。
- ③ 从反相器 1inv 的版图，试画出 CMOS 非门的电路原理图。
- ④ 不存档，关闭所有窗口。

## 4 预习要求

仔细阅读实验原理，了解 CIW 窗口的功能。

## 5 实验报告

- ① 总结 Cadence 各设计模块启动调入方法。
- ② 总结 CIW 窗口功能。

## Lab 2 二与非门电路原理图设计

### 1. 实验目的

- 1.1 了解 Schematic 设计环境
- 1.2 掌握二与非门电路原理图输入方法
- 1.3 掌握逻辑符号创建方法

### 2. 实验原理

#### 2.1 Schematic 设计环境

启动 Schematic Editor 后，在命令解释窗口 CIW 中，打开任意库与单元中的 Schematic 视图，浏览 Schematic Editing 窗口如图 2.1 所示，顶部为菜单栏(Menu)，左侧为图标栏 (Icon Bar)，具体介绍如下：

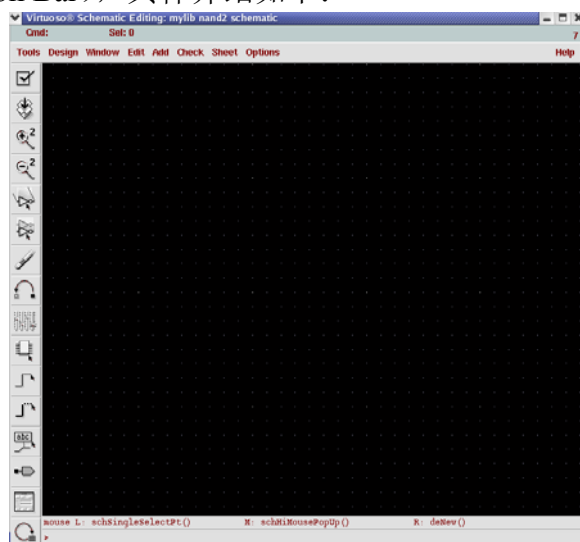


图 2.1 Schematic Editing 窗口

#### 菜单栏

菜单栏中可选菜单有 Tool、Design、Window、Edit、Add、Check、Sheet、Options 等项。其中常用菜单有：

Tool 菜单提供设计工具以及辅助命令。比如，lab4、lab5 所使用的仿真工具 ADE，就在 Tool 下拉菜单中。

Window 菜单中的各选项有调整窗口的辅助功能。比如，Zoom 选项对窗口放大 (Zoom in) 与缩小 (Zoom out)，fit 选项将窗口调整为居中，redraw 选项为刷新。

Edit 菜单实现具体的编辑功能，主要有取消操作 (Undo)、重复操作 (Redo)、拉伸 (Stretch)、拷贝 (copy)、移动 (Move)、删除 (Delete)、旋转 (Rotate)、属性 (Properties)、选择 (Select)、查找 (Search) 等子菜单，在以下实验中将大量应用。



Add 菜单用于添加编辑所需要的各种素材，比如元件（Instance）或输入输出端点（pin）等。

#### 图标栏

图标栏内的所有命令都可以在菜单栏实现，图标栏提供使用频率较高的一些菜单为快捷方式，旨在提高设计效率。从上至下的图标共有：

检查错误（Check）、存档（Save）、两倍放大（Zoom in by 2）、两倍缩小（Zoom out by 2）、图形拉伸（Stretch）、拷贝（copy）、删除（Delete）、重复操作（Redo）、属性（Properties）、添加元件（Add Instance）、细连线（Wire Narrow）、粗连线（Wire Wide）、连线命名（Wire Label）、添加输入输出端点（Add pin）、命令选择（Command Options）等。

#### 盲键

在设计过程中，除了可以使用图标快捷方式外，还有盲键（Bindkey）快捷方式。比如添加元件，可以在 Add 菜单下选择 Instance 来弹出 Add Instance 窗口，也可以点击图标 Add Instance 来弹出 Add Instance 窗口，盲键快捷方式则为直接在键盘上按“i”键即可。对比三种方式，盲键最为方便快捷。

Cadence 系统安装过程中已经设置了通用的盲键，但用户可以根据自己的需要自行设置，在 CIW 窗口中，选择 Options→Bindkeys，可以对所有设置的盲键自定义。常用盲键在 Edit 和 Add 等菜单中都有定义，点击选择 Edit，下拉菜单中的 Stretch 选项的盲键为[m]，而 Move 选项的盲键为[M]，Select 选项中的 Filter 则为[^r]。用[]来表示盲键是 Cadence 系统自带的习惯，本实验系统中予以保留。三种盲键分别表示为：

[m]：直接在键盘按键 m

[M]：表示大写的 M，同时按键 Shift 和 m

[^r]：同时按键 Ctrl 和 r

#### 鼠标

Cadence 系统支持 3D 鼠标，左、中、右分别定义为 LMB、MMB、RMB。LMB 用于点击和选择之用，MMB 用于辅助编辑，比如拷贝、粘贴、删除等，RMB 与 LMB 配合使用，在调查元件属性，局域放大，元件旋转等方面都有应用，在具体实验过程中有详细说明。

电路原理图编辑环境，除了以上的菜单、图标、盲键、鼠标之外，尚有许多需要注意的地方，只能在设计过程中具体处理。

## 2.2 元件定义

二与非门电路比较简单，读者可以自行解决。需要注意的是，在所有元件的添加中，必须定义元件的属性。比如 nmos 与 nmos4，前者表示普通的 nmos，默认为具有源、漏、栅极的三端器件；后者表示四端器件，在源、漏、栅三极之外，还有衬底作为一极，其具体偏置由具体电路决定。其次，每个元件必须有器件参数，比如 mos 管的宽长比，电阻的阻抗等。最后，为了后续设计中执行仿真，每个元件必须具有物理模型（Model），在 lab3 中将有实例说明。

## 3. 实验内容

### 3.1 电路原理图设计

#### 创建库与视图

lab1 中创建的库与视图如果仍存在，则没有必要再行创建，直接调用即可。在 CIW 中选择 File→open，在弹出窗口中选择如下：

Library Name: mylib  
Cell Name: nand2  
View Name: Schematic

点击 OK，打开 Schematic Editing 的空白窗口。以下步骤为创建库与视图的过程。

- ① 在命令解释窗口 CIW 中，依次选择 File→New→Library，打开 New Library 窗口。
- ② 在 New Library 窗口中，Name 栏输入库文件名 mylib（可以自定义），右侧工艺文件（Technology File）栏中，选择最下方的 Don't need a techfile，点击窗口左上角的 OK。
- ③ 在 CIW 中，选择 file→new→cellview，打开 Create New File 窗口。
- ④ 在 Create New File 窗口中，Library Name 选取为 mylib（与刚才定义一致），Cell Name 设置为 nand2，View Name 选取为 Schematic，Tool 栏选取为 Composer-Schematic，点击 OK，弹出 Schematic Editing 的空白窗口。

添加元件（电路如图 2.2 所示）

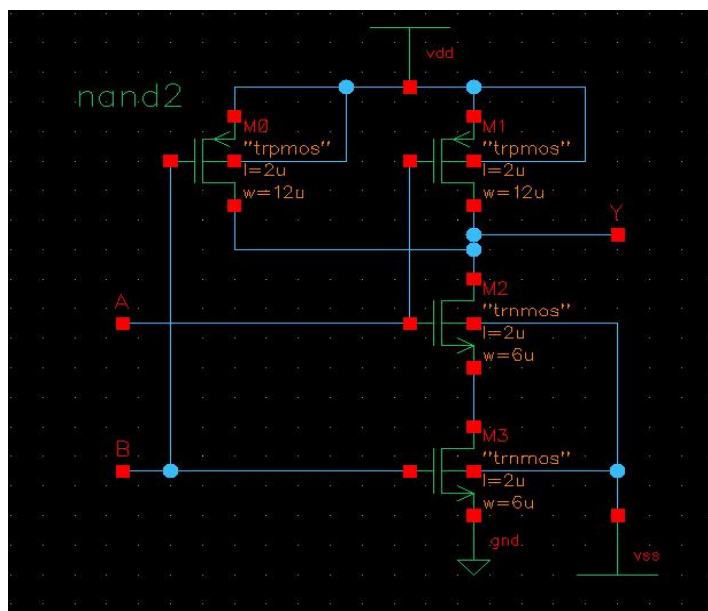


图 2.2 二与非门电路原理图

- 1 在 Schematic Editing 窗口中，选择 Add→Instance，打开 instance 窗口如图 2.3 所示，在窗口中点击右侧 Browse 按钮，弹出 Library Browser 窗口如图 2.4 所示，在 Library 栏中选择 analogLib，Cell 选择 nmos4，Cellview 选择为 symbol。



图 2.3 instance 窗口

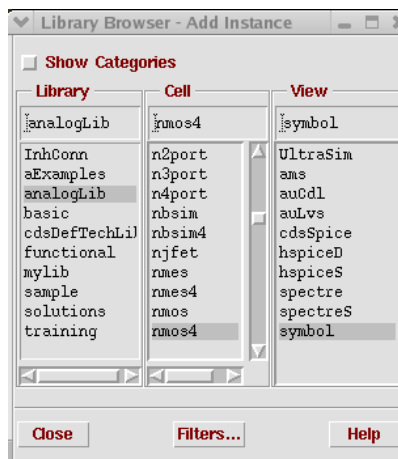


图 2.4 Library Browser 窗口

**注意：**添加元件的方法

方法一：选择 Add→instance，弹出 instance 窗口；

方法二：选择 Tool bar 图标栏中的 instance 图标，可弹出 instance 窗口；

方法三：在键盘上按键“i”也可以弹出 instance 窗口（盲键的使用）。

2 在 Instance form 中输入 nmos4 的参数如下：

model name trnmos

width 2.0u

length 0.5u

3 移动 LMB（鼠标左键）到 schematic 窗口，刚才选择的 nmos4 元件以高亮度（黄色）出现，点击 LMB 完成添加过程。

4 选择 Add→Instance，在 Library column 中选择 analogLib，再选择 pomos4，在视图选择 symbol，参数设置为：

model name: trpmos

width: 2.5u

length: 0.5u

5 添加完 4 个元件后，按 ESC 键（退出当前操作状态，此后均同）。

添加 Pins

① 在左侧 Tool bar 图标栏中选择 pin icon 图标，出现 Add form 窗口如图 2.5 所示，在 Pin names 栏中输入如下（注意 Pin names 之间有空格）：

Pin names INA INB OUT

设置 Direction 为 input

设置 Usage 为 schematic

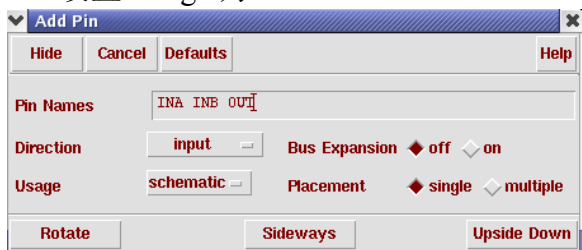


图 2.5 Add form 窗口

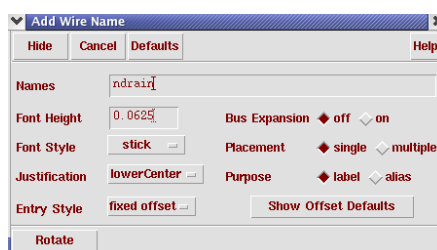


图 2.6 Add Wire Name 窗口

② 点击 Rotate（或鼠标右键 RMB），可完成逆时针旋转 90 度的操作。

③ 移动 LMB 到 Schematic 窗口，点击 LMB 可完成 Pins 的添加。

④ 依次完成 INA，INB，OUT 三个 pin 的添加。最后按 ESC 键。

添加 Sources 和 Ground

- ① 按盲键[i]，激活 Add instance form 窗口。
- ② 和选择 nmos4 方法相同，选择 Add→Instance，在 Library column 中选择 analogLib，再选择 Vdd 并添加到 schematic 中。
- ③ 同上方法，完成 gnd 的添加，按 ESC 键。

连线

- ① 点击 tool bar 栏中的 wire (narrow) 图标。
- ② 移动 LMB 到 Schematic 窗口，将需要连接的两个端点依次点击 LMB，可完成连线。
- ③ 将 poms4 的衬底与 Vdd 相连，nmos4 的衬底与 gnd 相连。衬底为栅极所对应的右侧的那条短线。

连线命名

- ① 点击 Wire Name 图标，弹出窗口如图 2.6 所示，在窗口中输入 ndrain，其它不变。
- ② 将命名移至上面一个 nmos4 的源端 (source)，点击 LMB。
- ③ stretch (拉伸) 移动过的线至合适位置并点击它，完成以上操作后，按键 Esc。
- ④ 点击 tool bar 栏中的 check and save 图标，检查电路图无误后存档。

**注意：**Virtuoso Schematic Editor 环境下，电路布线时，因为存在两条不相交的走线“过桥”问题，不相交的走线间没有节点，故而，Cadence 系统默认所有的两条走线在形成十字时，都是没有节点的过桥问题。在应当有节点的时候，只能形成丁字形式的节点，而不能形成十字形式的节点，否则，在 check and save 时提示为 Warning。注意到图 2.2 中，输出 Y pin 的连线没有直接与 pmos4 的源端相交在同一节点，而是在 M1 与 M2 连线之间形成了两个节点。

## 3.2 创建符号

### 3.2.1 生成符号

- ① 在 CIW 窗口中，依次选择 Tools→library manager→mylib→nand2，如图 2.7 所示。双击 view column 中的 schematic 选项，在 schematic 中，依次选择：design→create cellview→From cellview。



图 2.7 cellview From cellview

- ② 各项选择如下：

Library name	mylib
Cell name	nand2
From view name	schematic
To view name	symbol

Tool/Data type: Composer-symbol  
选择完成后点击 OK，弹出 Symbol Generation Options 窗口，如图 2.8 所示。

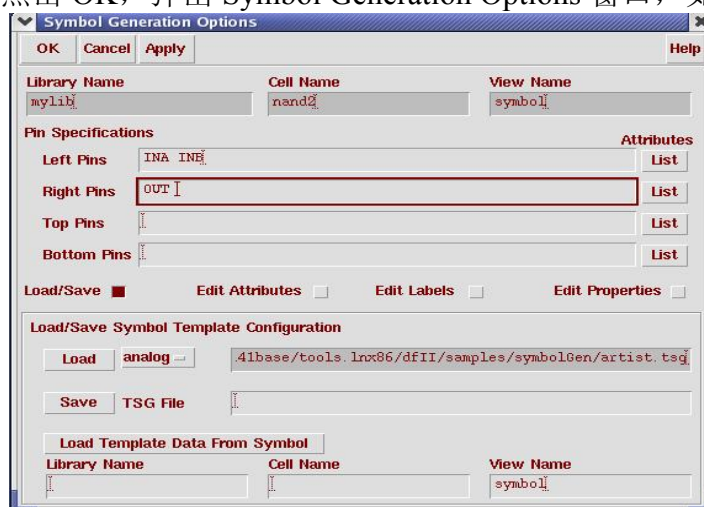


图 2.8 Symbol Generation Options

- ③ 在 Symbol Generation Options 窗口中，请确定：
- Lift pins      INA INB
- Right pins     OUT
- 点亮 Load/Save 按钮，点击 OK（在窗口顶端），自动生成 nand2 symbol，如图 2.9 所示。

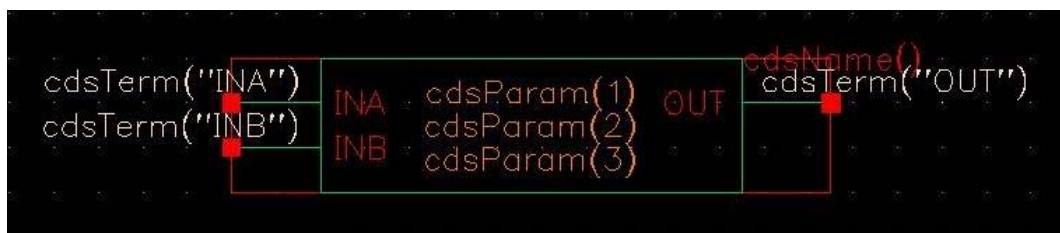


图 2.9 二与非门逻辑符号草图

### 3.2.2 编辑符号

- ① 用 LMB 选择红色的边框 box，按键“m”移动边框 box 至上一格（移动一格）。用 LMB 选择整个 pin INA，按键“m”向上移动一格（拉开 INA 与 INB 使其间隔两格）。
- ② 选定绿色长方形边框，点击 del 图标将其删除。选定，并移动至框图下方空白处。重复步骤，移动三个 cds Param。

**注意：** cds Param 与 cds Term（共六个）均可删除，不影响符号的编辑。

- ③ 在编辑窗口中，依次选择 Add→shape→arc，在窗口的空白处点击 LMB 完成添加。
- ④ 点击 LMB 确定弧线形状，将做好的弧线拖入 box，利用 F3 可以实现旋转，将弧线开口一侧移至距离 INA 与 INB2-3 格处。
- ⑤ 依次选择 Add→shape→line，以 LMB 点击弧线左上角端点，向左延长 3 格，向下做成一个直角拐角并向下延长 4 格，再向左延长 3 格与弧线左下角端点相接。
- ⑥ 选择 Add→shape→circle，将圆添加到弧线右侧的中部位置。
- ⑦ 将 pins（INA，INB，OUT）与添加的图形组合，如图 2.10 所示。
- ⑧ 选择 Design→Check and save。

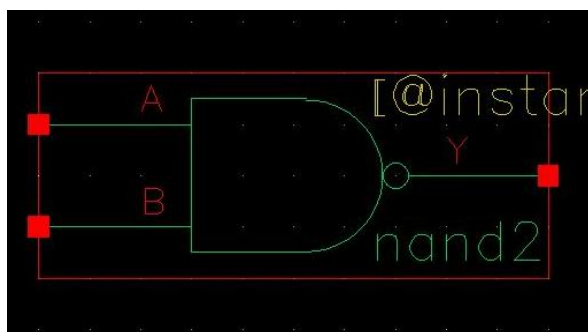


图 2.10 nand2 symbol

## 4 附加实验

4.1 设计 CMOS 反相器原理图，如图 2.11 所示。

4.2 设计 CMOS 反相器逻辑符号，如图 2.12 所示。

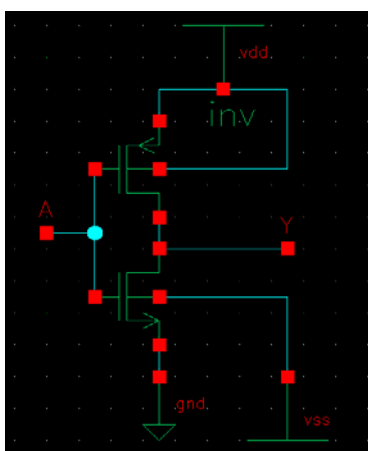


图 2.11 CMOS 反相器原理图

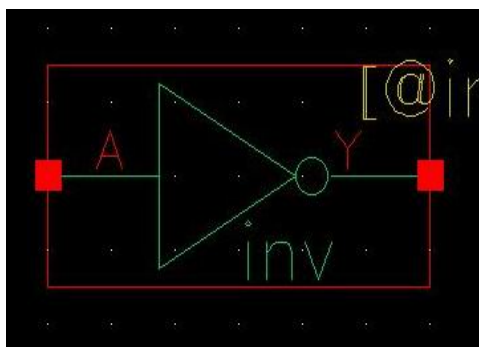


图 2.12 CMOS 反相器逻辑符号

## 5 预习要求

阅读实验原理部分，了解 Schematic 设计环境。

## 6 实验报告

- ① 列出 Schematic 设计环境中本实验所用菜单的功能。
- ② 分析并总结电路原理图设计的一般流程。

# Lab 3 数、模混合集成电路原理图设计

## 1. 实验目的

熟悉 Schematic 设计环境  
掌握差分放大器原理图设计方法  
熟悉逻辑符号创建方法

## 2. 实验内容





Direction                      input  
Usage                              schematic

- ② 移动光标到 amplifier schematic 窗口，注意输入管脚 pin 随光标的变化，此时不要移动 pin。
- ③ 在 Add pin form 窗口中，点击 Rotate，移动光标到 amplifier schematic 窗口，或者在 amplifier schematic 窗口中点击鼠标右键 RMB，可完成管脚 pin 逆时针旋转 90 度的操作。
- ④ 移动 LMB 到 Schematic 窗口，点击 LMB 可完成 iref 和 inm 的添加。
- ⑤ 在 Add pin form 窗口中，点击 Sideways，移动光标到 amplifier schematic 窗口，或者在 amplifier schematic 窗口中点击两次鼠标右键 RMB，也可将 imp 管脚旋转 180 度，点击鼠标左键 LMB，完成 imp 的添加。
- ⑥ Add pin form 窗口中，改变设置 Direction 为：output，同样方法完成添加 out 管脚。
- ⑦ 选择 Window→Fit 或者按 “f” 键，调整窗口至适当位置。

#### 连线

- ① 击 tool bar 栏中的 Wire (narrow) icon。
- ② 移动 LMB 到 Schematic 窗口中，将需要连接的端点依次点击 LMB 可完成连线，添加连线后按 Return 键确定。
- ③ 按 Esc 键，退出当前操作。按照图 3.1 仔细完成所有连线。

#### 连线命名

- ① 点击 Wire Name 图标，在弹出的窗口中输入：  
vdd! gnode  
注意 vdd! 与 gnode 之间有空格。
- ② 移动光标到 amplifier schematic 窗口，在管脚 inm 与 inp 之间两个 trpmos 的衬底连线正上方点击 LMB，接着点击这条连线，可完成命名 vdd!。
- ③ 移动光标到 amplifier schematic 窗口，在②所定义的连线下方，在两个 trnmos 的衬底连线正上方点击 LMB，接着点击这条连线，可完成命名 gnode。
- ④ 命名结束后按 ESC 键，退出操作。
- ⑤ 点击 tool bar 栏中的 check and save 图标，完成存档。

#### 创建符号

##### 生成符号

- ① 在 amplifier schematic 窗口中，依次选择：design→create cellview→From cellview，打开 Cellview From Cellview 窗口，如图 3.2 所示。

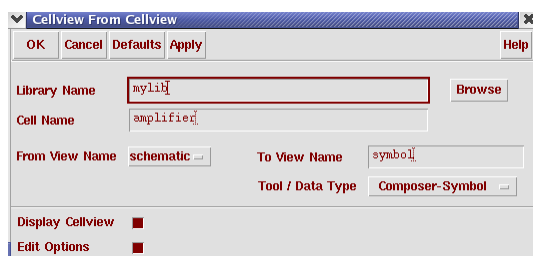


图 3.2 Cellview From Cellview 窗口

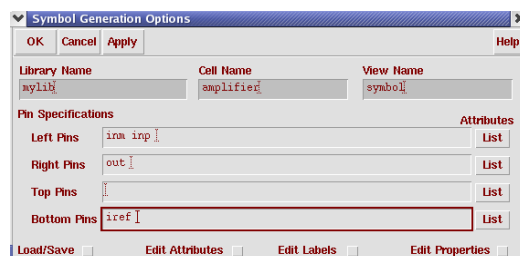


图 3.3 Symbol Generation Options 窗口

- ② 各项选择如下：

Library                      mylib  
Cell                              amplifier

From view	schematic
To view	symbol
Tool/Data type	Composer-symbol

选择完成后点击 OK, 弹出 Symbol Generation Options 窗口, 如图 3.3 所示。

③ 在 Symbol Generation Options 窗口中, 输入:

Left Pins          inp inm

Right Pins         out

Button Pins        iref

点击选项按钮 Load/Save

点击 OK, 自动生成 symbol, 如图 3.4 所示。

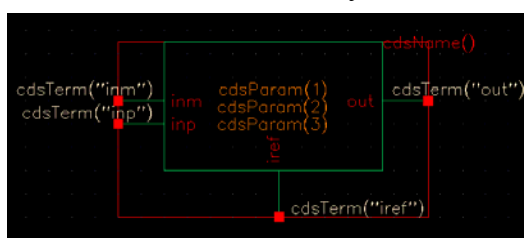


图 3.4 symbol 设计窗口

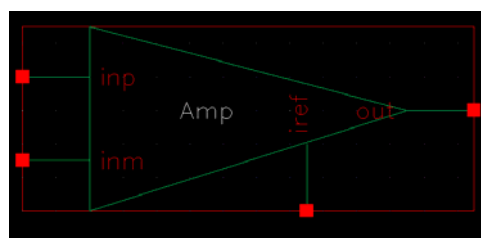


图 3.5 symbol 窗口

编辑符号

- ① 移动光标到 Symbol 中的绿色长方形边框, 使其高亮度显示, 用 LMB 点击图标 Delete 删除之。
- ② 选定 cds param 与 cds Term labels (共七个), 用 LMB 点击图标 Delete 删除之。
- ③ 选择 Add→Shape→Polygon, 画线形成等腰三角形, 如图 3.5 所示。
- ④ 用 LMB 在 inp 周围画长方形框以选定 inp, 点击 Move 图标将其向上移动一格。将 inm 向下移动一格, 将 iref 移动到接近 out 端, 并与三角形的一边相交。
- ⑤ 用 LMB 选择红色的外框, 点击图标 Delete 删除之。
- ⑥ 点击 Selection Box 图标或选择 Add→Selection Box, 打开 Add Selection Box 窗口, 点击 Automatic, 自动生成一个新的红色边框。
- ⑦ 调整各个 pins 至合适位置。
- ⑧ 选择 Add→Note→Note Text, 打开 Add Note Text 窗口, 设置参数如下:

Note Text	Amp
Font Height	0.0825
Justification	centerCenter

 给符号取名为 Amp, 并设置其位置为居中。
- ⑨ 仔细检查图形, 最终如图 3.5 所示。选择 Design→Check and save, 完成存档。

### 3. 附加实验

完成 lab4 的电源电路图编辑。

### 4. 预习要求

阅读 lab2 的实验原理部分, 熟悉 Schematic 设计环境。

### 5. 实验报告

- ① 分析符号创建的主要步骤
- ② 归纳原理图设计流程

## Lab 4 ADE 环境设置

### 1. 实验目的

熟练掌握 Schematic 编辑环境。

了解 ADE 环境设置。

学会参数设定方法。

### 2. 实验原理

模拟环境的设置

在 ADE 窗口（如图 4.1 所示）中，各菜单栏定义如下：

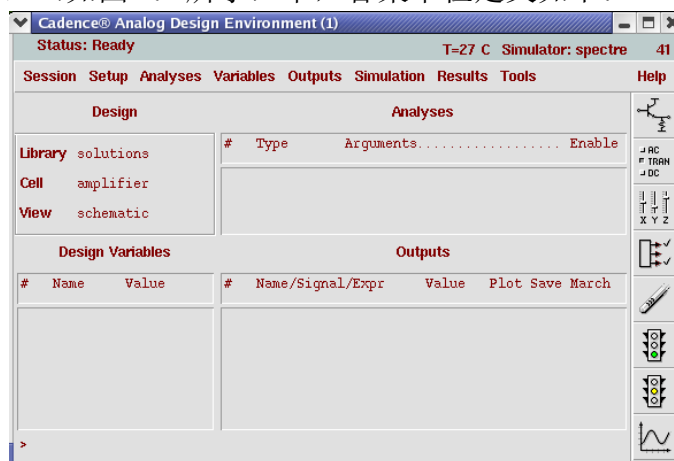


图 4.1 ADE 窗口

Session 菜单

包括 Schematic Window、Save State、Load State、Options、Reset、Quit 等菜单项。

- ① Schematic window 项用于回到电路图。
- ② Save State 项打开相应的窗口，保存当前所设定的模拟所用到的各种参数。窗口中的两项分别为状态名和选择需保存的内容。
- ③ Load State 项打开相应的窗口，加载已经保存的状态。
- ④ Reset 项重置 analog artist，相当于重新打开一个模拟窗口。

Setup 菜单

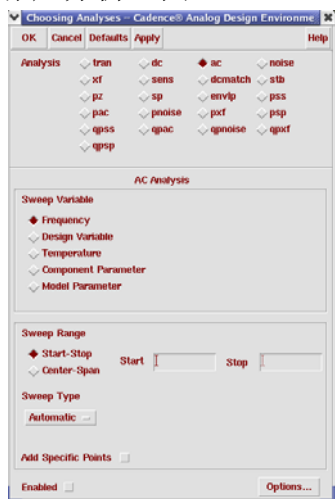
包括 Design、Simulator/directory/host、Temperature、Model Path 等菜单项。

- ① Design 项选择所要模拟的电路图。
- ② Simulator/directory/host 项选择模拟所使用的模型，系统提供的模型选项有 cdsSpice、hspiceS、spectreS 等。常用的是 cdsSpice 和 spectreS。其中采用 spectreS 进行的模拟更加精确。
- ③ Temperature 项可以设置模拟时的温度，一般选择为 27℃。
- ④ Model Path 项设置元件模型的路径，系统会自动在所设定的路径下寻找器

件 model name 所对应的 model 模型。

### Analyses 菜单

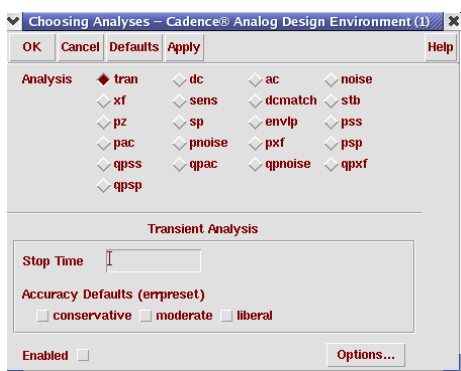
选择模拟类型窗口如图 4.2c 所示。在 cdsSpice 下有 ac、dc、tran、noise 四个选项，分别对应的是交流分析（图 4.2a）、直流分析（图 4.2d）、瞬态分析（图 4.2c）和噪声分析（图 4.2b）。



4.2a 交流分析



4.2b 噪声分析



4.2c 瞬态分析



4.2d 直流分析

图 4.2 选择模拟类型

交流分析是分析电流（电压）和频率之间的关系，因此在参数范围选择时必须选择频率。

直流分析是分析电流（电压）和电流（电压）间的关系。

Tran 分析是分析参量值随时间变化的曲线，设置时必须限定瞬态时间。

在 spectreS 中，可供选择的分析类型有很多，常用的还是 ac、dc、tran 和 noise，不过它们设置与 cdsSpice 不同。

Tran 的设置只需填入模拟停止时间即可。ac 和 dc 分析的设置则更具特点：spectreS 提供了变量扫描功能，其中可供选择的变量（parameter）有 frequency（ac 分析）、temperature、component parameter 和 model parameter。

ac 分析扫描频率（常规分析）时，只需填入起始频率和终止频率即可。而在扫描其他参数时，必须将整个电路固定在一个工作频率（At Frequency）上，然后进行其它选择。要进行 component parameter 扫描时，先点亮 component Parameter 按钮，在右侧扩展的菜单栏中点击 Select component 按钮，然后在电路图上选择所需扫描的器件，这时会弹出一个列有可供扫描参量名称的菜单，在其上选择即可。进行 model parameter 扫描时只需填入 model name 和 parameter name

即可。

#### Variables 菜单

包括 Edit 等子菜单项，可以对变量进行添加、删除、查找、复制等操作。变量（variables）既可以是电路中元器件的某一个参量，也可以是一个表达式。变量将在参量扫描（parametric analysis）时用到。

#### 其它有关的菜单项

Tools/Parametric Analysis 子菜单提供了一种很重要的分析方法——参量分析的方法，也即参量扫描。可以对温度和用户自定义的变量（variables）进行扫描，从而找出最合适的值。

Outputs/To be plotted/selected on schematic 子菜单用来在电路原理图上选取要显示的波形（点击连线选取节点电压，点击元件端点选取节点电流），这个菜单比较常用。需要输出的参数不仅仅是电流、电压，还有带宽、增益等需要计算的值，可以在 Outputs/setup 中设定其名称和表达式，在运行模拟之后，这些输出将会很直观的显示出来。

#### 模拟结果的显示以及处理

在模拟结束之后，如果设定的 output 有 plot 属性，系统会自动调出 waveform 窗口，并显示 outputs 的波形。在波形窗口中，左边的快捷按钮分别为：

Delete（删除）：删除图中的某个波形。

Move（移动）：移动某个波形的的位置，可以把几个波形叠加在一个坐标轴下；点击该按钮，然后点击需要移动的波形，再在目的地点击左键，即可完成移动操作。

Crosshair MarkerA、Crosshair MarkerB：十字标志 A 和 B。

Calculator（计算器）：可以对输出波形进行特定的数学处理。

Switch Axis Mode（坐标轴模式切换）：同一坐标显示所有波形或将波形在各自的坐标下分别显示。

Add Subwindow：添加子窗口。

### 3. 实验内容

#### 设计仿真平台 ampTest

##### 创建电源视图

在 CIW 窗口中，选择 File→New→Cellview，打开 Create New File 窗口，Library Name 选取为 mylib，Cell Name 设置为 supply，View Name 选取为 Schematic，Tool 栏选取为 Composer-Schematic，点击 OK，弹出 Schematic Editing 的空白窗口。

创建电源电路图（电路如图 4.3 所示）

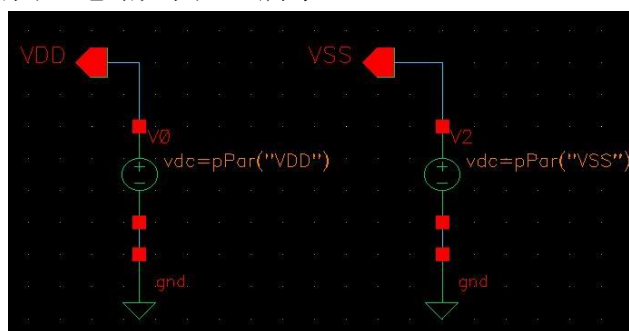


图 4.3 电源电路图

- ① 在 Schematic Editing 窗口中, 选择 Add→Instance, 打开 instance 添加窗口, 在 Library column 栏中选择 analogLib, 设置 Cellview 为 symbol, 具体选择如下表 4.1 所示:

表 4.1 电源电路元件参数设置

Library Name	Cell Name	PROPERTIES/COMMENTS
analogLib	vdc	For V0: DC voltage=pPar("VDD")
analogLib	vdc	For V2: DC voltage=pPar("VSS")
analogLib	gnd	

- ② 添加 pins: 在左侧 Tool bar 图标栏中选择 pin icon 图标, 出现 Add form 窗口, 添加 output pins: VDD 和 VSS。
- ③ 连线: 点击 tool bar 栏中的 wire (narrow) icon, 连接 pins 与 gnd, 形成电路如图 4.3 所示。
- ④ 点击 tool bar 栏中的 check and save 图标, 完成存档。

创建电源符号

- ① 在 supply schematic 窗口中, 选择 Design→Create Cellview→From Cellview, 在 Cellview From Cellview 窗口下点击 OK, 弹出 Symbol Generation Options 窗口。
- ② 在 Symbol Generation Options 窗口中, 将 Pin Specification 栏, 仅仅改变如下:  
Top Pins      VDD      VSS  
之后点击 OK, 弹出 symbol 窗口, 如图 4.4 所示。
- ③ 使用 Delete 和 Move 图标, 改变图 4.4, 如图 4.5 所示。
- ④ 完成编辑后存档。

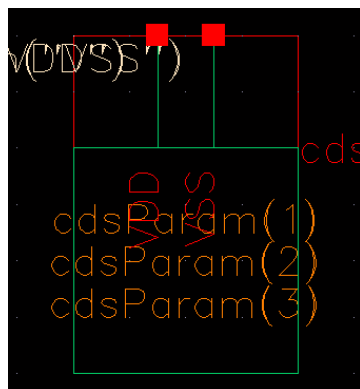


图 4.4 电源符号草图

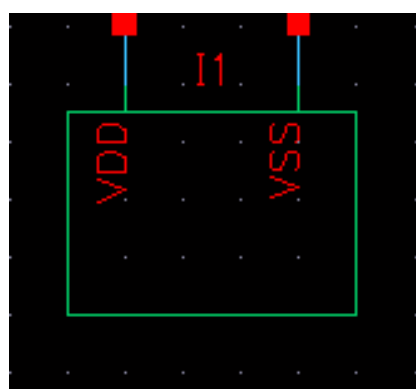


图 4.5 电源符号视图

设计 ampTest 电路图 (电路如图 4.6 所示)

- ① 在 CIW 窗口中, 选择 File→New→Cellview, 打开 Create New File 窗口, 设置 Library Name 为 malib, Cell Name 为 supply, View Name 为 Schematic, Tool 栏为 Composer-Schematic, 点击 OK, 弹出 Schematic Editing 窗口。
- ② 添加元件: 在 Schematic editing 窗口中, 按照下表 4.2 添加元件。
- ③ 添加 pins: 在左侧 Tool bar 图标栏中选择 pin icon 图标, 出现 Add form 窗口, 设置 output pins 为 out。
- ④ 连线: 点击 tool bar 栏中的 wire (narrow) icon, 连接 pins、gnd 以及各个元件, 实现电路如图 4.6 所示。
- ⑤ 连线命名: 点击 Wire Name 图标, 在弹出的窗口中设置 node 为 vin。命名

管脚 inp 与信号源 vsin 间的连线为 vin。

- ⑥ 存档：选择 Design→Check and save。

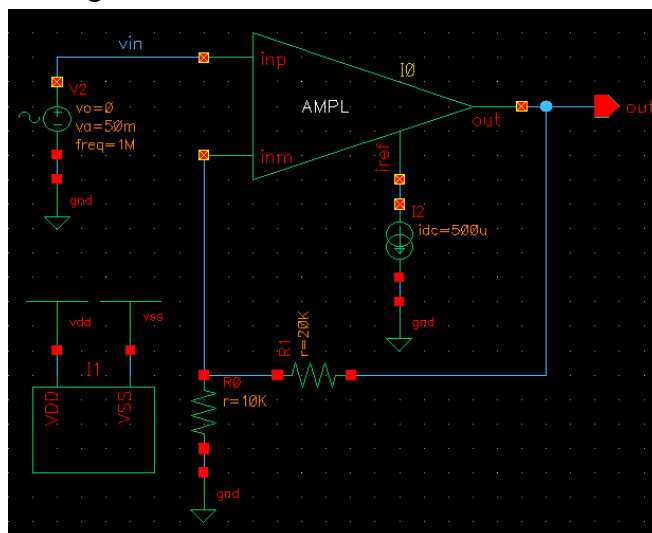


图 4.6 ampTest 电路图

表 4.2 ampTest 电路元件参数设置

Library Name	Cell Name	PROPERTIES/COMMENTS
mylib	amplifier	
mylib	Supply	VDD=5,VSS=-5
analogLib	vsin	For V2: AC Magnitude=1, Amplitude=50m, Frequency=1M, Offset voltage=0
analogLib	idc	For 14: DC current=500u
analogLib	res	For R1: Resistance=20K
analogLib	res	For R0: Resistance=10K
analogLib	Vdd, vss	

### Simulation 运行环境设置

启动 ADE

- ① 在 CIW 中，使用 Library Manager，打开 ampTest 的 Schematic Editing 窗口，选择 Tool→Analog Environment，弹出 Analog Design Environment (ADE) 窗口。
- ② 在 ADE 窗口中，选择 Setup→Simulation/Director/Host，打开 Choosing Simulator 窗口，设置 Simulator 为 spectre，点击 OK。

设置仿真模型

- ① 在 ADE 窗口中，选择 Setup→Model Libraries，弹出 Model Libraries Setup 窗口。
- ② 在 Model Libraries Setup 窗口中，点击右下角的 Browse 按钮，弹出 Unix Browser 窗口如图 4.7 所示，选择列表中的 Models/ library，点击 open 按钮，再选择 myModels.scs 文件，myModels.scs 出现在 File 栏目中，然后点击 Apply，最后点击 OK。
- ③ 在 Model Libraries Setup 窗口中，仔细检查下方显示路径为：

home/user/adelab5/Models/myModels.scs

**注意：**若在 Models 列表中无法通过点击 open 来找到 myModels.scs 文件，可在



路径...adelabic5/后直接输入 Models/myModels.scs 文件名。

- ④ 在 Model Libraries Setup 窗口中, 点击左下角的 Add 按钮, 添加 myModels.scs 文件, 窗口如图 4.8 所示, 最后点击左上角 OK。

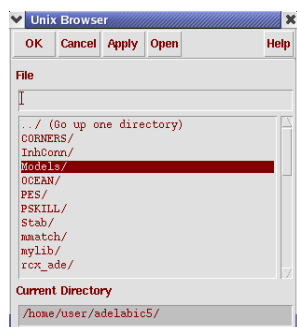


图 4.7 Unix Browser 窗口

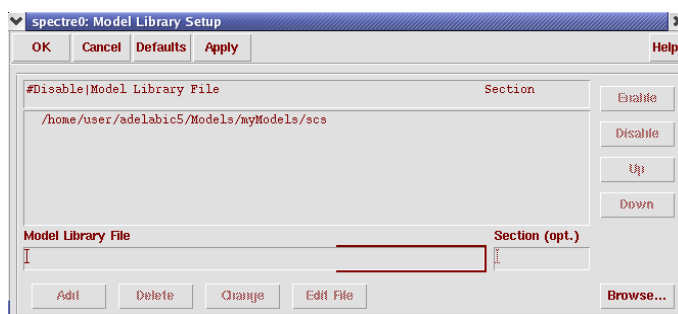


图 4.8 Model Libraries Setup 窗口

## 4. 附加实验

完成 lab5 的提取网表部分

## 5. 预习要求

阅读实验原理部分, 了解 ADE 环境

## 6. 实验报告

- ① 列出 ADE 环境下菜单功能
- ② 分析差分放大器仿真平台的构成

# Lab 5 差分放大器电路仿真

## 1. 实验目的

熟悉 ADE 环境设置。  
掌握层次化设计方法。  
了解仿真结果分析方法。

## 2. 实验原理

关于仿真部分的实验原理, 在 lab4 中已有详述。

层次化 (Hierarchy) 设计: 在较为复杂的电路中, 因为电路元件个数相对庞大, 所有电路单元不可能都以元件的形式出现在电路里。为了简化电路形式, 可采用特定的电路符号, 每个符号代表一个电路单元, 甚至在电路符号中再镶嵌符号, 由此形成多层电路结构。层次化设计简化了电路结构, 便于电路设计与仿真, lab4 所设计的 ampTest 测试平台就包含有 Lab3 所设计的放大电路 Amplifier。在 lab11 以后的版图设计中, 层次化设计成为必然。层次化设计的特点:

- ① 大量元件可以用一个符号代表
- ② 符号可以代表元件、单元电路模块
- ③ 同一符号可以出现在不同层次

- ④ 设计中不再需要特定的结构形式
- ⑤ 方便了不同层次间的设计  
层次化方法（也可使用盲键）
- ① 选择要进入下层（或返回上层）的符号
- ② 进入下层：选择 Design→Hierarchy→Descend Edit [E]
- ③ 返回上层：选择 Design→Hierarchy→Return [^e]
- ④ 返回顶层：选择 Design→Hierarchy→Return To Top

### 3. 实验内容

#### 运行仿真

##### 设置 Analyses

- ① 在 CIW 窗口中,打开 ampTest 的 Schematic Editing 窗口,选择 Tool→Analog Environment, 弹出 ADE 窗口。
- ② 在 ADE 窗口中, 选择 Analyses→Choose, 打开 Choosing Analyses 窗口。
- ③ 设置 Analyses 栏目中的 ac:
  - a. 在 Analysis 里, 选择 ac
  - b. 设置 Sweep Variable 为 Frequency
  - c. 设置 Sweep Rangs 为 Start—Stop, Start 赋值为 100, Stop 赋值为 150M
  - d. 设置 Sweep Type 为 Logarithmic, 选择 Points Per Decade 为 20
  - e. 选择 Enabled
  - f. 点击 Apply
- ④ 设置 Analyses 栏目中的 tran:
  - a. 在 Analysis 里, 选择 tran
  - b. 设置 Stop Time 为 3u
  - c. 设置 Accuracy Defaults (errpreset)为 Moderate
  - d. 选择 Enabled
  - e. 点击 Apply
- ⑤ 设置 Analyses 栏目中的 dc:
  - a. 在 Analysis 里, 选择 dc
  - b. 在 DC Analysis 里, 选择 Save DC Operating Point
  - c. 选择 Enabled
  - d. 点击 Apply
  - e. 点击 OK

##### 设置 Design Variables

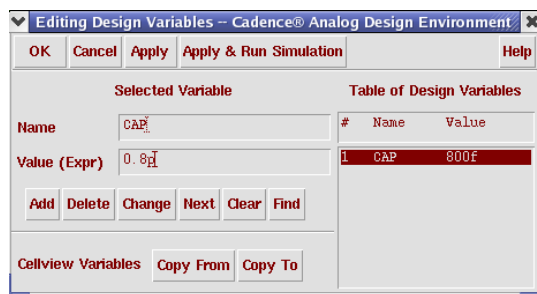


图 5.1 Edit Design Variables 窗口

- ① 在 Simulation 窗口（也即 ADE 窗口）中, 点击 Edit Variables 图标, 弹出 Edit Design Variables 窗口如图 5.1 所示。

② 点击 Edit Design Variables 窗口中的 Copy From 按钮，列出包括 CAP 在内的所有变量。

③ 发现变量 CAP:

- 在 Editing Design Variables 窗口中，点亮 CAP，再点击 Find，发现对应 ampTest schematic 窗口中，包含电容元件的 amplifier 显亮。
- 在 ampTest schematic 窗口中，选择 Design→Hierarchy→Descend Edit[E]，弹出 Descend form 窗口。
- 在 Descend form 窗口中，设置 View Name 为 schematic，点击 OK，弹出 amplifier schematic 窗口，说明编辑环境进入 ampTest 电路下一层的 amplifier 中。
- 在 Design Variables 窗口中，再次点击 Find，注意到 amplifier schematic 中的 capacitor 被显亮，说明变量 CAP 设置成功。
- 在 amplifier schematic 窗口中，选择 Design→Hierarchy→Return[^e]，回到上层的 ampTest schematic 窗口。

④ 设置变量 CAP:

- 在 Design Variables 窗口中，Name 栏为 CAP，给 CAP 赋值为 Value(Expr): 0.8p，点击 change，注意 Design Variables 窗口的变化。
- 在 Design Variables 窗口中，点击窗口下方的 Copy To 按钮，将 CAP 的值赋予 schematic。
- 在 Editing Design Variables 窗口中，点击 OK。
- 在 ampTest Design 窗口中，点击 tool bar 栏中的 check and save 图标，完成存档。

保存仿真数据

- 在 Simulation 窗口中，选择 Output→Save All，弹出 Save Options 窗口。
- 在 Save Options 窗口中，确定 Select signals to output(save)栏选择为 allpub，点击 OK。
- 在 Simulation 窗口中，选择 Outputs→To Be Saved→Select On Schematic，在 ampTest schematic 窗口中，点击连接 inm 与 out 之间 20K 电阻的两侧，出现两个椭圆，表示选择成功，之后按 Esc 键。
- 在 Simulation 窗口中，选择 Outputs→To Be Plotted→Select On Schematic，在 ampTest schematic 窗口中，点击 vin 与 out，之后按 Esc 键。
- 仔细检查 Simulation 窗口内容，尤其 Outputs 栏应与图 5.2 完全一致。

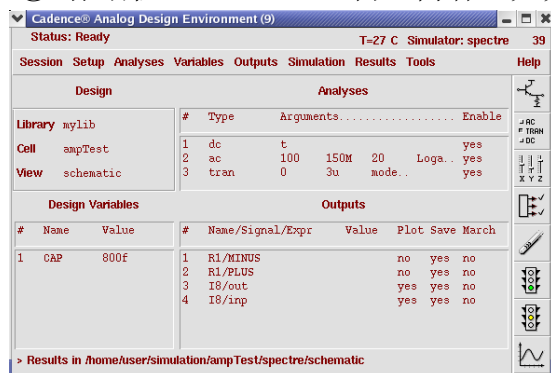


图 5.2 Simulation 窗口

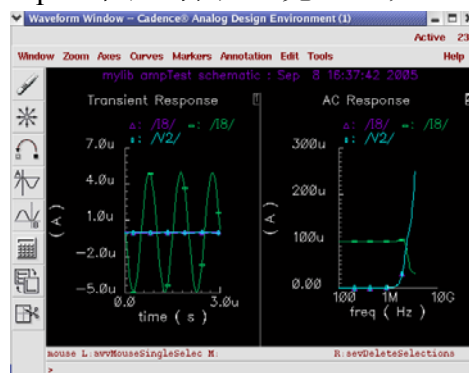


图 5.3 仿真曲线

提取网表

- 在 Simulation 窗口中，选择 Simulation→Netlist→Create，若以上步骤的仿

真参数设置合适,生成网表文件。在 CIW 中也显示成功;否则,更正 3.1.4 以前步骤,直到网表提取成功。

- ② 网表提取成功后,在 Netlist 窗口中,可以查看所有元件的参数,选择 File→Close Window,关闭此窗口。

运行仿真

- ① 在 Simulation 窗口中,选择 Simulation→Run 来运行仿真,或在 Simulation 窗口下,点击 Run 图标;或者直接点击 Netlist and Run 图标,在提取网表的同时运行仿真。
- ② 在运行仿真的输出窗口中,可以看到详尽的仿真数据,点击 File→Close Window,关闭此窗口。
- ③ 仿真结束后,自动生成 Transient 和 ac 的仿真曲线,如图 5.3 所示。
- ④ 在 Simulation 窗口中,选择 Session→Save State,弹出 Saving State 窗口,设置 Save As 为 statel,确保 What to Save 栏下的所有选项按钮均点亮。点击 OK,完成仿真结果的存档。

### Stimulus 模板

读取仿真结果

- ① 若仿真结果窗口已关闭,可在 Simulation 窗口中,选择 Session→Load State,在弹出的 Loading State 窗口中,设置 State Name 为 statel,设置 What to Load 栏中 Waveform Setup 为 Disable,点击 OK。
- ② 在 ampTest schematic 窗口中,选择 Design→Probe→Remove All,用以取消以上步骤中对 pins 的操作。
- ③ 确认 ampTest schematic 设计窗口,Simulation 窗口以及 Waveform 窗口都已打开。

采用 Stimulus Template

- ① 改变 ampTest schematic 的原理图 5.4 中电源部分如图 5.5 所示。

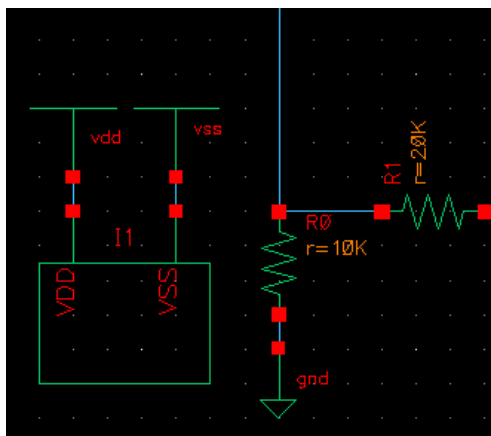


图 5.4 ampTest 原理图(部分)

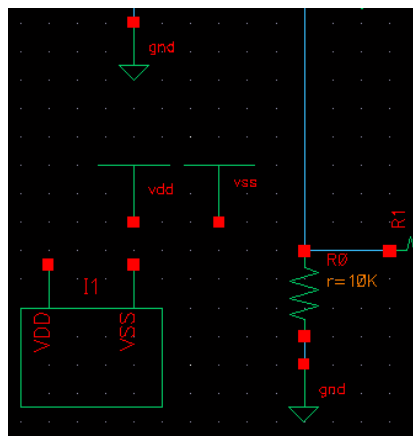


图 5.5 改变后的 ampTest 原理图

- a 在 ampTest schematic 中,删除 vsin 和 inp 之间、vdd 和 vss 与电源 supply 之间的连线。
- b 点击图标栏中 Pin 图标,给 inp 添加一个名称为 vin 的 input pin。
- c 添加一条连线,连接新的 pin 和 inp。
- d 点击 Check and Save,保存修改。
- e 暂时忽略因为电源 supply 与信号源 vsin 断开的警告,在 Schematic Check box 中点击 Close。

② 创建 Stimulus 文件

a 在 Simulation 窗口中，选择 Setup→Stimuli，弹出 Setup Analog Stimuli 窗口。

b 在 Setup Analog Stimuli 窗口中，设置如下：

Stimulus Type	Inputs
Enabled	点亮
Function	sin
Type	Voltage
AC Magnitude	1
Offset Voltage	0
Amplitude	50m
Frequency	1M
Source type	sine

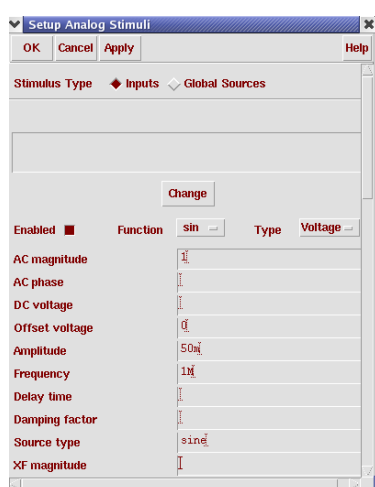


图 5.6 Stimuli 参数设置窗口

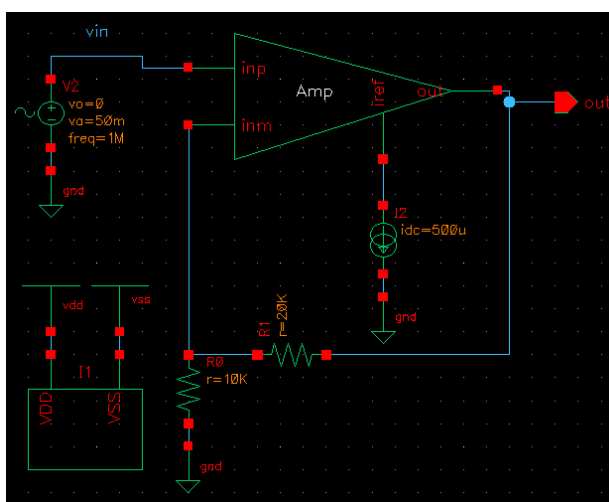


图 5.7 ampTest 原理图

c 与图 5.6 仔细对比后，点击窗口中的 Change 按钮。在 Setup Analog Stimuli 窗口中，改变设置 Stimulus 为 Global Sources，其它设置如下：

input	vss
Function	dc
DC voltage	-5
AC Magnitude	空白
AC phase	空白

点击 Change 按钮。

d 在 Setup Analog Stimuli 窗口中，改变设置 Stimulus 为 Global Sources，其它设置如下：

input	vdd
Function	dc
DC voltage	5
AC Magnitude	空白
AC phase	空白

点击 Change 按钮。

e 点击 Setup Analog Stimuli 窗口中的 OK，完成 Stimulus 设置。

③ 在 Simulation 窗口中，选择 Simulation→Netlist→Recreate，因为电路的参

数已经改变，所以必须重新提取网表，否则，导致仿真结果错误。

- ④ 在 Netlist 窗口中，选择 File→Close Window，关闭窗口。
- ⑤ 在 Simulation 窗口中，选择 Simulation→Run 运行 simulation，或者点击 Run 图标，在弹出的 Waveform 窗口可以看到仿真运行结果。

**注意：**步骤③的结果应当与步骤 3.1.5 中采用 supply 和 vsin 的结果完全一致，否则，表明 Stimulus 设置有误，应当重新设置 Stimulus，再提取网表并运行仿真，直至结果一致。

- ⑥ 在 output 窗口中，点击 File→Close Window，关闭窗口。

恢复设置

在对比 3.1 与 3.2 的结果以后，恢复 3.1 所有设置，以下步骤即逆向设置 3.2，并且恢复电路如图 5.7 所示。

- ① 在 Simulation 窗口中，选择 Setup→Stimuli，在弹出的 Setup Analog Stimuli 窗口中，设置 Stimulus Type 为 Inputs，点亮 entry 为 vin，关闭 Enabled，点击 Apply，entry 改变为 OFF。
- ② 在 Setup Analog Stimuli 窗口中，设置 Stimulus Type 为 Global Sources，点亮 entry 为 vss! supply，关闭 Enabled，点击 Apply，entry 改变为 OFF。
- ③ 在 Setup Analog Stimuli 窗口中，点亮 entry 为 vdd! entry 并关闭之，点击 OK。
- ④ 删除 input pin、vin，连接 supply、vsin 和 inp，命名 vin，恢复电路如图 5.7 所示。
- ⑤ 以后的仿真都是基于此修改后的电路，所以，仔细检查电路应恢复为 5.7 所示，并且电路中不应再有 Warnings 或 errors，点击 Check and Save，保存修改。
- ⑥ 在 ampTest schematic 窗口中，选择 Design→Probe→Remove All，用于用以取消以上步骤中对 pins 的操作。
- ⑦ 在 Simulation 窗口中，选择 Simulation→Netlist→Recreate，网表提取成功后，在 Netlist 窗口中，选择 File→Close Window。
- ⑧ 在 Simulation 窗口中，选择 Simulation→Run，生成的 Waveform 应如图 5.3 所示，若有问题，则表明以上恢复设置未完成，重复步骤①→⑦，直至两种输出波形完全一致。
- ⑨ 选择 File→Close Window，关闭 output 窗口。

#### 4. 附加实验：瞬态分析

- ① 在 CIW 窗口中，选择 Tools→Library Manager，在 Library Manager 窗口中，选择 mylib 并打开 ampTest schematic，在 ampTest schematic 窗口中，选择 Tools→Analog Environment 来运行 simulation。
- ② 在 simulation 窗口中，选择 Session→Load State，在 Loading State 栏，读取存档 State1，点击 OK，simulation 窗口如图 5.2 所示。
- ③ 点亮 simulation 窗口右侧 Analyses 栏中的 ac 部分，选择 Analyses→Disable，注意图中 ac 行的最末端显示由 yes 改变为 no，选择 Simulation →Netlist and Run 来提取网表和运行仿真。

**注意：**若无法通过选择 Analyses→Disable 来完成修改，则选择 Analyses→Choose，在 Choosing Analyses 窗口中，点亮 Analysing 栏中的 ac 按钮，关闭 ac 选项窗口左下角的 Enable 按钮，点击 OK 即可完成修改。

- ④ 在 simulation 窗口中, 选择 Analyses→Choose, 弹出的 Choosing Analyses 窗口设置为 tran, 点击右下方的 Options 按钮, 打开 Transient Options 窗口, 如图 5.8 所示。

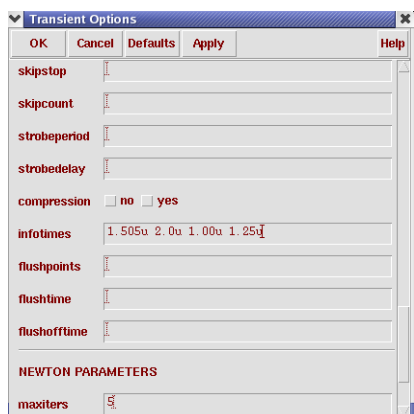


图 5.8 Transient Options 窗口

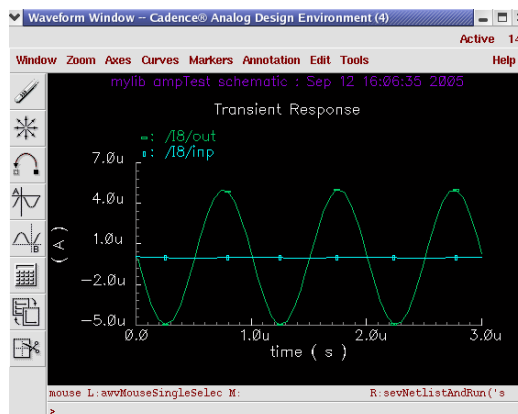


图 5.9 瞬态仿真曲线

- ⑤ 在 Transient Options 窗口中, 在 infotimes 栏输入如下:  
1.505u 2.0u 1.00u 1.25u  
**注意:** 各赋值之间采用空格分隔, 不能用其它任何标点符号。
- ⑥ 点击 Transient Options 窗口顶部的 OK, 再点击 Choosing Analyses 窗口中的 OK, 完成设置。
- ⑦ 在 simulation 窗口中, 选择 Simulation→Netlist→Recreate 提取网表, 选择 Simulation→Run 运行仿真, 结果如图 5.9 所示。
- ⑧ 在 ampTest schematic 窗口中, 选择 Design→Hierarchy→Descend Edit, 点亮 amplifier 的符号, 设置 View Name 为 schematic, 点击 OK, 进入 ampTest 电路下一层的 amplifier 中。
- ⑨ 在 simulation 窗口中, 选择 Results→Print→Transient Operating Points, 弹出 Result Display Window 窗口。
- ⑩ 移动光标到改变 ampTest schematic 窗口中, 选择 pmos 管 M1、M3, 按 Esc 键。在 Result Display Window 窗口中, Ids 和 gm 分别代表 M1 和 M3, 证实在不同的 infotimes 下, Ids 和 gm 保持常数。

## 5. 预习要求

阅读 lab4 的实验原理部分, 掌握 Analyses 菜单的设置方法。  
阅读实验原理部分, 了解层次化设计方法。

## 6. 实验报告

- ① 分析 ADE 环境设置过程
- ② 定性分析仿真曲线
- ③ 体会层次化设计的优点



## Lab 6 Layout Editor 环境设置

### 1. 实验目的

熟悉 Layout 设计环境  
学会盲键设置方法  
学会 LSW 的使用  
掌握 Layout 设计的基本操作

### 2. 实验原理

#### 2.1 版图编辑命令

版图视窗由三部分组成：菜单栏（menu banner），状态栏（status banner），图标菜单（Icon menu）。

**Icon menu:** 缺省时位于版图窗口的左边，列出了一些最常用命令的图标，要查看图标所代表的指令，只需要将鼠标滑动到想要查看的图标上，图标下方即会显示出相应的指令。

**status banner:** 位于 menu banner 的上方，显示光标位置、当前位置与上一点的相对位移、选择情况、当前编辑指令等状态信息。

**menu banner:** 包含了编辑版图所需要的各项指令，并按相应的类别分组。几个常用的指令及相应的盲键列举如下：

表 6.1 菜单栏命令

Zoom In ----- 放大 (z)	Zoom out by 2 ----- 缩小 2 倍(Z)
Save ----- 保存编辑(f2)	Delete ----- 删除编辑(Del)
Undo ----- 取消编辑(u)	Redo ----- 恢复编辑 (U)
Move ----- 移动(m)	Stretch ----- 伸缩(s)
Rectangle ----- 编辑矩形图形(r)	Polygon ----- 编辑多边形图形(P)
Path ----- 编辑布线路径(p)	Copy ----- 复制编辑 (c)

#### 2.2 LSW 窗口

LSW (Layer and Selection Window) 窗口，用于选择所编辑图形所在的层次，以及选择版层可视化。

在 CMOS 电路的版图中，常用版图层次具体定义如表 6.2 所示。

表 6.2 版层介绍

层次名称	说明
Nwell	N 阱
Active	有源区
Pselect	P 型注入掩膜
Nselect	N 型注入掩膜
Contact	引线孔，连接金属与多晶硅/有源区

Metal1	第一层金属，用于水平布线，如电源和地
Via	通孔，连接 metal1 和 metal2
Metal2	第二层金属，用于垂直布线，如信号源的 I/O 口
Text	标签
Poly	多晶硅，做 mos 的栅

### 3. 实验内容

#### 盲键设置

- ① 在任意终端窗口 `xterm` 中，输入指令如下：

```
vi ~/VLE_5033/.cdsinit
```

按键 `Return`，在下拉窗口中使用“`j`”键或向下的方向键移动光标，在如下所示的行位置停止：

```
;load(prependInstallPath("samples/local/schBindkeys.il"))
;load("Bindkeys.il")
```

- ② 光标在第一行位置的分号前停止时，使用“`x`”键删除 `load` 前的分号“`;`”，再次下移光标，同样方法将第二行的分号删除。
- ③ 继续向下移动光标，找到与前两行相同的行（可能没有），删除行前的分号。在任意位置输入如下：

```
:wq
```

按键 `Return` 存档并退出。

- ④ 在 `CIW` 窗口中输入如下：

```
load(".cdsinit")
```

按键 `Return` 载入 `.cdsinit` 文件，盲键设置成功。

#### LSW 窗口

设置当前绘制的版图

- ⑤ 在 `CIW` 中选择 `File`→`open`，参数设置如下，完成后点击 `OK`。

Library Name: design

Cell Name: fiduciald

View Name: layout

- ⑥ 选择 `Create`→`Path` 或盲键[`p`]，在 `LSW` 窗口中，找到正在绘制的某层（某区域），当前层默认为 `pwell dg`。
- ⑦ 在 `LSW` 窗口中，用 `LMB` 点击 `poly dg` 层，在窗口顶部显示当前编辑层已经改变为 `poly dg` 层。
- ⑧ 在版图设计窗口中，点击 `x=6.3`，`y=12.7` 的这一点，再点击 `x=6.3`、`y=8.5` 的另一点，实现两点之间的 `poly` 连接，按“`Enter`”键，再按 `Esc` 键退出。

使用 Layer Tap Command

- ① 在 `LSW` 中选择 `Edit`→`Tap` 或盲键[`t`]，在版图编辑窗口中，点击任一品红色的 `pads`。
- ② 再点击此 `pads`，改变当前编辑层为 `metal2`。
- ③ 选择 `Create`→`Path` 或盲键[`p`]，在版图设计窗口中，点击 `x=11.2`，`y=3.5` 的这一点，再点击 `x=15`，`y=3.5` 的另一点，实现两点之间的 `metal2` 连接，按“`Enter`”键。

- ④ 在 Create Path 窗口中，选择 Cancel。

#### 版图可视化

- ① 在 LSW 窗口中，使用 MMB 点击 matal1 dg 层（如果当前编辑层正好为 matal1 dg，可任意选择另一层，如 poly dg 层，因为当前编辑层已经可视，故而不能实现不可视），选中的 matal1 dg 层颜色变为灰色。
- ② 在版图设计窗口中，选择 Window→Redraw，matal1 dg 层不可视。
- ③ 在 LSW 中，使用 LMB 点击 NV，除了当前编辑层之外，其它层均不可视且颜色为灰色。
- ④ 在版图设计窗口中，选择 Window→Redraw，只有当前编辑层可视。
- ⑤ 在 LSW 中，使用 LMB 点击 AV，在版图设计窗口中，选择 Window→Redraw，所有层均可视。
- ⑥ 在 LSW 中，使用 MMB 点击 ndiff dg 层，设置当前层为 ndiff dg 层，在版图设计窗口中，选择 Window→Redraw，可以对 ndiff dg 层进行编辑。
- ⑦ 在 LSW 中，点击 AV，在版图设计窗口中，选择 Window→Redraw，使得每层均可视，最后选择 Design→Save 存档。
- ⑧ LSW 中可视化参数定义：  
 AV=All View=All Visible，所有层均可视  
 NV=No View=None Visible，除去已选择层外，其它层均不可视  
 AS=All select=All selectable，所有层全选  
 NS=No select=None selectable，所有层均不选

#### 编辑显示文件

#### 编辑 Packet

- ① LSW 中选择 Edit→Display Resource Editor，打开 Display Resource Editor 窗口如图 6.1 所示。



图 6.1 Display Resource Editor 窗口

- ② 在 Display Resource Editor 窗口中，Layers 选项选择 contact drawing layer，Fill Style 选项选择 X fill（注意颜色框的变化），之后点击窗口上方的 Apply 按钮完成设置。
- ③ 在 fiduciald 窗口中，可以对 contact dg layer 进行编辑。
- ④ 在 Display Resource Editor 窗口中，选择 File→Save，弹出 Save 窗口，在 Files 选项区选择 display.drf，然后点击 OK。
- ⑤ 在弹出的 DRE Save\_popup 对话框中，点击 Yes，选择 File→Exit，并关闭 fiduciald 窗口。

### 编辑 display.drf 文件

- ① 在 xterm（任意的终端窗口）中，输入如下命令：  
vi ~/VLE\_5033/display.drf  
按 Return 键。
- ② 在同一 xterm 中，接着输入：  
/drDefinePacket  
之后再按 Return 键，用以找到 packet 的定义。
- ③ 在 xterm 中，再输入：  
/border  
按 Return 键，用以找到 border packet。
- ④ 在 border 所在行位置按“shift y”键，用以拷贝 border packet。
- ⑤ 按“p”键完成粘贴。注意：有两行完全相同的 border packet。
- ⑥ 移动鼠标到 border 处，按“x”键删除 packet。
- ⑦ 按“i”键插入新的 packet 名，在 xterm 中输入：  
mypacket  
按 Return 键，再按“Esc”键，退出编辑状态。
- ⑧ 在 xterm 中输入：  
:wq  
按 Return 键，完成存档，实现了在 display.drf 中添加一个新的 packet。

### 改变 Packet 属性

- ① CIW 窗口中，选择 Tool→Display Resource Manager，在弹出的 Display Resource Tool 窗口中，选择 Edit，在 Display Resource 中选择 File→Load。
- ② 在 Load 窗口中，Files 选项区点击 display.drf，最后点击 OK，完成 display.drf 的载入。
- ③ 在 Display Resource Editor 窗口中，改变 Application 为 DRE，在 Packet 区找到 mypacket 并点击之。注意高亮显示的 mypacket 颜色为粉黄色。
- ④ 选择一个新的 Fill Color，Outline Color，Stipple 和 Line Style，完成后点击窗口底部的 Apply 按钮。
- ⑤ 选择 File→Save 存档。
- ⑥ 在 Files 选项区选择 display.drf，点击 OK。
- ⑦ 在 DRE Save\_popup 对话框中，点击 Yes。
- ⑧ 在 Display Resource Editor 窗口中，选择 File→Exit，关闭窗口。

### 编辑 Layer Purpose Pair (LPP)

#### 添加 LPP

- ① 在 CIW 窗口中，选择 Tools→Technology File Manager，在工艺文件工具栏中选择 Edit Layers，弹出 Layer Purpose Pair Editor 窗口，确保 Technology Library 设置为 design。
- ② 在 Filter 选项区，点击 Both。
- ③ 在 Layer Purpose Pairs 选项区，选择 Add，弹出 Add Layer Purpose Pair 窗口，如图 6.2 所示。

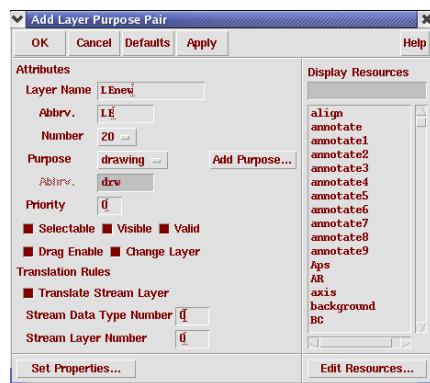


图 6.2 Add Layer Purpose Pair 窗口

- ④ 设置各区域参数如下：
  - 在 Layer Name 处输入：LEnew
  - 在 Abbrev.处输入：LE
  - Number 设置为 20
  - Purpose 设置为 drawing
  - Priority 设置为 0
  - 在 Display Resources 中选择 mypacket
- ⑤ 与图 6.2 对比无误后点击 OK，完成设置。

#### 查找 LPP

- ① 在 CIW 中，选择 File→Open，输入如下：
 

Library Name	design
Cell Name	capacitor
View Name	layout

 打开 capacitor layout 窗口。
- ② 在打开的 capacitor layout 视图中，无法选择闪亮的矩形边框。
 

**原因：**LSW 窗口中只显示工艺文件设定的所有版层，而 capacitor 版图中的矩形边框是自定义的，唯有将其加载到 LSW 中才可以实现进一步编辑。
- ③ 在 LSW 中，选择 Edit→Set Valid Layers，在 Set Valid Layer 窗口中，点亮 All Valid，点击 OK。
- ④ 选择矩形边框，选择 Edit→Properties，可找出当前绘制的矩形版层为 thinox dg 层。
- ⑤ 在 Edit Properties 窗口点击 Cancel。
- ⑥ 选择 Edit→Select→Deselect All。

#### 加载 LPP

- ① 在 LSW 中，选择 Edit→Load，点亮 Load From Techfile，点击 OK，在对话框中点击 OK。
- ② 在 LSW 中，选择 Edit→Set Valid Layers，点亮 toggle box，点击 OK。
- ③ 关闭设计窗口。

#### 查看版图

- 在 CIW 窗口中，选择 File→Open，参数设置如下：
- |              |          |
|--------------|----------|
| Library Name | design   |
| Cell Name    | pk44chip |
| View Name    | layout   |

根据不同需要，可以使用各种命令查看版图。

使用 Pan 命令查看版图

① 选择 Window→Pan 或按[Tab]键，CIW 窗口提示如下：

Point at the center of the desired display

② 点击 in1 pad，将 in1 置于窗口中央位置。

③ 点击 RMB，重复 Pan 命令，留意 CIW 窗口提示的变化。

④ 使用 LMB 点击 vcap pad。

**注意：**如果 vcap pad 在图中看不到，可点击设计窗口右方来找到。

⑤ 返回 in1 pad，选择 Window→Utilities→Previous View 或按盲键[w]。

⑥ 选择 Window→Fit All 或按盲键[f]，将设计窗口调整至合适位置。

使用 Zoom 命令查看版图

① 选择 Window→Zoom→Out by 2 或按盲键[Z]，实现窗口两倍比例的缩小。

② 选择 Window→Zoom→In by 2 或按盲键[^z]，实现窗口大小比例的恢复。

③ 选择 Window→Zoom→In 或按盲键[z]，使用 LMB 点击想要放大区域的左上角与右下角，可实现选定区域的放大。

④ 使用 RMB 在想要放大区域周围画选择框，松开 RMB 即可实现选定区域的放大。

⑤ 关闭 pk44chip 版图设计窗口。

## 4. 附加实验

找出 design 库中的 amplifier 版图层次，列出所有版层与其名称的对应关系。

## 5. 预习要求

阅读实验原理部分，了解 Layout Editor 设计环境。

## 6. 实验报告

① 总结常用的 LSW 窗口功能。

② 列出版图设计中常用盲键及其作用。

# Lab 7 MOS 管版图设计

## 1. 实验目的

1.1 掌握 MOS 管版图设计规则

1.2 熟悉 LSW 设计环境

1.3 学会 MOS 管版图设计方法

## 2. 实验原理

MOS 管单元版图设计是整个版图设计的基础。根据工艺文件提供的版图设计规则，可以以几何绘图的方式完成版图设计。在具体设计版图之前，首先是准备工作：在 library manager 中建立 nmos 版图视图，打开 virtuoso layout editing 窗口与 LSW 窗口，熟悉两窗口中菜单命令，建立工艺库所需的版图层次及其显示属性，设置版图设计环境下的盲键等。以上工作在 lab6 中已经完成设置，下

面以给定的设计规则为依据，进行 nmos 等单元版图设计。

### 3 实验内容

#### 3.1 设计 nmos 版图（版图如图 7.1 所示）

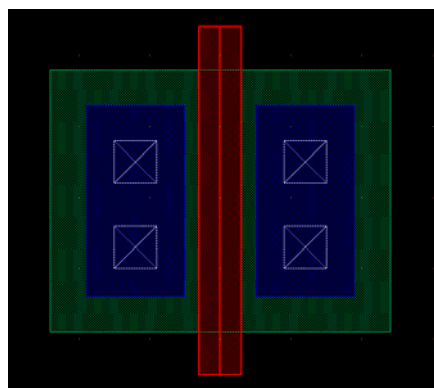


图 7.1 nmos 版图

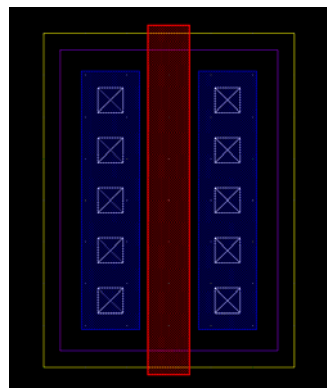


图 7.2 pmos 版图

##### 3.1.1 nmos 设计规则

- ① ndiff 过覆盖 contact 0.9u
- ② 最小 contact 宽度 0.6u
- ③ contact 间距 0.6u
- ④ contact 与栅间距 0.6u
- ⑤ poly 超出 ndiff 0.6u
- ⑥ metal 过覆盖 contact 0.4u
- ⑦ width 为 3.6u
- ⑧ length 为 0.6u

注意：⑦与⑧所限定的器件尺寸不属于设计规则，在此列出仅为设计方便。

##### 3.1.2 创建 nmos 视图

- ① 在 CIW 中，选择 File→Open，参数设置如下：

Library Name     design  
Cell Name         nmos  
View Name        layout

点击 OK，打开 design 的空白窗口，以下编辑将实现 nmos 版图结构如图  
所示。

- ② 在 LSW 窗口中，选择 poly drawing 作为当前编辑层。
- ③ 选择 Create→Path 或按盲键[p]，来绘制多晶硅栅体。
- ④ 在 design 窗口中，点击 LMB，从坐标原点  $x=0$ 、 $y=0$  到  $x=0$ 、 $y=4.8$  连线 poly，之后双击 LMB 或按 Return (Enter) 键，完成栅体绘制。
- ⑤ 在 LSW 窗口中，选择 ndiff drawing 层为当前编辑层，选择 Create→Rectangle 或按盲键[r]，用以绘制扩散区。
- ⑥ 在 design 窗口中，选择不在同一直线的任意两点，点击 LMB 形成矩形扩散区，矩形形状可在后续操作中调整。

##### 3.1.3 调整 ndiff 与 poly path

- ① 选择 Window→Create Ruler 或按盲键[k]，在设计窗口中加入 Ruler，以便精确控制版图尺寸。
- ② 按 Return 键或点击 LMB 完成 Ruler 的添加，可选择 Window→Clear All



Rulers 或按盲键[K], 删除添加的 Ruler。

- ③ 选择 Edit→Stretch 或按盲键[s], 在设计窗口中, 使用 LMB 选择需要调整的目标或目标的一部分, 选择后以高亮显示, 拖动鼠标至合适位置后释放, 完成目标大小的调整。

**注意:** 调整 path 时, 确保只有 path 的中线高亮显示, 否则, 有可能将 path 的宽度也进行了调整。

### 3.1.4 绘制 Source 与 Drain

- ① 在 LSW 窗口中, 选择 metal1 作为当前编辑层, 选择 Create→Rectangle 或按盲键[r], 绘制一个矩形, 用以源区金属连接。
- ② 在 LSW 窗口中, 选择 contact dg 作为当前编辑层, 选择 Create→Rectangle 或按盲键[r], 绘制两个正方形, 作为源区接触孔。
- ③ 按照设计规则, 调整 contacts 与 metal1 的位置。
- ④ 同时选择 contacts 与 metal1 (选择一个目标后按 Shift 键, 继续选择其它目标, 操作与 Windows 系统相同), 选择 Edit→Copy 或按盲键[c], 因为 mos 器件的对称性, 可通过拷贝完成漏区的绘制。
- ⑤ 点击高亮显示的被选目标实现拷贝, 在空白处点击 LMB 实现粘贴。
- ⑥ 按照设计规则, 利用 Ruler 和 Stretch 调整版图尺寸。
- ⑦ 选择 Options→Display 或按盲键[e], 点亮 Axes, 选择 Edit→Move 或按盲键[m]。
- ⑧ 选择所有 nmos 版图的组件, 点击选中并放置到合适位置。
- ⑨ 完成绘制后, 选择 Design→Save 并关闭窗口。

## 3.2 设计 pmos 版图 (版图如图 7.2 所示)

**注意:** 由于 mos 器件尺寸与制造工艺的对称性, 可以从 nmos 出发, 通过改变器件尺寸与工艺的方法, 相对简单地绘制出 pmos。当然, 也可从基本设计规则出发, 与绘制 nmos 一样来绘制 pmos 版图, 具体设计详见附加实验。

### 3.2.1 pmos 设计规则

- ① nwell 过覆盖 pdiff 0.4u
- ② pdiff 过覆盖 contact 0.9u
- ③ 最小 contact 宽度 0.6u
- ④ contact 间距 0.6u
- ⑤ contact 与栅间距 0.6u
- ⑥ poly 超出 pdiff 0.6u
- ⑦ metal 过覆盖 contact 0.4u
- ⑧ width 为 7.2u
- ⑨ length 为 1.0u

**注意:** ⑧与⑨所限定的器件尺寸不属于设计规则, 在此列出仅为设计方便。

### 3.2.2 拷贝 nmos

- ① 在 CIW 中, 选择 Tools→Library Manager, 点击 Library 中的 design 并点亮刚才绘制的 nmos。
- ② 点击并下拉 MMB, 在下拉菜单中选择 Copy, 弹出 copy 窗口。
- ③ 在 To section 的空白 Cell text 中, 输入: pmos, 点击 OK。
- ④ 在 design 库中打开 pmos 视图。

### 3.2.3 创建 pmos 视图

- ① 在设计窗口中, 点击选中 ndiff dg rectangle, 选择 Edit→Properties 或按盲键

[q], 在 Edit Rectangle Properties 窗口中, 点击 ndiff dg, 出现所有有效的版层, 接着选择 pdiff dg 并点击 OK。

② 点击选中多晶硅栅体 (poly gate path), 选择 Edit→Properties[q], 改变 Width 为 1.0, 点击 OK。

③ 点击选中 pdiff dg 矩形, 选择 Creat→Layer Generation, 在弹出的 Layer Generation 窗口中, 从左到右改变设置如下:

pdiff dg GROW BY 0.4 = nwell dg

**注意:** 由于 nmos 与 pmos 设计规则不同, 根据 pmos 设计规则①, 本步骤旨在产生一个比 pdiff dg 矩形尺寸大 0.4u 的 nwell dg 版层。

④ 选择 Options→Display[e], 在打开的窗口中, 改变 Editt Snap Mode 为 diagonal, 点击 OK。

⑤ 使用 Stretch 命令将 pmos 版图拓宽, 变为宽 7.2u, 长 1.0u, Stretch 完成后按 Esc 键。

⑥ 在 design 窗口中, 点击选中左侧第一个 contact, 选择 Edit→Copy[c], 在 Copy option 窗口中, Rows 赋值为 2, Columns 赋值为 3, 点击 OK。

⑦ 在版图左侧刚才选中的 contact 正上方 (x 坐标不变, y 坐标向上 1.2u 处), 放置拷贝的第一个 contact 阵列, 同样方法安置另外两个 contact。

⑧ 在版图右侧, 相对左侧 contact 而言, y 坐标不变, x 坐标向右 2.8u 处安置 3 个 contact。

⑨ 仔细校对版图规则, 最终图形如图 7.2 所示, 完成后选择 Design→Save 存档并关闭设计窗口。

## 4. 附加实验

不依赖于现有的 nmos 版图, 从设计规则出发设计 pmos 版图。

## 5. 预习要求

阅读实验原理部分, 了解版图编辑命令与 LSW 视窗功能。

## 6. 实验报告

① 总结 mos 管版图设计规则。

② 分析归纳 mos 版图设计方法。

# Lab 8 BJT 管版图设计

## 1. 实验目的

1.1 掌握 BJT 管版图设计规则

1.2 熟悉 LSW 设计环境

1.3 学会 BJT 管版图设计方法

1.4 学会编辑工艺文件

## 2. 实验原理

工艺技术文件用 SKILL 语言写成，包含了设计必需的很多信息，尤其对版图设计很重要。它包含版层的定义，符号化器件定义，几何、物理、电学设计规则，以及一些针对特定 Cadence 工具的规则定义，如自动布局布线的规则，版图转换成 GDSII 时所使用层号的定义等。

同一工艺文件可以被不同库中的文件共享，故而一旦元件的工艺文件有误，则影响到调用该元件的所有设计。在工艺文件中，所有 contact 都是符号化的元件，本实验系统中定义的 PTAP 尺寸不当，因为 PTAP 作为一个源文件被其它设计所调用，导致后续实验无法进行。对 PTAP 进行修改时，只需在工艺文件中找到 PTAP 属性，对其修改至合适尺寸即可。

### 3. 实验内容

设计 npn 版图（如图 8.1 所示）

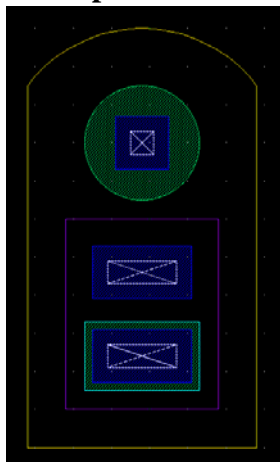


图 8.1 npn 版图

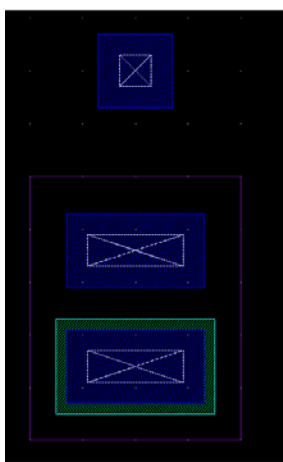


图 8.2 未完成的 npn 版图

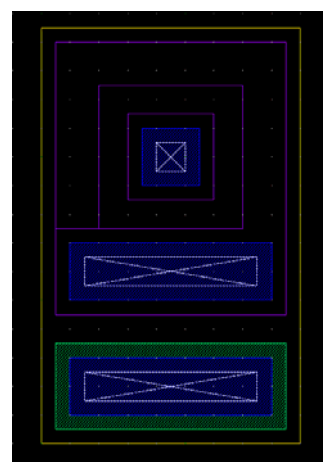


图 8.4 横向 pnp 版图

nnp 版图设计规则

- ① ndiff 过覆盖 contact 1.0u
- ② buried 过覆盖 ndiff 1.5u
- ③ ndiff 到 pbase 间距 0.5u
- ④ buried 过覆盖 pbase 1.0u

创建 npn 版图视图

- ① 在 CIW 中，选择 File→Open，选项设置如下：

Library Name	design
Cell Name	nnp
View Name	layout

- ② 选择完成后点击 OK，打开未完成的 npn 版图设计窗口，如图 8.2 所示。

设计 Collector

- ① 在 LSW 中，改变当前绘制版层为 ndiff dg。
- ② 选择 Creat→Conics→Circle，点击圆心所在点为 X=3.0，Y=8.0。
- ③ 将鼠标从圆心向 x 轴方向移动 1.5u，做半径为 1.5u 的圆。
- ④ 选择 Options→Layout Editor，改变设置 Conic Sides 为 200，点击 OK。
- ⑤ 改变 conic shape 为 Polygon，用 LMB 在刚才所做圆的周围画选择框，选择 Edit→Other→Convert to Polygon。

设计 Polygon

- ① 选择 Create→Polygon [p]，改变当前绘制版层为 buried dg，在向左与向下

- 距离 pbase 区 1.0u 的左下角点击第一个点，作为 buried 的起始点。
- ② 从第一个点沿 x 轴方向延伸 6.0u 为第二点，再沿 y 轴向上延伸 9.5u 作为第三点。
  - ③ 移动光标到 Create Polygon 窗口中，点击 Create Arc，用以绘制 Collector 上方的弧线。
  - ④ 从第三点  $x=6.0u$ ,  $y=9.5u$  移动 LMB 到  $x=3.0u$ ,  $y=11.3u$  处，再点击  $x=0$ ,  $y=9.5u$  即可完成弧线的绘制。
  - ⑤ 按 Return 键完成 polygon 绘制，仔细检查版图设计规则，所设计的版图应如图 8.1 所示。
  - ⑥ 保存 npn 版图，关闭窗口。

## 3.2 编辑工艺文件

### 3.2.1 创建 ASCII 文件

- ① 在 CIW 中，选择 Tools→Technology File Manager→Dump，弹出 Dump Technology File 窗口。
- ② 在 Dump Technology File 窗口中，设置 Technology Library 为 design，点亮 layer Definitions 按钮。

**注意：**工艺文件一般都非常庞大，这里只是对其中一小部分做编辑，故而有必要对编辑的版层进行限定，因为如果编辑过程出现错误，可以相对简单地就限定区域对错误查找和修改，而不至于对整个工艺文件进行查错和处理。

- ③ 在 ASCII Technology File 区域，输入如下命令：

layerdef.tf

点击 OK，弹出 xterm 窗口。

### 3.2.2 查看限定的版图

- ① 在 xterm 窗口中，输入如下命令：  
/techPurposes  
此命令旨在启动用户所感兴趣的版图功用，本实验定义为版图绘制层次的功用。
- ② 在 xterm 窗口中，输入如下命令：  
/techLayers  
此命令用以显示用户与系统所定义的版图。
- ③ 在 xterm 窗口中，输入如下命令：  
/techLayerPurposePriorities  
此命令定义了版图在显示中的优先权，显示顺序与列表顺序一致。
- ④ 在 xterm 窗口中，输入如下命令：  
/techDisplays  
显示版图的 purpose pair 及其属性，其中包括用户未曾设置的一些属性。
- ⑤ 在 xterm 窗口中，输入如下命令：  
:q!  
此命令用于 Linux 系统下的退出和关闭窗口。

### 3.2.3 编辑 symContactDevice

- ① 在 CIW 中，选择 File→Open，设置如下：

Library Name	design
Cell Name	nor3
View Name	layout

点击 OK，打开 nor3 的版图设计窗口。

- ② 在版图设计窗口中，选择 Create→Contact[o]，在弹出的 Create Contact 窗口中，改变 contact Type 为 PTAP。
- ③ 回到版图设计窗口中，用 LMB 点击 X=9.8, Y=0.8 的位置，在此位置刚创建的接触孔 PTAP 显得过大，超出了 contact 的设计规则，以下将对其做修改。

#### 3.2.4 编辑 Contact Definition

- ① 在 CIW 窗口中，选择 Tools→Technology File Manager→Dump，弹出 Dump Technology File 窗口
- ② 在 Dump Technology File 窗口中，改变 Technology Library 为 design，关闭 layer Definitions 按钮，点亮 devices 按钮，在 ASCII Technology File 区域，输入如下：

device.tf

点击 OK，弹出 xterm 窗口。

- ③ 在 xterm 窗口中，输入如下命令：

/PTAP

创建 contact 的语法如下所述：

SymContactDevice(

(name viaLayer viaPurpose layer1 purpose1 layer2 purpose2 w 1 (row column  
xpitch ypitch xBias yBias) encByLayer1 encByLayer2 legalRegion)

(PATP contact drawing pdiff drawing metal1 drawing 0.6 0.6(1 1 1.2 1.2  
center center) 2.0 0.2 (inside pwell drawing))

对以上语法的解释如下：

以上定义的 PTAP 接触孔被 pdiff 与 metal1 两层版图所包围着，故而在语法中有 layer1 purpose2 encByLayer1 等语句。其中，encByLayer1 就是此例中的 pdiff，而 encByLayer2 即 metal1。因为两包围层的尺寸不当，故而使得所包围的 PTAP 接触孔尺寸有误，以下步骤将对其修改。

- ④ 修改 enByLayer1 的原值 2.0 为 0.5，enByLayer2 的原值 0.2 为 0.4。
- ⑤ 在 xterm 窗口中，输入如下命令：

: wq!

此命令用于 Linux 系统下的存档。

#### 3.2.5 载入编辑后的工艺文件

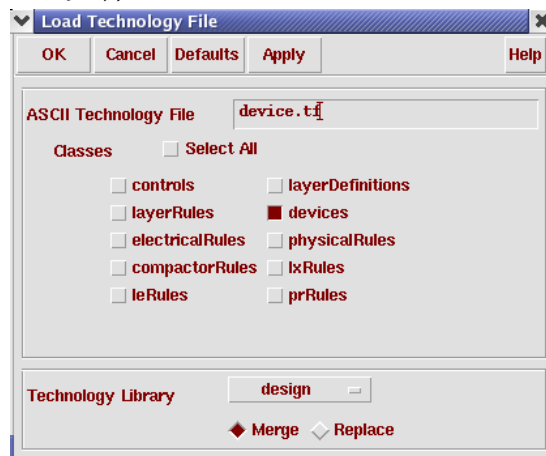


图 8.3 Load Technology File 窗口

- ① 在 CIW 窗口中, 选择 Tools→Technology File Manager→Load, 在弹出的 Load Technology File 窗口中, 改变设置如图 8.3 所示, 点击 OK, 若弹出 Load Technology File 的提示框, 点击 Close 关闭之。在 CIW 中, 可以看到表示加载成功的提示如下所述:

Technology file device.tf compiled successfully.

- ② 在 CIW 窗口中, 选择 Tools→Technology File→Save, 在 Save Technology File 窗口中, 改变设置 Technology Library 为 design, 点击 OK, 在弹出的 Technology Save 窗口中, 点击 OK, 完成存档。

**注意:** 只有将修改的结果保存后, 在其后的编辑中才生效。

- ③ 在版图设计窗口中, 选择 Window→Redraw[<sup>r</sup>], 重新编辑 nor3 视图, 此时的 PTAP 接触孔已经符合版图设计规则。

- ④ 选择 Design→Save 和 Window→Close 存档并退出。

## 4. 附加实验

设计横向 pnp 管版图如图 8.4 所示。

## 5. 预习要求

- ① 阅读实验原理, 了解工艺文件。
- ② 与 MOS 设计规则对比, 了解 BJT 管设计规则。

## 6. 实验报告

- ① 总结 BJT 管设计规则
- ② 分析工艺文件编辑的方法与意义

# Lab 9 CMOS 反相器版图设计

## 1. 实验目的

- 1.1 学会版图自动生成方法
- 1.2 掌握 CMOS 电路版图设计流程
- 1.3 了解数字模块设计方法

## 2. 实验内容

### 版图自动生成

如果在 lab7 与 lab8 中, 绘制 nmos、pmos、npn 等单元版图存在困难, 可使用版图自动生成命令来产生版图, 以便后续实验的进行。

### nmos 版图生成法

- ① 在 CIW 中, 选择 File→Open, 选项设置如下:

Library Name      design

Cell Name          nmos

View Name          layout

打开 nmos 的空白视图。

- ② 在 CIW 中，输入如下命令：  
hiReplayFile("LOG/nmos.log")
- ③ 按 Return 键。
- ④ 选择 Window→Fill All，完成自动生成 nmos 版图。
- ⑤ 存档。

#### pmos 版图生成法

- ① 在 CIW 中，选择 File→Open，选项设置如下：

Library Name      design  
Cell Name          pmos  
View Name        layout  
打开 pmos 的空白视图。

- ② 在 CIW 中，输入如下命令：
- ③ 按 Return 键。
- ④ 选择 Window→Fill All，完成自动生成 pmos 版图。
- ⑤ 存档。

#### npn 版图生成法

与 nmos 生成法相同，仅仅在①、②步骤中将 nmos 改为 npn 即可。

### Inverter 版图设计

#### Inverter 版图设计规则

- ① 单元高度 18.0u
- ② power 与 ground 宽度 1.8u
- ③ ndiff 到 pdiff 间距 0.5u
- ④ metal1 之间间距 0.8u
- ⑤ metal1 宽度 0.8u

#### 安置 mos 版图

- ① 在 CIW 中，选择 File→Open，设置如下：

Library Name      design  
Cell Name          inverter  
View Name        layout

点击 OK，弹出 Inverter 的设计窗口。

- ② 在设计窗口中，选择 Create→Instance[i]，在 Create Instance 窗口中，改变设置如图 9.1 所示。

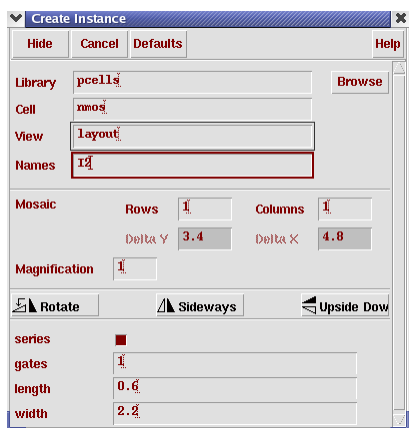


图 9.1 Create Instance 窗口

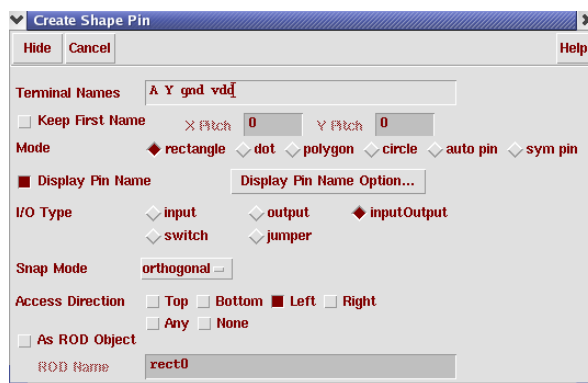


图 9.2 Create Shape Pin 窗口



- ③ 设置结束后，在设计窗口中，点击 LMB 完成添加 nmos 版图。
- ④ 与步骤②相同，仅将图 9.1 中 Cell 栏改变为 pmos，其余选项与 nmos 设置相同，完成 pmos 版图的添加。
- ⑤ 在 Create Instance 窗口中，点击 Cancel。
- ⑥ 按照设计规则，调整 nmos 与 pmos 版图的位置，注意将 metal1 之间间距设为  $0.8u$ 。

#### 连线

- ① 在 LSW 中，设置当前编辑层为 poly dg，在设计窗口选择 Create→Path，使用 poly 连接 nmos 与 pmos 的多晶硅栅体。
- ② 在 LSW 中，设置当前编辑层为 metal1 dg，在设计窗口选择 Create→Path，使用 metal1 实现连接。
- ③ 将 nmos 与 pmos 右侧的 metal1 相连，并在连线的中点处向右引出输出线 output，注意引出的右端点不要超过单元长度  $x=1.8u$ 。
- ④ 从 nmos 左侧的 metal1 向下连接 ground rails，从 pmos 左侧的 metal1 向上连接 power rails，注意线条宽度与左侧的 metal1 一样宽。

#### 创建 contact

- ① 在设计窗口中，选择 Create→Contact[o]，在弹出的 Create Contact 窗口中，设置 Contact Type 为 PTAP。
- ② 将 PTAP 安置在 ground rail 的右侧，具体位置应考虑 ndiff 到 pdiff 的间距不小于  $0.5u$ 。
- ③ 在 Create Contact 窗口中，改变 Contact Type 为 NTAP，将 NTAP 安置在 power rail 的右侧，具体位置应考虑 ndiff 到 pdiff 的间距不小于  $0.5u$ 。

注意：在集成电路工艺中，为了消除金半接触引入的势垒，形成良好的欧姆接触，一般在接触区添加离子注入工艺，形成与 power 接触的  $N^+$  接触孔 NTAP，与 ground 接触的  $P^+$  接触孔 PTAP。故而在设计 PTAP 时，应考虑 PTAP 到 nmos 管 ndiff 的间距要符合版图设计规则，此处为  $0.5u$ ；同理，NTAP 到 pmos 管 pdiff 的间距为  $0.5u$ 。

#### 创建 Pins

- ① 选择 Create→Pin[^p]，在 Create Shape Pin 窗口中，改变设置如图 9.2 所示。

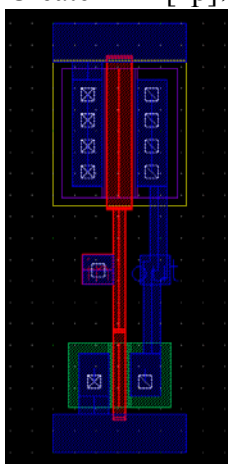


图 9.3 Inverter 版图

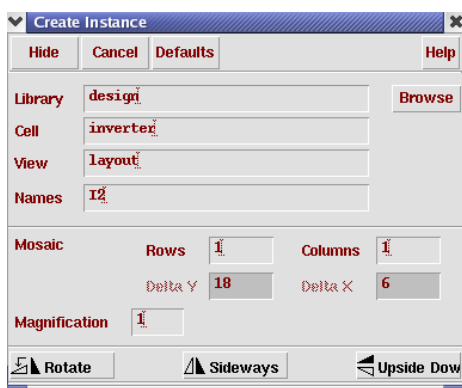


图 9.4 Create Instance 窗口

- ② 在 LSW 窗口中，设置当前编辑层为 poly pn，在 poly gate 中间位置绘制一个矩形框，宽度与 poly 相同，点击安置 Pin 为输入 A。
- ③ 在 LSW 窗口中，设置当前编辑层为 metal1 pn，点击安置 pins: Y、gnd

和 vdd, Y 为输出, gnd 为 ground, vdd 为 power。

- ④ 仔细检查最终版图如图 9.3 所示, 核对无误后选择 Design→Save 存档, 关闭设计窗口。

### 设计 control 模块

打开 control 模块电路与版图

- ① 在 CIW 中, 选择 File→Open, 设置如下:

Library Name	design
Cell Name	control
View Name	layout

点击 OK, 打开 control 版图设计窗口。

- ② 在 CIW 中, 选择 File→Open, 设置如下:

Library Name	design
Cell Name	control
View Name	schematic

点击 OK, 打开 control 电路原理图设计窗口。

安置单元版图

- ① 在版图设计窗口中, 选择 Create→Instance[i], 在 Create Instance 窗口中, 改变设置如图 9.4 所示。

**注意:** 在版图添加的过程中, 一般以单元版图的左下角对齐坐标为准。

- ② 分别在 X=0、Y=0, X=6.0、Y=0, X=20.0、Y=0 的三个位置上添加 Inverter 单元版图: Inverter1、Inverter2 和 Inverter3。

- ③ 在 Create Instance 窗口中, 改变 Cell 的名称为 nand2, 其余设置不变。

- ④ 在 X=12.0、Y=0 的位置上添加 nand2 单元版图。

- ⑤ 步骤②、③、④中, 对单元版图的添加, 也可以在 CIW 窗口中, 分别输入如下:

0:0  
6.0:0  
20.0:0  
12.0:0

以上方法可以自动完成添加, 而且解决了手工对准坐标的困难。

- ⑥ 按 Esc 键, 关闭 Create Instance 窗口。

- ⑦ 选择 Design→Save 存档。

互连

注意: 以下连线为不同层之间的跨接, 故而不要求严格的设计规则。

- ① 在 LSW 窗口中, 选择 metal1 dg 为当前编辑层, 在版图设计窗口中, 选择 Create→contact[0], 设置 Contact Type 为 M1\_M2, 点击 OK, 安置 Via1 在 Inverter1 的输出 Y pin 上 (X=4.6、Y=7.5)。

- ② 改变当前编辑层为 metal2 dg, 选择 Create→Path[p], 从通孔 via1 处 (X=4.6、Y=8.0) 向下引线 metal2, 跨过并超出 Inverter1 的 ground 后 (比如超出后 X=4.6、Y=-1.5), 向右形成拐角并延伸一段距离 (不超过 X=12.0) 再停止 (比如 X=10.7、Y=-1.5)。

- ③ 选择 Create→contact[0], 在 Create Path 窗口中, 设置 Contact Type 为 M1\_M2, 点击 OK, 安置 Via2 在 X=10.7、Y=-1.5 处 (注意对准)。在 LSW 窗口中, 选择 metal1 dg 为当前编辑层, 从通孔 via2 处向右引线

- metall1, 在 X=16.6、Y=-1.5 处停止。
- ④ 选择 Create→contact[0], 在 Create Path 窗口中, 设置 Contact Type 为 M1\_P, 点击 OK, 安置 Via3 在 X=16.0、Y=-1.5 处, 改变当前编辑层为 poly dg, 选择 Create→Path[p], 从通孔 via3 处 (X=16.0、Y=-1.8) 使用 poly 连线向上延伸并完全覆盖 A pin, 到达 X=16.0、Y=2.1 处停止。
  - ⑤ 参照以上步骤, 完成其余连线: Inverter2 的 Y pin 与 nand2 的 poly B、Inverter3 的输入 pin 与 nand2 的 Y pin, 最终版图如图 9.5 所示。

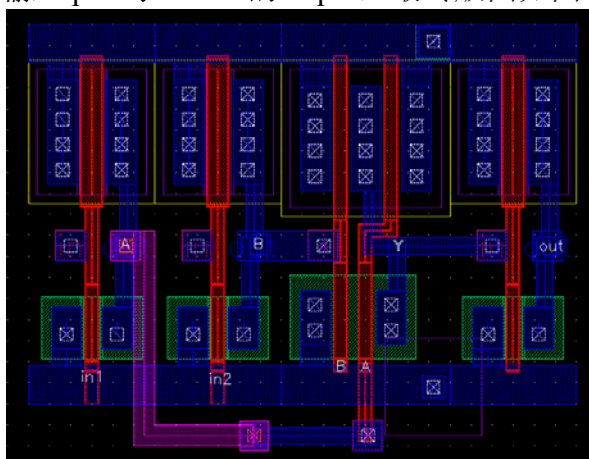


图 9.5 control 版图

- ⑥ 此 control 版图尚有问题, 在 lab13 中, 将在版图验证 DRC 以后, 进一步修改。
- ⑦ 选择 Design→Save 存档并关闭窗口。

### 3. 预习要求

复习 lab7 实验原理与实验内容, 掌握 mos 管版图设计规则。

### 4. 实验报告

- ① 分析 CMOS 电路版图设计规则与设计方法
- ② 写出不同版层间连线的具体方法

## Lab 10 Pcells 版图设计

### 1. 实验目的

熟悉版图操作命令  
学会 Stream 格式转换方法  
学会创建 Pcells

### 2. 实验原理

#### Stream 格式

Cadence 系统有自己的内部数据格式, 为了与其他 EDA 软件之间进行数据交换, Cadence 提供内部数据与标准数据格式之间的转换。点击 CIW 的 File 菜

单中的 Import, 可将各种外部数据格式转换成 Cadence 内部数据格式, 利用 CIW 的 File 菜单中的 Export, 可将各种 Cadence 内部数据格式转换成外部标准数据格式。其中, Stream 命令实现 Stream 格式与 DFII (Design Framework II) 之间的转换。

在格式转换中, 同一内容所对应的格式内容区别较大。比如, DFII 格式下的圆、椭圆以及点等图形, 在 Stream 格式中则对应为边界 (boundary)。因此, 在格式转换过程中, 必须对转换加以限定, 具体操作在实验内容中有详解。

### 版图设计命令

版图设计中使用的编辑命令, 除了 lab6—9 中的一些通用命令外, 还有 Split、Reshape、Rotate、Merge、Attach/Detach 等特殊命令。

Split: 对图形中的一部分内容实现切割, 使得被切割部分能独自进行其它操作, 而不影响整体图形。

Reshape: 实现图形形状的转变。

Rotate: 对图形实现逆时针任意角度的旋转。

Merge: 将多个分离图形组合为一个图形。

Attach/Detach: 对两个图形进行粘连或拆除粘连。

### pcell

pcell 即参数化的单元版图。在版图设计过程中, 通过改变 pcell 的参数, 达到创建不同参数的同一单元版图。比如一个 nmos 单元的 pcell 版图, 改变其长宽比或几何参数就成为另一个 nmos 单元, 而不至于再设计一个 nmos 单元版图。通过调用参数化的单元版图, 可以有以下优点:

- ① 节省了设计时间。
- ② 节省了硬盘占用空间, 相同单元在同一库中调用。
- ③ 降低了错误发生率。
- ④ 在电路原理图中改变单元参数时, 在版图中更新的速度加快。

## 3. 实验内容

### 输入输出设计

#### Stream out 命令

- ① 在 CIW 窗口中, 选择 File→Export→Stream, 设置 Stream Out 窗口各选项如图 10.1 所示, 点击 OK, 启动 stream translator。



图 10.1 Stream Out 窗口

- ② 在 STRMOUT PopUp Message 对话框中, 提示 “successfully”, 若无此提示, 则表明 Stream Out 窗口设置有误, 需重新设置, 直至提示成功为止。点击 OK。
- ③ 在 CIW 窗口中, 选择 File→Export→Stream, 确保 Stream Out 窗口各选项不变, 仍如图 10.1 所示, 点击 User-Defined Data 选项按钮, 在 stream Out User-Defined Data 窗口中, 输入设置 Layer Map Table 为 layer.map, 其它选项不变, 点击 OK。
- ④ 在 Stream Out 窗口中, 点击 OK, 启动 stream translator。若弹出 Stream File Info 窗口, 点击 OK, 在 STRMOUT PopUp Message 对话框中, 提示 “successfully”, 点击 OK。
- ⑤ 在终端窗口 xterm 中, 输入如下命令:  
vi ~/VLE\_5033/layer.map  
按 Return 键。
- ⑥ 在 xterm 中生成 map 文件, 显示各版层的数据参数, 移动光标到最下层的 pdiff 之下, 与各层对应地输入如下:  
contact drawing 55 0  
按 Return 键, 完成添加 contact 版层。
- ⑦ 在 CIW 窗口中, 选择 File→Export→Stream, 在 Stream Out 窗口中, 仅改变设置 Output File 为 stream3.gds, 点击 User-Defined Data 选项按钮, 在 stream Out User-Defined Data 窗口中, 确认 Layer Map Table 设置为 layer.map, 点击 OK。
- ⑧ 在 Stream Out 窗口中, 点击 OK, 启动 stream translator。在 STRMOUT PopUp Message 对话框中, 提示 “successfully”, 点击 OK。
- ⑨ 以上操作, 完成 contact 版层的添加以及数据的 Stream out 命令。

#### Stream in 命令

- ① 在 CIW 窗口中, 选择 File→Import→Stream, 设置 Stream In 窗口如图 10.2 所示, 点击 OK, 启动 stream translator。

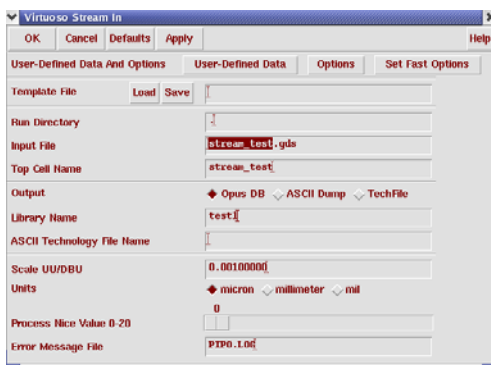


图 10.2 Stream in test1 窗口

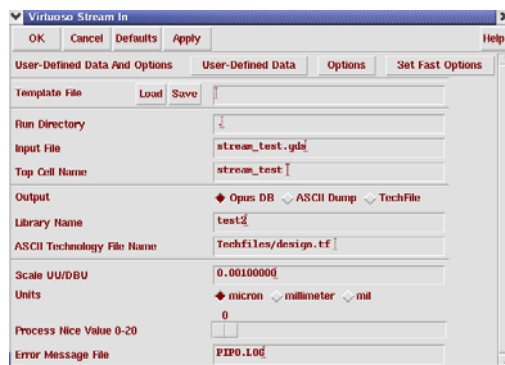


图 10.3 Stream in test2 窗口

- ② 在 STRMOUT PopUp Message 对话框中, 提示 “successfully”, 若无此提示, 则表明 Stream Out 窗口设置有误, 需重新设置, 直至提示成功为止。点击 OK。
- ③ 在 Library Manager 窗口中, 选择 View→Refresh, 在 test1 文件库中, 打开 stream\_test 版图。
- ④ 在 LSW 窗口中, 各版层没有明确的定义, 原因是数据执行 Stream in 命令时, 并没有定义其工艺文件或图文件。

- ⑤ 关闭设计窗口。
- ⑥ 在 CIW 窗口中, 选择 File→Import→Stream, 设置 Stream In 窗口如图 10.3 所示。点击 User-Defined Data 选项按钮, 在 stream Out User-Defined Data 窗口中, 确认 Layer Map Table 设置为 layer.map, 点击 OK。
- ⑦ 在 Stream In 窗口中, 点击 OK, 启动 stream translator。在 STRMOUT PopUp Message 对话框中, 提示 “successfully”, 点击 OK。
- ⑧ 在 Library Manager 窗口中, 选择 View→Refresh, 打开 stream\_test 版图设计窗口, 在 LSW 窗口中, 包括在 stream out 中添加的 contact, 各版层都有明确的定义, 原因是数据执行 Stream in 命令时, 定义工艺文件 ASCII Technology File Name 为 Techfiles/design.tf (ASCII 为标准信息交换码)。
- ⑨ 存档并退出。

### 其它版图设计命令

在 CIW 窗口中, 选择 File→Open, 设置如下:

Library Name	design
Cell Name	editing
View Name	layout

点击 OK, 打开 editing 版图设计窗口, 分别使用以下命令实现对 editing 版图的设计。

Split 命令 (如图 10.4 所示)

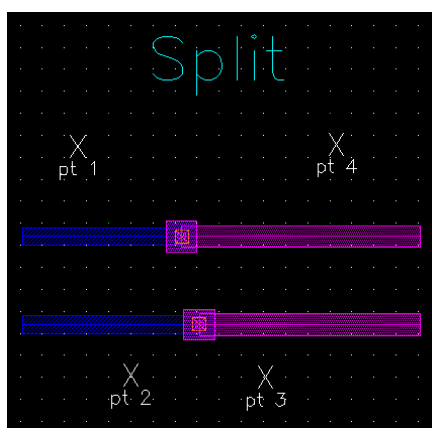


图 10.4 Split 命令

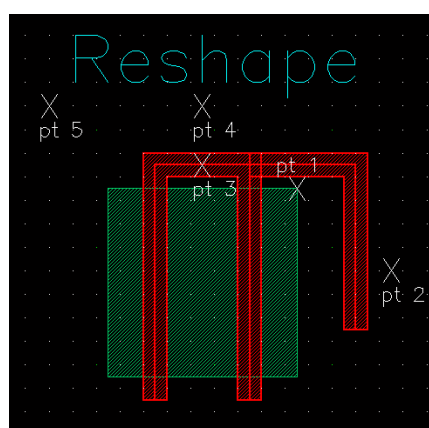


图 10.5 Reshape 命令

- ① 选择 Window→Zoom→In[z], 在版图中点击选择 Split 模块的外框, 再选择 Edit→Other→Split[^s], 改变 Snap Mode 为 anyAngle。
- ② 按 Shift 键, 依次选择 Split 模块中的所有单元 (共有 6 项), 在 CIW 窗口中, 提示点击 split line 的第一点。
- ③ 依次点击版图中的 pt1、pt2、pt3、pt4, 完成三条线段的连接, 在 pt4 点处双击 LMB, 可以看到, 被三条线段所包围选中 (或切割) 的线条和节点以黄色高亮显示。
- ④ 使用鼠标可以拉伸黄色高亮显示的部分, 使得节点 contact 在线段左右端点间移动。
- ⑤ 使用盲键[^d], 取消选择。
- ⑥ 选择 Window→Fit All, 调整窗口至合适位置。

Reshape 命令 (如图 10.5 所示)

- ① 选择 Window→Zoom→In[z], 在版图中放大 Reshape 模块。



- ② 选择 Edit→Reshape[R], 在 Reshape 窗口中, 改变设置 Reshape Type 为 rectangle, 在 Reshape 版图中, 使用 LMB 点击绿色的矩形扩散框, 使其以黄色高亮显示。
- ③ 在 Reshape 版图中, 依次点击 pt.1 与 pt.2, 然后点击 RMB (点击两次则还原), 图形以高亮显示。
- ④ 在版图空白处点击 LMB, 选择的图形转换为多边形, 实现了 Reshape。
- ⑤ 在版图中选择 U 形 poly 连线, 依次点击 pt3、pt4、pt5 (双击 pt5) 三点, 然后点击 RMB, 在版图空白处再点击 LMB, 选择的图形转换为多边形, 实现了 Reshape。
- ⑥ 按 Esc 键, 退出 Reshape 命令。
- ⑦ 选择 Window→Fit All, 调整窗口至合适位置。

Rotate 命令 (如图 10.6 所示)

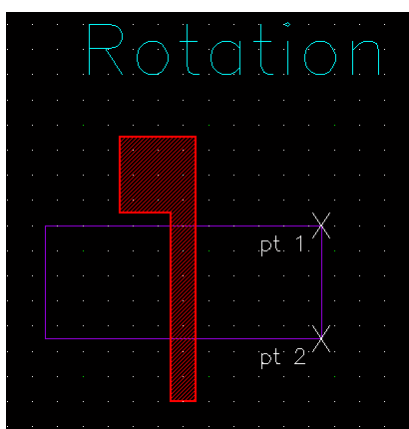


图 10.6 Rotate 命令

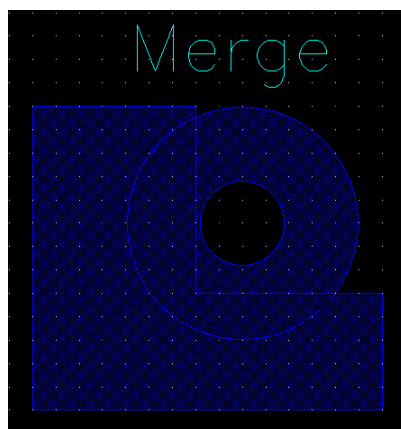


图 10.7 Merge 命令

- ① 选择 Window→Zoom→In[z], 在版图中放大 Rotate 模块。
- ② 使用 LMB 点击选择版图中红色的多边形, 选择 Edit→Other→Rotate[O], 再次点击选择的红色多边形, 发现随着鼠标的移动, 可实现被选图形的任意旋转。
- ③ 在 Rotate 窗口中, 改变设置 Angle Snap 为.1 Degree, 在 Rotate Angle 区域输入 30, 最后点击 Apply。
- ④ 在版图窗口, 发现多边形逆时针旋转了 30 度。
- ⑤ 点击 Cancel, 选择 Window→Fit All, 调整窗口至合适位置。

Merge 命令 (如图 10.7 所示)

- ① 选择 Window→Zoom→In[z], 在版图中放大 Merge 模块。
- ② 选择 Edit→Merge[M], 按 Shift 键同时选择多边形与圆, 两者合为一体。
- ③ 按 Esc 键退出, 选择 Window→Fit All, 调整窗口至合适位置。

Attach/Detach 命令 (如图 10.8 所示)



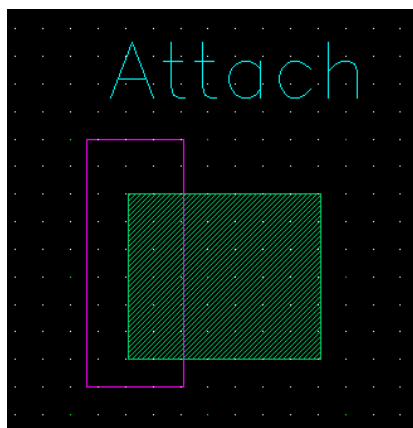


图 10.8 Attach/Detach 命令



图 10.9 Define Layers 窗口

- ① 选择 Window→Zoom→In[z], 在版图中放大 Attach 模块。
- ② 选择 Edit→Other→Attach/Detach[v], 点击绿色矩形框, 以高亮显示。
- ③ 使用 LMB 点击指向紫色矩形框, 完成 Attach 命令。
- ④ 选择 Edit→Move[m], 移动紫色矩形框, 发现绿色框也跟着一起移动, 证明绿色矩形与紫色矩形合为一体。
- ⑤ 选择 Edit→Other→Attach/Detach[v], 点击绿色矩形框, 然后在空白处点击 LMB, 完成 Detach 命令。
- ⑥ 再次选择 Edit→Move[m], 移动紫色矩形框, 发现绿色框并未移动, 证明两者已经分离。
- ⑦ 按 Esc 键退出, 选择 Window→Fit All, 调整窗口至合适位置。

## 创建 pcell

### 载入 pcell

- ① 在 CIW 窗口中, 输入如下:  
Load("./skill/spcInstall")  
按 Return 键, 激活安装命令。
- ② 在 Sample Parameterized Cell Installation 窗口中, 点击 Next 按钮 (点击 OK 则退出安装), 在弹出的窗口中, 选择 spcres 和 spcpnp, 点击 Next 按钮。
- ③ 在 Select Destination Library (Available Libraries) 窗口中, 选择 RODpcells 库, 点击 Next 按钮。弹出 Define Layers 窗口如图 10.9 所示, 将未定义的版次改变设置如下:

poly	poly
cont	contact
metall	metall
buried	buried
coll	ndiff
iso	isolati

定义各版层后点击 OK。

- ④ 在 Verify Layer Definitions 窗口中, 点击 Next, 在 Define Rule 窗口中, 改变参数设置如下:  
minWidth poly : 0.6  
minSpacing poly : 0.6  
点击 OK, 完成设置。

- ⑤ 在 Verify Required Rules 窗口中，点击 Next。在 Verify Source Directory 窗口中，默认安装路径，点击 Next。
- ⑥ 在 Loading Status 窗口中，验证 spcres 与 spcpnp 已经载入，点击 Next。在 Initialization Choices 窗口中，选择 libInit 文件，点击 Next。
- ⑦ 在 Save Technology File 窗口中，从 Technology Library 文件库栏选择 RODpcells 库，点击 OK。在提示窗口点击 Yes，保存工艺文件。点击 OK 完成文件载入。
- ⑧ 在 CIW 窗口中，选择 Toll→Library Manager，选择 RODpcells，查看验证载入的 spcres 与 spcpnp 已经存在。

#### 改变 pcell 参数

- ① 在 CIW 窗口中，点击选择 Toll→Library Manager，依次选择 design→pk44chip→layout，打开 pk44chip 版图设计窗口。
- ② 在版图设计窗口中，选择 Create→Instance，在 Create Instance 窗口中，点击右上角的 Browse 按钮，设置如下：

Library	pcell
Cell	spcres
View	layout

依次点击 Rotate 和 Upside Down 按钮。

- ③ 将 spcres 元件安置在 x=211.0、y=51.0 处，按 Esc 键并存档。
- ④ 选择 Create→Instance，仅改变 Cell 名为 spcpnp，点击 Upside Down 按钮，在 x=204.0、y=92.0 与 x=103.0、y=76.0 处，分别安置两个 spcpnp 元件版图。
- ⑤ 按 Esc 键退出添加。选择 Window→Zoom→In[z]，在版图中点击选择刚安置的 spcpnp 版图并放大之，便于一下操作。
- ⑥ 选择 Options→Display，在 Options Display 窗口中，点亮 Stretch Handles 并点击 OK，在版图中可以看到 spcpnp 的发射极显示拉伸手柄。
- ⑦ 选择 Edit→Stretch[s]，点击 x=204.0、y=92.0 处 spcpnp 的发射极拉伸手柄并拖动之，使得版图中显示的发射极宽度 width 为 3.6。
- ⑧ 同样方法，改变 x=103.0、y=76.0 处的另一 spcpnp 的发射极，使其宽度为 5.0。
- ⑨ 存档。

#### 创建矩形阵列

- ① 在 CIW 窗口中，选择 File→New→CellView，在弹出的 Create New File 窗口中，设置如下：

Library	design
Cell	skill_test
View	layout
Tool	Virtuoso

点击 OK，打开 skill\_test 的 layout 视图。若已经存在 skill\_test 的 layout 视图，在 overwrite 窗口中点击 Yes。

- ② 在 CIW 窗口中，输入如下命令：  
load("skill/multiPartRect.il")  
按 Return 键，自动载入矩形阵列。
- ③ 按盲键[f]调整窗口，按盲键[a]全部选择所有矩形阵列。

- ④ 选择 Edit→Move, 在弹出的 Move 窗口中, 设置 Y 区域移动距离为 20, 点击 Apply XY 按钮, 将矩阵延 Y 方向平移 20u。
- ⑤ 点击 Zoom Out 图标缩小视图, 以便看到版图的相对移动, 按键 Esc 取消移动。
- ⑥ 在 CIW 窗口中, 输入如下命令:  
load("skill/fillBBoxWithRects.il")  
按键 Return。
- ⑦ 按盲键[f]调整窗口, 可以同时看到添加的两个矩形阵列。
- ⑧ 关闭设计窗口。

#### 4. 预习要求

阅读实验原理部分, 了解 Stream 格式与 pcell 的意义。

#### 5. 实验报告

- ① 列出并熟悉已经使用过的版图操作命令。
- ② 体会 Pcell 与 Stream 格式转换的意义。

## Lab 11 pk44chip 芯片版图综合设计

### 1. 实验目的

熟悉版图设计环境  
掌握层次化设计方法  
学会版图综合设计方法

### 2. 实验内容

#### 编辑 pk44chip 视图

加载 control 模块

- ① 在 CIW 窗口中, 选择 File→Open, 设置如下:  
Library Name          design  
Cell Name              pk44chip  
View Name              layout  
点击 OK, 打开 pk44chip 的版图设计窗口。
- ② 在 pk44chip 版图设计窗口中, 选择 Create→Instance[i], 在 Create Instance 窗口中, 设置如下:  
Library                design  
Cell                    control  
View                   layout
- ③ 移动光标到 CIW 窗口中, 输入要安置的 control 模块坐标值: 110.4: 164.4, 按 Return 键, 完成 control 的安置, 同样方法, 安置另一个 control 模块, 位置为 x=83.8、y=164.4。
- ④ 按 Esc 键推出 Create Instance 窗口。

### 设置参考点

- ① 在版图设计窗口中，选择 Options→Layout Editor，在弹出的窗口中，点亮 Display Reference Point，点击 OK。
- ② 在版图设计窗口中，点击选择 control 模块，选择 Edit→Move，在 Edit Move 窗口中，设置 Snap Mode 为 any Angle。在 CIW 窗口中，可以看到提示如下：  
Point at the reference point for the move  
表明前面设置的参考点已经生效。
- ③ 点击选择的 control 模块，可以看到设置的参考点，此时的参考点为 control 模块自身所处的位置，在下面的 Move 命令中，将显示出参考点的作用。
- ④ 按住 Shift 键，使用小键盘上的左移箭头，观察 dX 和 dY 的变化，移动距离为 dx=-3.0、dY=0.0，即将选择的 control 模块向左平移离开参考点 3.0 个单位。
- ⑤ 按 Return 键完成安置 control 模块。
- ⑥ 选择 Options→Layout Editor，在弹出的窗口中，关闭 Display Reference Point，点击 OK。

### 加载 amplifier 模块

- ① 在 pk44chip 版图设计窗口中，选择 Create→Instance[i]，在 Create Instance 窗口中，设置如下：  
Library                      design  
Cell                          amplifier  
View                          layout
- ② 在窗口的任意空白位置添加 amplifier 模块，按 Esc 键推出添加，使用 LMB 选择刚添加的 amplifier 模块。
- ③ 在设计窗口中，选择 Edit→Properties [q]，在 Edit Instance Properties 窗口中，选择 Attribute，设置 Rotation 为 MX，输入坐标参数 x=0.5、y=55.7，点击 OK，可以看到刚才添加的 amplifier 模块已经安置在合适位置。
- ④ 使用同样方法安置另一 amplifier 模块：在 Edit Instance Properties 窗口中，设置 Rotation 为 R180，输入坐标参数 x=116.8、y=55.7，点击 OK 完成添加。
- ⑤ 存档。

### 层次化设计

#### 使用 Mark Net 命令

- ① 在 CIW 窗口中，选择 File→Open，设置如下：  
Library Name              design  
Cell Name                  pk44chip  
View Name                  layout  
点击 OK，打开 pk44chip 的版图设计窗口。
- ② 在 pk44chip 版图设计窗口中，选择 Design→Hierarchy→Tree，在弹出的窗口中，查看版图的顺序默认为从当前层到最底层（Current to botton），点击 OK，弹出文本窗口。
- ③ 在弹出的文本中，显示整个版图设计的层次化结构，各版层后的数字为每个单元版层在设计中引用的次数。在文本窗口中，选择 File→Close Window，关闭窗口。

- ④ 在设计窗口中，选择 Connectivity→Mark Net，在 CIW 窗口底部，显示提示如下（请选择要标注的 net）：

Point at a net to mark

- ⑤ 点击选择版图右上方的 vss! pad，在版图中以层次化的形式高亮显示（即在有 vss! pad 的任何版层中都以高亮显示），与 vss! pad 相连的接触孔只有 p-type contact，后续实验步骤将添加 PTAP 接触孔。
- ⑥ 选择 Connectivity→Unmark Net，取消高亮显示，在 Unmark Net 窗口中，点击 Unmark All 选项按钮。

层次化 Mark Net 设计

- ① 在 LSW 窗口中，使用 LMB 点击 metal1 dg，点击 NV 选项按钮，再使用 LMB 点击 metal2 dg，在设计窗口中，选择 Window→Redraw[<sup>^</sup>r]，即可实现 metal1 dg 与 metal2 dg 同时可视。
- ② 选择 Options→Display，在弹出的 Display Options 窗口中，设置 Display Levels 区域的 Start 和 Stop 选项均为 0，位于底层的 metal1 与 metal2 将不再可视。点击 OK。
- ③ 选择 Connectivity→Mark Net，点击选择位于 spcres 模块正上方的蓝色 metal1 path（一条连接两个 amplifier 的长条横线），使其以高亮显示，选择 Connectivity→Unmark Net，在 Unmark Net 窗口中，点击 Unmark All 选项按钮。
- ④ 选择 Connectivity→Mark Net，设置 Mark Net Hierarchy Range 为 Top to current，点击选择位于 spcres 模块上方左侧的长条垂线 metal2 path，在 Mark Net 窗口中，点击关闭 Cycle Through System Colors Automatically 按钮，设置 Current Mark Net Color 为 y9 drawing。
- ⑤ 点击选择位于两个 amplifier 模块正上方的蓝色 metal1 path（一条连接两个 amplifier 的长条横线），按 Esc 键退出 Mark Net 命令。选择版图左侧的 amplifier 模块，选择 Options→Display，在弹出的 Display Options 窗口中，设置 Display Levels 区域的 Start 为 0，Stop 为 32，点击 OK。
- ⑥ 选择 Design→Hierarchy→Descend[D]，选择 Connectivity→Mark Net，在版图中点击任意 net，都将在 y9 drawing 中以高亮显示。
- ⑦ 选择 Design→Hierarchy→Return[B]回到上层，所有点击选择的 net 都高亮显示，选择 Connectivity→Unmark Net，在 Unmark Net 窗口中，点击 Unmark All 选项按钮，取消高亮显示。
- ⑧ 再次选择 Design→Hierarchy→Descend[D]，进入下层后发现，高亮显示在上层已经取消，而在下层的 net 依然高亮显示。选择 Connectivity→Unmark Net，在 Unmark Net 窗口中，点击 Unmark All 选项按钮，在本层取消高亮显示。
- ⑨ 选择 Design→Hierarchy→Return[B]，回到上层版图，选择的所有 net 都不再以高亮显示。

Editing in Place

- ① 选择 Design→Hierarchy→Edit in Place[x]，在 CIW 窗口中，显示提示如下（请选择要编辑的模块）：

Point at a shape in the cellview to be edited-in-place

- ② 点击选择版图左侧的 amplifier 模块，注意到顶部的设计窗口名改变为“design amplifier layout”。

- ③ 选择 Window→Zoom→In [z], 将要编辑的 amplifier 模块放大至合适位置便于以下编辑。
- ④ 选择 Create→Contact, 以  $x=95.8$ 、 $y=150.7$  的位置开始, 从右至左每隔  $10\mu$  添加 PTAP 接触孔, 共添加 9 个 contact, 添加时 y 坐标不变, x 坐标递加, 完成后按 Esc 键退出添加状态。
- ⑤ **注意:** 在 Cadence 系统下, 所有添加元件 (包括 Schematic 和 Layout 中) 的方法均有手动和自动两种, 为了便于坐标的对准, 可通过在 CIW 窗口中输入坐标的方法, 完成添加任务。另外, 本部分实验所需图片在黑白两色下难以辨认, 故而没有图片作为参考, 只能以文字为准。
- ⑥ 选择 Options→Display, 在弹出的 Display Options 窗口中, 点击关闭 EIP Surround 选项, 点击 OK。版图中除了处于编辑状态的 amplifier 模块外, 周围的参考版图均不可视。

#### 编辑 npn

- ① 在 amplifier 设计窗口中, 选择 Window→Zoom→In [z], 将版图左上角的 npn 元件进行放大, 以便于以下编辑。
- ② 点击选择 npn 元件, 选择 Edit→Move[m], 再次点击选择的 npn 元件, 按 RMB 键 3 次, 实现 npn 逆时针旋转  $270^\circ$ 。
- ③ 安置旋转后的 npn 元件, 以集电极 (圆形区域中的正方块) 右下角与 amplifier 模块右侧的 path 刚好对齐为准。
- ④ 按 Esc 键退出并存档。

#### 编辑 pcell

- ① 点击选择刚才 npn 元件正下方的 spcres 电阻 (倒置的 U 形结构), 选择 Window→Zoom→In [z], 调整窗口。
- ② 选择 Edit→Properties[q], 在弹出的 Edit Instance Properties 窗口中, 选择 Parameter, 在下拉菜单中, 修改 serpWidth 为  $15.5\mu$ , w 为  $1.4\mu$ , 其余项不变。点击 OK。
- ③ 对比修改后 spcres 电阻尺寸的变化, 取消对 spcres 电阻的选择。

#### 使用 Chop 命令

- ① 在 amplifier 模块右下角, 选择并放大虚线表示的 nwell 区域 (横向 pnp 管的右侧矩形虚线框)。
- ② 选择 Edit→Other→Chop[C], 在 Chop 窗口中, 改变设置 Chop Shape 为 Rectangle。
- ③ 在设计窗口中, 围绕矩形虚线框画一矩形框将之包围 (注意所画矩形的高度不要超过横向 pnp 管), 可发现刚才选中的 nwell 区域, 被矩形框包围的下突部分已经被 Chop 掉 (切掉)。
- ④ 再次画矩形框, 矩形框的上边与横向 pnp 管正上方的虚线 (nwell 边界) 重合, 可将 nwell 边界线拉直, 不再有以下突部分。
- ⑤ 选择 Design→Hierarchy→Return[B], 回到上层的 pk44chip 设计窗口。
- ⑥ 存档。

#### 编辑 Flattened Data

- ① 在 pk44chip 设计窗口中, 选择 Options→Display, 在弹出的 Display Options 窗口中, 设置 Display Levels 区域的 Start 和 Stop 选项均为 0, 只有一层版图可视, 点击 OK。
- ② 选择版图左下角处, 位于 irefl 与 vinut 之间的 fiducial 模块, 选择

Edit→Hierarchy→Flatten, 默认 Flatten mode 为 one level, 在 fiducial 模块中的所有数据在层次化设计中, 都可认为是处于同一层, 以便编辑。

- ③ 选择 Window→Zoom→In [z], 调整 fiducial 模块的窗口大小至合适位置, 选择 Create→Layer Generation。
- ④ 按 Shift 键, 同时选择白色的 4 个“E”形图形, 在窗口顶部看到 select 项显示为 4, 则表明白色图形都已确定被选中。
- ⑤ 在 Layer Generation 窗口中, 从左至右依次改变 4 项设置如下:  
Contact dg      GROW BY      0.5      poly dg  
点击 Apply。
- ⑥ 从设计窗口可看到, 在 4 个白色“E”形图形外围 0.5u 范围内, 生成红色多晶硅的“E”形图形。选择 Edit→Undo[u], 取消操作, 在 Layer Generation 窗口中, 改变 GROW BY 值为 0.2, 点击 OK。
- ⑦ 点击 delete 图标, 删除原先选择的 4 个白色“E”形图形, 只留下红色的多晶硅图形。按 Shift 键, 同时选择 fiducial 模块中的 14 个项目 (包括文本与边框)。
- ⑧ 选择 Edit→Hierarchy→Make Cell, 在 MakeCell 窗口中, 设置如下:  
Library              design  
Cell                  fiducialx  
View                  layout  
点亮 Replace Figures 选项, 点击 OK。  
在设计窗口可看到, 刚才编辑的 fiducial 模块更名为 fiducialx。

### 3. 预习要求

- ① 完成 design 库中的 control 模块与 amplifier 模块版图设计。
- ② 熟悉层次化设计方法。

### 4. 实验报告

- ① 分析 pk44chip 芯片版图综合设计过程。
- ② 体会层次化设计的优点与意义。

## Lab 12 版图验证

### 1. 实验目的

了解版图验证工具  
学会版图验证方法  
学会查找和改正版图错误

### 2. 实验原理

#### Diva 概念

Diva 是 Cadence 软件中的验证工具集, 用来找出并纠正设计中的错误。它除了可以处理物理版图和准备好的电气数据, 从而进行版图和线路图的对查



(LVS) 外，还可以在设计的初期就进行版图检查，尽早发现错误并互动地把错误显示出来，有利于及时发现错误所在，易于纠正。

Diva 为图形化的交互方式工具，便于操作但精度不高，主要用于线宽 0.35um 以上的中小规模电路和模拟电路。Dracula (吸血鬼) 是 Cadence 系统的一个独立的版图验证工具，它采用批处理的工作方式。Dracula 功能强大，目前被认为布局验证的标准，几乎全世界所有的 IC 公司都拿它作 sign-off 的凭据。特别是对整个芯片版图的最后验证，一定要交由 Dracula 处理。主要功能包括：设计规则检查—DRC、电气规则检查—ERC、版图与电路原理图一致性检查—LVS、版图参数提取—LPE、寄生电阻提取—PRE 等。

Diva 验证流程，如图 12.1 所示。

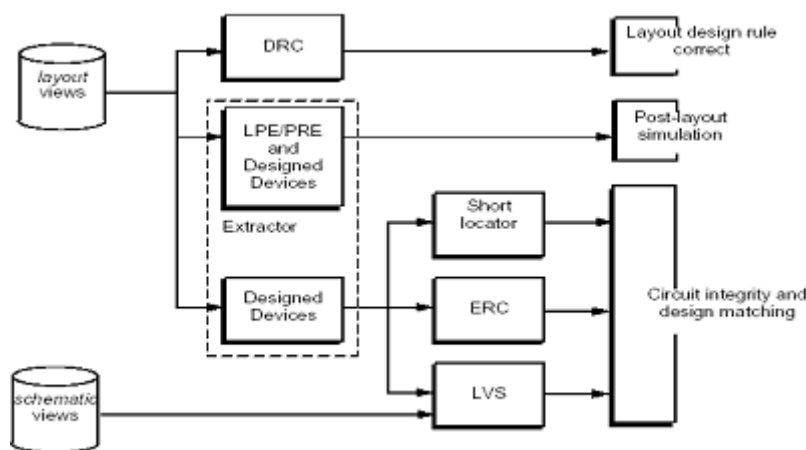


图 12.1 Diva 验证流程

## Diva 工具集

DIVA 工具集包括：

### ① 版图设计规则检查 (DRC)：

对 IC 版图做几何尺寸检查，以确保电路能够被特定加工工艺实现。

### ② 版图寄生参数提取 (LPE)

从版图数据库提取电气参数 (如 MOS 的 W、L 值, BJT、二极管的面积、周长、结点寄生电容等)，并以 Hspice 网表方式表示电路。

### ③ 电气规则检查 (ERC)：

检查电源、地的短路，悬空器件和节点等电气特性。

### ④ 版图与电路图一致比较 (LVS)：

将版图与电路原理图作对比，以检查电路的连接，与 MOS 的宽长比是否匹配。

Diva 中各个组件之间是互相联系的，有时候一个组件的执行要依赖另一个组件先执行。例如：要执行 LVS 就先要执行 DRC 与 Extraction。运行 Diva 之前，要准备好规则验证文件，这些文件有默认名称：

做 DRC 时的文件应以 divaDRC.rul 命名；

版图提取文件以 divaEXT.rul 命名；

做 LVS 时规则文件应以 divaLVS.rul 命名。

## DRC

DRC 流程，如图 12.2 所示。

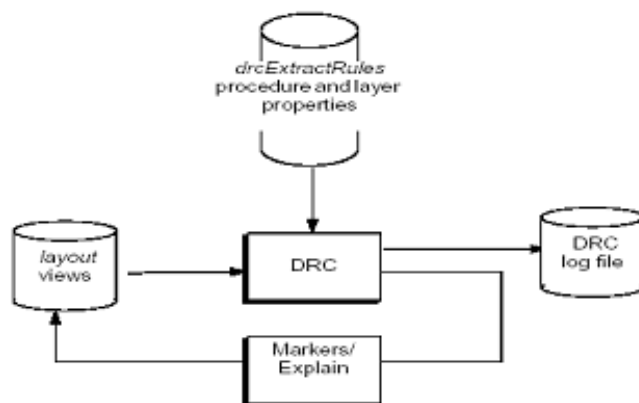


图 12.2 DRC 流程

### DRC 界面简介

DRC 界面如图 12.3 所示。

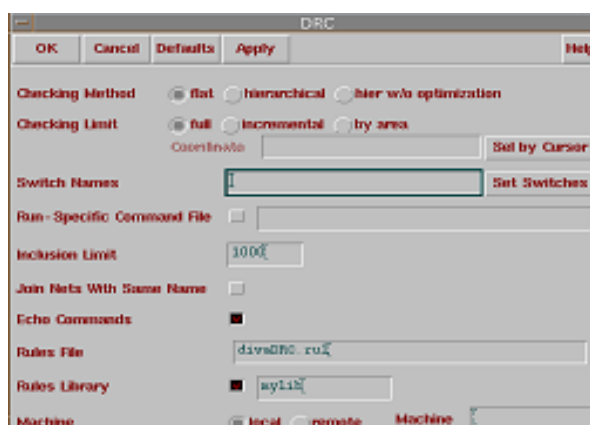


图 12.3 DRC 界面

#### ① Checking Method

是指被检查版图的类型。**Flat**: 检查版图中所有的图形，对子版图块不检查。(与电路图类似，最上层电路由模块组成，而模块由小电路构成。复杂的版图也是如此)。

**Hierarchical**: 利用层次之间的结构关系和模式识别优化，检查版图中每个单元块内部是否正确。

**hier w/o optimization**: 利用层次之间的结构关系而不用模式识别优化，来检查电路中每个单元块。

#### ② Checking Limit

选择检查的范围，具体指哪一部分的版图需要执行 DRC。**Full**: 表示检查整个版图。

**Incremental**: 对自从上一次 DRC 检查以来有所改变的版图执行检查，对没有改变过的版图不予检查，以节省检查时间。

**by area**: 是指在指定区域进行 DRC 检查。一般版图较大时，可以有针对性地分块检查，以提高检查效率。

#### ③ Switch Names

在 DRC 文件中，所有设置的 switch 都会在这里出现。这个选项可以方便对版图文件进行版层化的分类检查，这在大规模电路检查中非常重要。

#### ④ Rule File

指明 DRC 规则文件的名称，一般默认为 divaDRC.rul。Machine

Local: 表示在本机上运行。Remote: 表示在远程机器上运行。

#### Diva 查错

DRC 检查以后，所有错误都会在 CIW 窗口中显示，也会在版图中以高亮显示，很容易观察到。另外也可以选择 Verify→Markers→Find 菜单来帮助找错。单击菜单后会弹出一个窗口，在这个窗口中单击 Apply 就可以显示第一个错误。

同样，可以选择 Verify→Markers→Explain 来查看错误的原因提示。选中该菜单后，用鼠标左键在版图上有错误的地方单击就可以了。也可以选择 Verify→Markers→Delete 删除关于错误的提示。

#### Extraction

Extraction 流程，如图 12.4 所示。

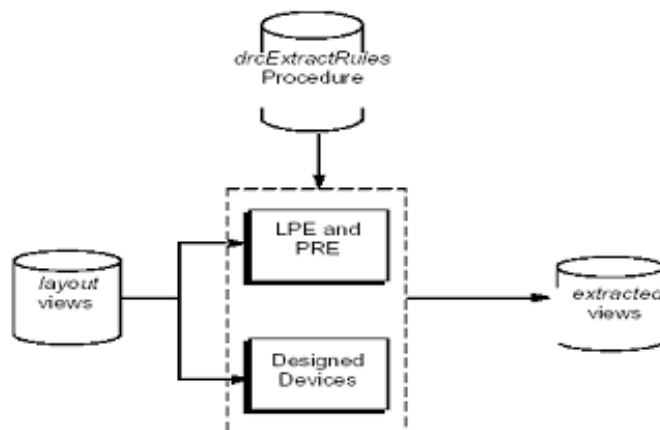


图 12.4 Extraction 流程

Extraction 功能

- ① 提取器件和互联信息，用于后续 ERC 或 LVS 检查
- ② 提取网表
- ③ 提取有寄生参数的版图网表用于模拟

#### LVS

LVS 流程，如图 12.5 所示。

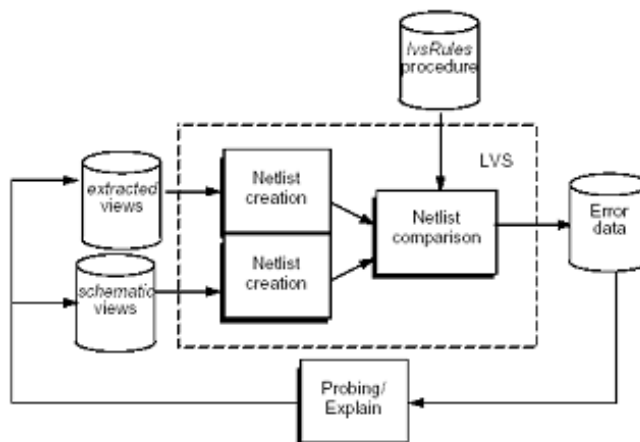


图 12.5 LVS 流程

### 3. 实验内容

启动 diva: 在终端窗口输入命令, 并按 Return 键:

```
cd ~/diva
```

```
icfb &
```

## DRC

运行 DRC

- ① 在终端窗口 xterm 中, 输入命令:

```
cd ~/diva
```

按 Return 键, 接着输入:

```
icfb &
```

按 Return 键, 启动 diva。

- ② 在 CIW 窗口中, 选择 File→Open, 设置如下:

Library Name            design

Cell Name                peakDetect

View Name                layout

点击 OK, 打开 peakDetect 的版图设计窗口。

- ③ 在 peakDetect 版图设计窗口中, 选择 Verify→DRC, 在弹出的 DRC 窗口设置如下:

Checking Method        flat

Checking Limit         full

点击 Set Switches 按钮, 在弹出的窗口中选择 poly1, 点击 OK, 在 DRC 窗口点击 OK, 运行 DRC。

- ④ 在 CIW 窗口中, 可以看到错误报告, 共发现 20 个错误。

查看错误

- ① 在 peakDetect 版图设计窗口中, 选择 Verify→Markers→Find, 在弹出的 Find Markers 窗口中, 点亮 Zoom To Markers 按钮, 再点击 Next 按钮, 可在版图中看到错误标记之处, 在 marker text 窗口中看到相应错误的原因, 依次点击 Next 按钮, 可查看每个错误。

- ② 关闭 marker text 窗口, 在 Find Markers 窗口中, 点击 Delete 按钮, 删除错误标记, 再点击 Cancel 按钮, 退出 Find Markers 窗口。

- ③ 选择 Verify→DRC, 点击 Set Switches 按钮, 在弹出的窗口中选择 allInterconnect, 点击 OK, 在 DRC 窗口点击 OK, 运行 DRC。

- ④ 选择 Edit→Search[S], 设置 Search 窗口 (如图 12.1 所示) 如下:

Search for            any shape    in current cellview

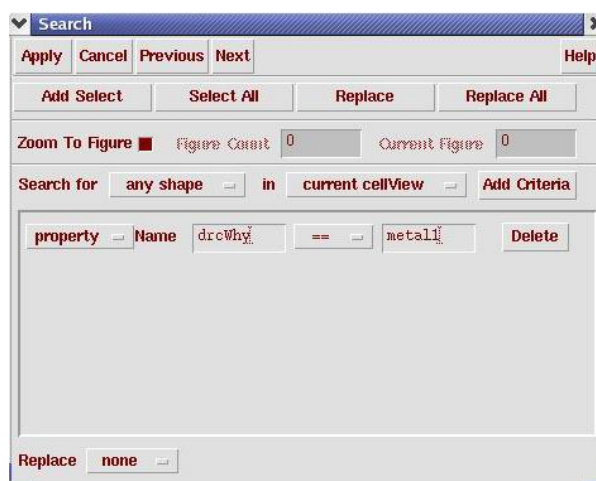
点亮 Zoom To Figure 选项, 点击 Add Criteria 按钮, 在 Search For 栏目正下方, 改变 layer 为 property, 输入如下:

```
property    name: drcWhy    =    metal1
```

点击 Apply。

- ⑤ 在 Search 窗口中, 显示 metal1 的错误共有 11 个, 点击 Next (或 Previous) 按钮, 可在版图中看到错误标记之处, 在 marker text 窗口中看到相应错误的原因, 依次点击 Next 按钮, 可查看每个错误。

- ⑥ 在 Search 窗口中, 点击 Cancel, 退出查看。



12.6 Search 窗口

### 局域 DRC

- ① 在 peakDetect 版图设计窗口中，选择 Window→ Fit All[f]，再按盲键[<sup>^</sup>f]，只显示最上层的版图，找到窗口底部位于 vinut 与 vdd!之间的 fiducial 模块，点击选择之。
- ② 选择 Design→ Hierarchy→ Descend[X]，在 fiducial 版图窗口中，选择 Design→ Properties[Q]，在弹出的 Edit Cellview Properties 窗口中，点击 Property 按钮，弹出 property editor 窗口。
- ③ 在 property editor 窗口中，点击 Add 按钮，弹出 Add Property 窗口，设置参数如图 12.7 所示：

Name      ivIncludeValue

Type      Int

Value      2

点击 OK。

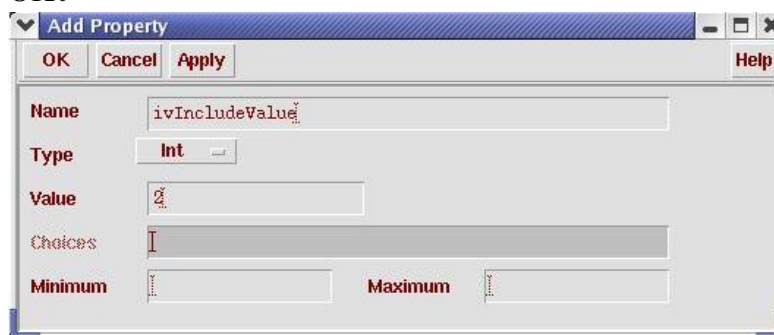


图 12.7 Add Property 窗口

- ④ 在 property editor 窗口点击 OK。选择 Design→ Hierarchy→ Return[B]，回到上层版图设计窗口，在 Save Changes 窗口中，点击 Yes 存档。
- ⑤ 选择 Verify→ DRC，在 DRC 窗口中，设置 Inclusion Limit 为 0，点击 Set Switches 按钮，在弹出的窗口中选择 allInterconnect，点击 OK，在 DRC 窗口点击 OK，运行 DRC。
- ⑥ 在 fiducial 单元中无错误显示，选择 Verify→ Markers→ Delete All，在 Delete All Markers 窗口中，点击 OK，删除所有错误标记。
- ⑦ 选择 Window→ Fit All[f]，再按盲键[<sup>^</sup>f]，只显示最上层的版图信息，选择 Verify→ DRC，设置 DRC 窗口如下：

Checking Method	flat
Checking Limit	by area
Set Switches	allInterconnect
Run-Specific Command File	/zero Halo

- ⑧ 点击 Set Switches 按钮，在弹出的窗口中选择 all，点击 OK，在 DRC 窗口点击 OK，运行 DRC。使用 LMB 在版图设计中任意地画选择框，注意到只有框内的区域运行了 DRC。
- ⑨ 按盲键[F]显示所有版层，选择 Verify→Markers→Find，用于查看所有错误信息，选择 Verify→Markers→Delete All，在 Delete All Markers 窗口中，点击 OK，删除所有错误标记。

#### 层次化 DRC

- ① 在 peakDetect 版图设计窗口中，按盲键[<sup>^</sup>f]用于显示最上层的版图，选择 Verify→DRC，设置 DRC 窗口如下：

Checking Method	hierachical
Checking Limit	full

关闭 Run-Specific Command File 按钮，点击 Set Switches 按钮，在弹出的窗口中选择 all，点击 OK，在 DRC 窗口点击 OK，运行 DRC。在 CIW 窗口中，可以看到详细的错误报告如下：

.....

#### Optimizing rules

Maximum halo distance is 25

Doing: design/fiduciald/layout

Doing: design/nand2/layout

Doing: design/inv/layout

.....

- ② 在版图设计窗口中，按盲键[<sup>^</sup>f]，点击选择版图顶部中间位置的 control 模块，选择 Design→Hierarchy→Descend[X]，在 control 版图设计窗口中，选择 Verify→Markers→Find，点亮 Zoom To Markers 按钮，点击 Next 按钮查看错误，第一个错误如下显示：

location : (“design” “control” “layout”)

reason: 3a: minimum poly1 width=0.6

- ③ 再点击 Next（或 Previous）按钮，可查看其它错误，在 Find Markers 窗口中，点击 Cancel 退出。
- ④ 在版图设计窗口中，选择 Window→Fit All[f]，在版图上方中部位置，选择红色的多晶硅线条 poly1（最细的一条），选择 Edit→Properties，在 Edit path Properties 窗口中，改变原来的 Width 0.4 为 0.6，点击 OK。
- ⑤ 在所选 poly1 的周围，点击 RMB 画选择框，然后松开鼠标，即可实现局部放大。点击 ruler 图标，在 poly1 下方与 poly1 没有连接的 nand2 的栅极（红色）上边界处点击 LMB，添加 ruler，向上度量 1.0u，再次点击 LMB，按 Esc 键退出添加 ruler 状态。

**注意：**局部放大与标尺度量是版图设计中特别常用的手段，必须熟练掌握。

- ⑥ 点击 Stretch 图标，点击 poly1，向上拖动 poly1 至标尺 1.0 位置处，按 Esc 键，以满足版图设计规则中 poly1 之间最小间距 1.0u 的要求。完成操作后与图 12.8 对比。

- ⑦ 选择 Design→ Hierarchy→ Return[B], 在对话框中点击 Yes, 完成存档, 回到 peakDetect 版图设计窗口。
- ⑧ 选择 Verify→ DRC, 再次运行 DRC, 选择 Verify→ Markers→ Find, 点击 Next (或 Previous) 按钮查看错误, poly1 的错误已经不复存在。
- ⑨ 关闭 DRC 窗口。

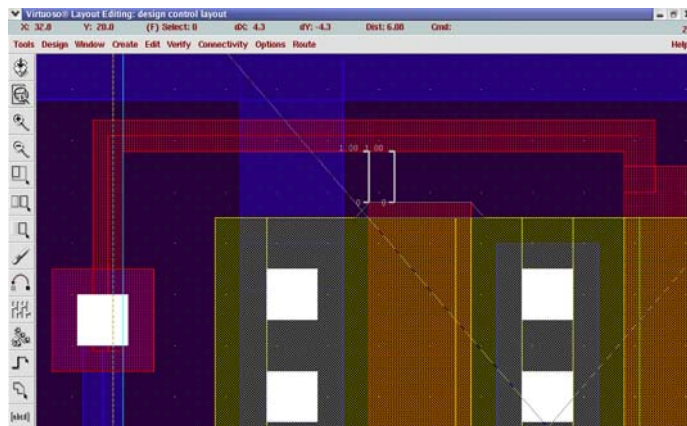


图 12.8 control 版图改错窗口

## Extraction

运行 Extraction

- ① 在 peakDetect 版图设计窗口中, 选择 Verify→ Extract, 选择 Extract Method 为 flat, 点击 OK, 在 CIW 窗口中, 显示错误提示为:

Total errors found: 0

在 Library Manager 窗口中, 依次点击 design→peakDetect, 在视图栏可看到新增了 peakDetect 的 Extracted 视图文件。

- ② 打开 peakDetect 的 Extracted 视图, 点击选择版图顶部位于 in2 和 vcap 之间的 control 模块, 先进行局部放大, 再按盲键[f], 查看 control 模块所有版图信息。
- ③ 再次局部放大版图中的绿色符号, 可以方便地查看每个单元版图的详细信息, 比如 mos 管的宽长比等。
- ④ 选择 Options→Display[e], 在 Display Options 窗口中, 点亮 Display Controls 栏的 Nets 按钮, 点击 Apply, 显示版图中 pin 之间的所有连线网络。查看结束后, 关闭 Nets 按钮, 点击 OK。
- ⑤ 在 Extracted 窗口中, 选择 Window→ Fit All[f], 选择 Verify→ Probe, 弹出 Probing 窗口, 如图 12.9 所示。在 Probing 窗口中, 点击 Add Net 按钮, 在 Extracted 窗口中, 点击选择 vininput, 可以看到, 与 vininput 相连的所有网络均高亮显示。



图 12.9 Probing 窗口



- ⑥ 在 Probing 窗口中，点击 Add Net 按钮，在 CIW 窗口中，输入如下命令：  
“vdd!”  
所有与 vdd! 节点相连的网络均高亮显示。
- ⑦ 在 Probing 窗口中，将 Explain 栏设置为 on CIW，点击 Explain 按钮，在 Extracted 窗口中，点击 vdd!，在 CIW 窗口中，显示网络名如下：  
Object Type: net  
Object Name: dd!
- ⑧ 在 Probing 窗口中，点击 Remove All 按钮，所有高亮显示的连线网络均被取消，点击 Cancel，关闭 Probing 窗口。

启动 Diva

- ① 关闭所有窗口。在 xterm 中，输入命令如下（每输入一行按 Return 键）：  
cd ~/VLE\_5033/Diva  
setenv CDS\_Netlisting\_Mode Analog  
layoutPlus &  
关闭 What's New 窗口，启动 Diva。
- ② 在 CIW 中，选择 File→Open，参数设置如下：  
Library Name     DIVA  
Cell Name        pk445chip  
View Name        layout  
点击 OK，打开 pk445chip 的版图设计窗口。
- ③ 在 k445chip 的版图设计窗口中，选择 Verify→Extract，选择 Extract Method 为 flat，点击 OK，在 CIW 窗口中，显示错误提示为：  
Total errors found: 0
- ④ 在 Library Manager 窗口中，依次点击 design→pk445chip，在视图栏可看到新增了 pk445chip 的 Extracted 视图文件。
- ⑤ 打开 pk445chip 的 Extracted 视图与 schematic 视图。

## LVS

运行 LVS

- ① 在 Extracted 窗口中，选择 Verify→LVS，若弹出对话框，点击 Close，在 LVS 窗口中，设置如下：  
Run Directory     LVS  
Rules File        divaLVS.rul  
Rules Library     design  
LVS Options       点亮 Rewiring 和 Terminals 按钮
- ② 在 LVS 栏点击 Run 按钮，在 CIW 窗口中，显示如下：  
LVS job is now started.  
在弹出的 Analysis Job Succeeded 窗口提示 LVS 运行成功，点击 OK 关闭之。若弹出关于存档（save cellviews）的对话框，点击 OK。
- ③ 在 LVS 窗口中，点击 Info 按钮，在弹出的 Display Run Information 窗口中，点击 Log File 按钮运行 LVS 日志文件，显示版图与电路原理图所有不能匹配的节点信息。
- ④ 关闭 Log File 窗口。移动鼠标到 Extracted 窗口中，按 Esc 键，确保 Extracted 窗口为当前操作窗口。

查找错误

- ① 在 LVS 窗口中, 点击 Error Display 按钮, 在弹出的 Error Display 窗口中, 点击 Display 栏内的 All 按钮, 在弹出的窗口中点击 close。
- ② 在 Extracted 窗口中, vss!、gnd!、vdd!都以高亮显示, 表明都是与电路原理图不能匹配的节点, 在设计窗口底部, 位于 gnd!与 vdd!之间的 fiduciald 模块中, nmos 与 pmos 也以高亮显示, 表明是不能匹配的元件。
- ③ 在 LVS 窗口中, 点击 Info 按钮, 弹出 Display Run Information 窗口, 在 Extracted 栏点击 Bad Terminals 按钮, 弹出 Bad Terminals 的文本, 可以查看所有错误 Terminal 的信息。选择 File→Close Window, 关闭窗口。
- ④ 在 Extracted 栏点击 Bad Devices 按钮, 弹出 Bad Devices 的文本, 可以查看所有错误 Device 的信息, 其中, /+42 与 /+16 是内部元件名。选择 File→Close Window, 关闭窗口。
- ⑤ 在 LVS Error Display 窗口中, 点击 Clear Display 按钮, 再点击 cancel 退出并关闭之。
- ⑥ 关闭所有窗口。

#### 4. 附加实验

对 pk445chip 运行 DRC 并查错。

#### 5. 预习要求

阅读实验原理部分, 了解版图验证方法与各模块功能。

#### 6. 实验报告

- ① 简述版图验证工具 Diva。
- ② 总结版图验证流程, 说明各部分之间的关系。

## Lab 13 版图识别

### 1. 实验目的

掌握基本单元版图  
熟悉版图设计环境  
学会电路图与版图间的交互识别方法

### 2. 实验原理

版图与电路原理图之间是相互对应的关系, 从版图能提取出电路原理图, 相应地从电路原理图可以设计出对应的版图。本实验旨在练习基本单元 MOS、inverter、nand2、nor2、BJT 等的版图识别能力, 并在此基础上, 力求使读者看懂基本数字集成电路与数模混合集成电路的版图连接和版层结构, 达到版图识别的目的, 关于版图设计方面的知识, 可参阅《集成电路版图设计》(赛因特著, 清华大学出版社, 2004)。

### 3. 实验内容

## 基本单元版图

### inverter

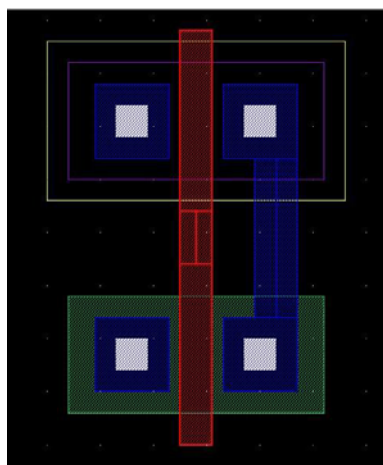


图 13.1a inverter 版图

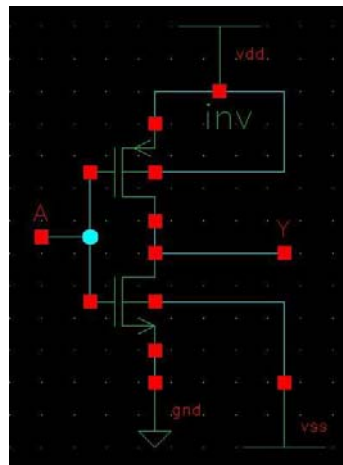


图 13.1b inverter 电路图

- ① 在终端窗口 xterm 中，输入如下命令：  
cd ~/VLE\_5033/Diva  
按 Return 键，接着输入：  
layoutPlus &  
按 Return 键，启动 Diva。
- ② 在 CIW 窗口中，选择 File→Open，设置如下：  
Library Name          DIVA  
Cell Name              1inv  
View Name              layout  
点击 OK，打开 1inv 的版图设计窗口，如图 13.1a 所示。
- ③ 在 CIW 窗口中，选择 File→Open，设置如下：  
Library Name          design  
Cell Name              inverter  
View Name              layout  
点击 OK，打开 inverter 的版图设计窗口。
- ④ 与图 13.1a 对比，两版图结构完全相同，实质上并无区别，只是 cmos 的宽长比不同，故而相应的接触孔个数不同。
- ⑤ 从 design 库中打开 inverter 的电路原理图 Schematic 如图 13.1b 所示，对比电路图与版图之间的联系。
- ⑥ 在 LSW 窗口中，查看每一层版图 (poly、metal1、ndiff、pdiff、nwell、contact 等)，与所学 CMOS 工艺对比，理解每一层版图所对应的制造工艺。
- ⑦ 熟记 inverter 单元版图。

### nand2

- ① 从库 DIVA 中，打开 2nand 的版图设计窗口，如图 13.2a 所示；从库 design 中，打开 nand2 的版图设计窗口。
- ② 与图 13.2a 对比，两版图只是 mos 管的宽长比不同，故而相应的接触孔个数不同。
- ③ 从 design 库中打开 nand2 的电路原理图如图 13.2b 所示，对比电路图与版图之间的联系，从电路图看懂版图，相应地从版图看懂电路图。

- ④ 在 LSW 窗口中, 查看每一层版图 (poly、metal1、ndiff、pdiff、nwell、contact 等), 与所学 CMOS 工艺对比, 理解每一层版图所对应的制造工艺。
- ⑤ 了解 CMOS 型电路的版图互连方法。
- ⑥ 熟记 nand2 单元版图。

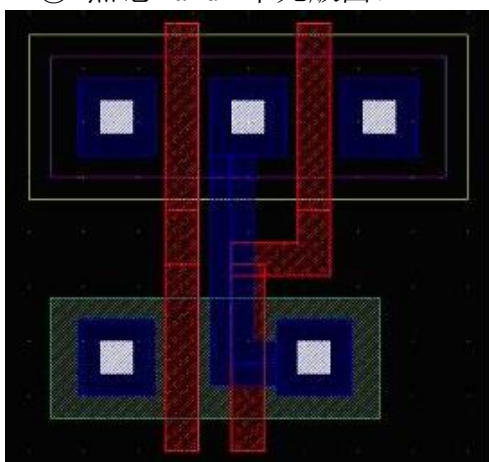


图 13.2a nand2 版图

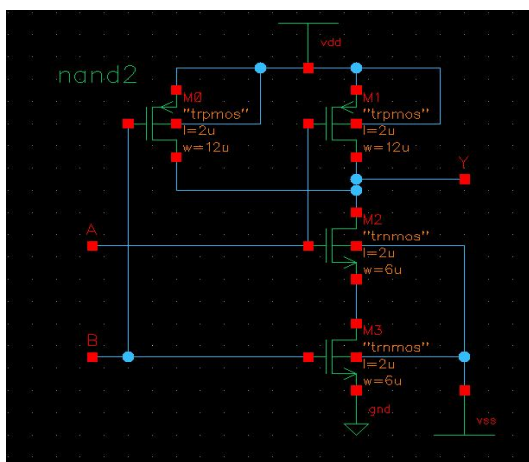


图 13.2b nand2 电路图

## 2nor

- ① 从库 DIVA 中, 打开 2nor 的版图设计窗口, 如图 13.3a 所示。

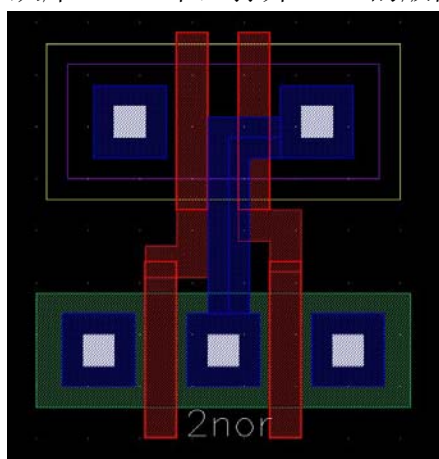


图 13.3a 2nor 版图

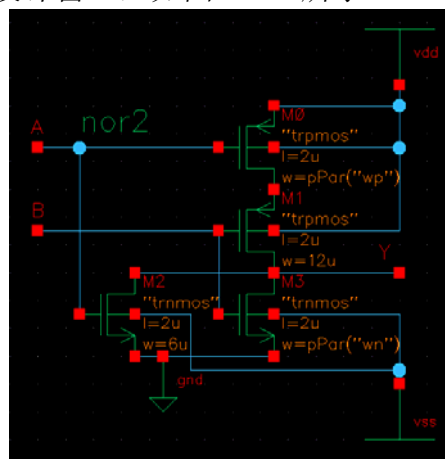


图 13.3b 2nor 电路图

- ② 绘制 2nor 电路草图如图 13.3b 所示, 对比电路图与版图之间的联系, 从电路图看懂版图, 相应地从版图看懂电路图。
- ③ 在 LSW 窗口中, 查看每一层版图 (poly、metal1、ndiff、pdiff、nwell、contact 等), 与所学 CMOS 工艺对比, 理解每一层版图所对应的制造工艺。
- ④ 与 nand2 对比, 掌握 CMOS 型电路的版图互连方法。
- ⑤ 熟记 2nor 单元版图。

## BJT

- ① 从库 DIVA 中, 打开 npn 与 pnp 的版图设计窗口, 分别如图 13.4a 与 13.4b 所示。
- ② 利用 LSW 窗口, 找出 npn 与 pnp 的三个电极 e、b 和 c, 查看与相应版层的对应关系, 注意横向 pnp 管的版图结构特点。
- ③ 在 LSW 窗口中, 查看每一层版图 (metal1、ndiff、pdiff、buried、contact 等), 与所学埋层 BJT 工艺对比, 理解每一层版图所对应的制造工艺。
- ④ 熟记 BJT 单元版图。

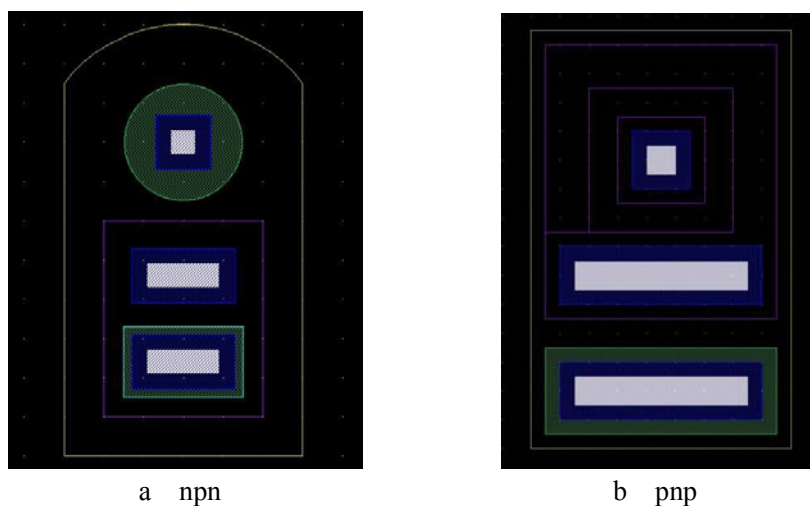


图 13.4 BJT 版图

### 功能模块版图

#### control 模块

- ① 从库 DIVA 中，打开 control 的版图设计窗口与电路原理图设计窗口，分别如图 13.5a、13.5b 所示。

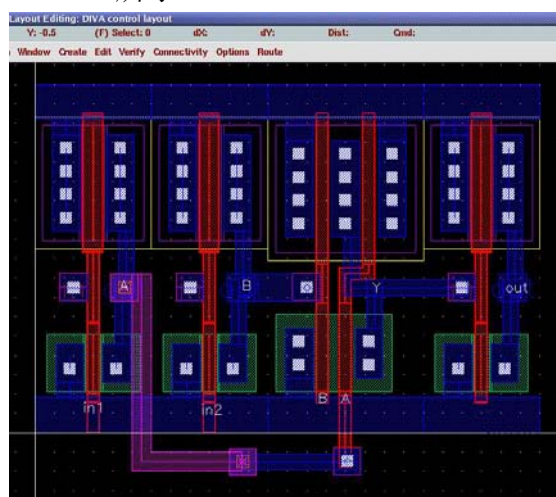


图 13.5a control 版图

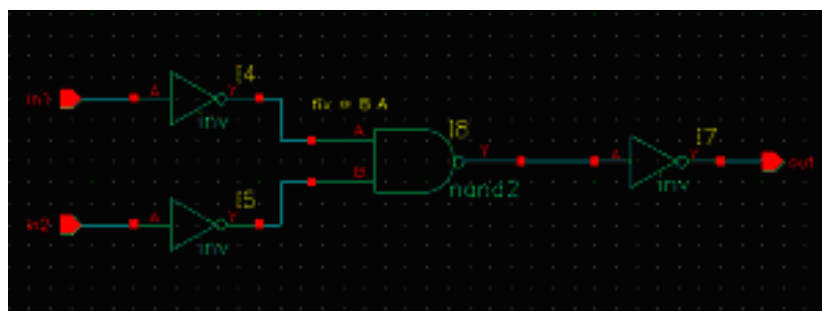


图 13.5b control 电路原理图

- ② 对比电路图与版图，找到两者之间的联系，从电路图看懂版图，相应地从版图看懂电路图。体会 Schematic 与 Layout 之间的关联性，了解从电路图到版图的画法。
- ③ 从库 design 中，打开 control 的版图设计窗口，与图 13.5a 对比。
- ④ 将库 design 中的 control 版图实现三条线的连接：Inverter1 的输出 Y pin

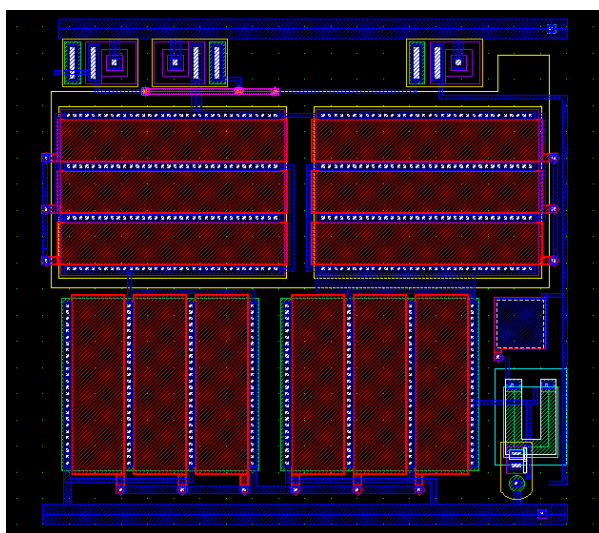
与 nand2 的输入 A pin、Inverter2 的输出 Y pin 与 nand2 的输入 B pin 以及 Inverter3 的输入 pin 与 nand2 的输出 Y pin。

⑤ 连接时注意，不同层之间的连接必须添加实现两层互通的 via。在 lab9 中，有具体的连接方法可以参考。

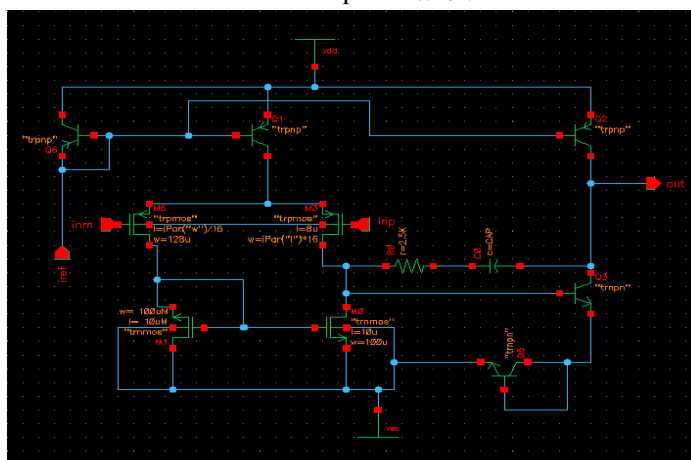
⑥ 正确连接后，执行 DRC 检查，与图 13.5a 对比。

amplifier 模块

① 从库 DIVA 中，打开 amplifier 的版图设计窗口与电路原理图设计窗口，分别如图 13.6a、13.6b 所示。



13.6a amplifier 版图



13.6b amplifier 电路原理图

② 在版图设计窗口中，选择 Verify→ Extract，选择 Extract Method 为 flat，点击 OK，运行 Extraction。

③ 在 Library Manager 窗口中，打开 amplifier 的 Extracted 视图，局部放大版图中的绿色符号区域，可以看到每个模块所对应的单元版图信息，与电路原理图 13.6b 对比。

④ 在 Extracted 视图中，选择 Options→Display[e]，在 Display Options 窗口中，点亮 Display Controls 栏的 Nets 按钮，点击 Apply，显示版图中 pin 之间的所有连线网络。

⑤ 在版图设计窗口中，利用层次化方法，找到单元版图与原理图中各元件之间的联系。

- ⑥ 从步骤③、④、⑤中，体会 Schematic 与 Layout 之间的关联性，从电路图看懂版图，了解从 Schematic 到 Layout 的节点连接与版图画法。

## 4. 附加实验

将库 design 中的 pk44chip 从版图提取电路图。

## 5. 预习要求

复习 lab7 的实验原理部分，熟悉版图设计环境。

## 6. 实验报告

- ① 以 nand2 为例，分析版图与电路图的对应关系。
- ② 识记常用单元版图。

# Lab 14 版图改错

## 1. 实验目的

熟悉版图设计环境  
掌握 MOS 与 BJT 版图设计规则  
学会版图改错方法

## 2. 实验原理

版图验证后，版图中的所有错误必须经过版图改错加以纠正，改错的凭据此处主要是 DRC 规则以及 LVS 的结果。本实验旨在练习并强化对版图操作的能力，以及掌握版图设计规则，故而版图改错主要依据 DRC 规则来进行，请参考 lab12 的实验原理部分。

## 3. 实验内容

### peakDetect 版图改错

查看错误

- ① 在终端 xterm 窗口中，从 cd ~/diva 路径下启动 diva，在 design 库中，打开 peakDetect 的版图设计窗口。
- ② 在版图设计窗口中，选择 Verify→ DRC，设置 Checking Method 为 Hierarchical，Checking Limit 为 full，点击 Set Switches 按钮，在弹出的窗口中选择 all，点击 OK，在 DRC 窗口点击 OK，运行 DRC。
- ③ 在版图设计窗口中，选择 Verify→ Markers→ Find，在弹出的 Find Markers 窗口中，点亮 Zoom To Markers 按钮，再点击 Next 按钮，可在版图中看到错误标记之处，在 marker text 窗口中看到相应错误的原因，依次点击 Next 按钮，可查看每个错误。
- ④ 在版图设计窗口中，按盲键[<sup>^</sup>f]，点击选择版图中有白色高亮闪动显示的其中任意一个模块，选择 Design→ Hierarchy→ Descend[X]，在子版图设计窗口中，选择 Verify→ Markers→ Find，点亮 Zoom To Markers 按钮，点击 Next

按钮查看下层的版图错误。

#### 修改错误

- ① 在下层版图设计窗口中，执行 **Verify→Markers→Find** 或 **Explain** 后，根据错误提示，按照版图设计规则，将错误逐一修改。
- ② 一般方法：对间距尺寸不当引起的错误，将错误区域局部放大后用标尺度量尺寸，使用 **Stretch** 命令或 **Move** 命令进行拉深和移动操作，更正版图至合适位置。
- ③ 单元尺寸错误：在点击选择该单元后，按盲键[q]，通过改变坐标等属性来修改单元错误。
- ④ 单元属性错误：关系到该单元的参数化定义，此处不予更正。
- ⑤ 注意：在改正某一部分的尺寸错误时，必须考虑到周围其它单元或版层的位置是否合理。
- ⑥ 再次执行 **DRC** 检查，若修改处不再有白色高亮闪动显示，则表明错误修改成功，否则，根据错误提示再次更正版图。
- ⑦ 下层错误修改后，回到上层版图中，选择 **Verify→DRC**，设置 **Checking Method** 为 **flat**，**Checking Limit** 为 **full**，点击 **Set Switches** 按钮，在弹出的窗口中选择 **all**，点击 **OK**，在 **DRC** 窗口点击 **OK**，运行 **DRC**。
- ⑧ 对错误进行修改后，再次执行 **DRC** 检查，直至所有错误更正成功为止。

#### pk445chip 版图改错

##### 查看错误

- ① 在终端 **xterm** 窗口中，从 **cd ~/VLE\_5033/Diva** 路径下启动 **diva**，在 **DIVA** 库中，打开 **pk445chip** 的版图设计窗口。
- ② 在版图设计窗口中，选择 **Verify→DRC**，设置 **Checking Method** 为 **flat**，**Checking Limit** 为 **full**，点击 **Set Switches** 按钮，选择 **all**，点击 **OK**，在 **DRC** 窗口点击 **OK**，运行 **DRC**。
- ③ 选择 **Verify→Markers→Find**，点亮 **Zoom To Markers** 按钮，再点击 **Next** 按钮，可在版图中看到错误标记之处，在 **marker text** 窗口中可看到相应错误的原因，依次点击 **Next** 按钮，可查看每个错误。

##### 修改错误

- ① 根据错误提示，按照版图设计规则，将错误逐一修改，方法如前所述。
- ② 顶层版图错误修改之后，再次执行 **DRC** 检查，设置 **Checking Method** 为 **Hierarchical**，**Checking Limit** 为 **full**，运行 **DRC**。
- ③ 按盲键[^f]，点击选择版图中有白色高亮闪动显示的其中任意一个模块，选择 **Design→Hierarchy→Descend[X]**，在子版图设计窗口中，选择 **Verify→Markers→Find**，点亮 **Zoom To Markers** 按钮，点击 **Next** 按钮查看下层的版图错误。
- ④ 根据错误提示，按照版图设计规则修改错误。
- ⑤ 修改完毕后回到顶层版图窗口中，再次执行 **DRC** 检查，直至所有错误更正成功为止。

## 4. 附加实验

将 **pk445chip** 从版图提取电路图。

## 5. 预习要求



- ① 阅读 lab12 的实验原理部分。
- ② 复习 lab6 和 lab8 中的 DRC 规则。

## 6. 实验报告

- ① 列出实验中出现过的版图设计规则
- ② 分析版图改错的一般方法

# lab 15 RS 触发器设计

## 1. 实验目的

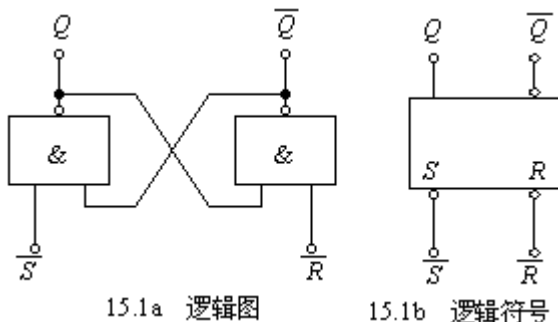
- 1.1 熟悉原理图设计方法
- 1.2 熟悉版图设计方法
- 1.3 熟悉版图验证方法

## 2. 实验原理

触发器是具有记忆功能的基本器件，是构成时序电路的基本单元。RS 触发器是最为基本的一类触发器，本实验设计 CMOS 与非门结构的 RS 触发器电路原理图与物理版图，并在版图基础上进行版图验证，附加实验内容为原理图之后的电路仿真，旨在完成 CIC 设计过程中的核心步骤。

### 2.1 工作原理

与非门结构的基本 RS 触发器，逻辑图与逻辑符号分别如图 15.1a、15.1b 所示。其工作原理叙述如下：



①  $\bar{R}=0$ 、 $\bar{S}=1$ ：由于  $\bar{R}=0$ ，不论原来  $\bar{Q}=1$  还是 0，都有  $\bar{Q}=1$ ；再由  $\bar{S}=1$ 、 $\bar{Q}=1$  可得  $Q=0$ 。即不论触发器原来处于什么状态都将变成 0 状态，这种情况称将触发器置 0 或复位。 $\bar{R}$  端称为触发器的置 0 端或复位端。

②  $\bar{R}=1$ 、 $\bar{S}=0$ ：由于  $\bar{S}=0$ ，不论原来  $Q=1$  还是 0，都有  $Q=1$ ；再由  $\bar{R}=1$ 、 $Q=1$  可得  $\bar{Q}=0$ 。即不论触发器原来处于什么状态都将变成 1 状态，这种情况称将触发器置 1 或置位。 $\bar{S}$  端称为触发器的置 1 端或置位端。

③  $\bar{R}=1$ 、 $\bar{S}=1$ ：根据与非门的逻辑功能不难推知，触发器保持原有状态不变，即原来的状态被触发器存储起来，这体现了触发器具有记忆能力。

④  $\bar{R}=0$ 、 $\bar{S}=0$ ：不符合触发器的逻辑关系。并且由于与非门延迟时间不可能完全相等，在两输入端的 0 同时撤除后，将不能确定触发器是处于 1 状态还是 0 状态。所以触发器不允许出现这种情况，这就是基本 RS 触发器的约束条件。

## 2.2 基本特点

- ① 触发器的次态不仅与输入信号状态有关，而且与触发器的现态有关。
- ② 电路具有两个稳定状态，在无外来触发信号作用时，电路将保持原状态不变。
- ③ 在外加触发信号有效时，电路可以触发翻转，实现置 0 或置 1。
- ④ 在稳定状态下两个输出端的状态必须是互补关系，即有约束条件。在数字电路中，凡根据输入信号 R、S 情况的不同，具有置 0、置 1 和保持功能的电路，都称为 RS 触发器。

## 2.3 电路结构

构成 RS 触发器的电路形式主要有与非门结构与或非门结构，CMOS 与非门结构的 RS 触发器电路如图 15.2 所示。

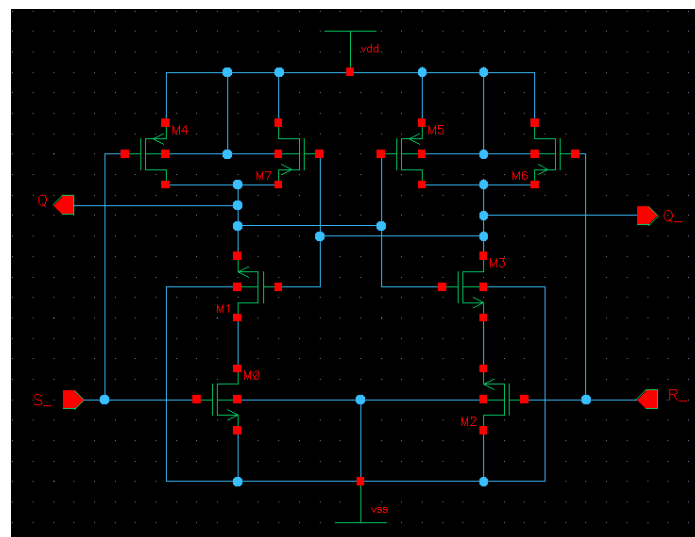


图 15.2 CMOS 与非门结构的 RS 触发器电路原理图

# 3. 实验内容

## 3.1 原理图设计

启动电路原理图设计环境 Virtuoso Schematic Editing，参考 lab2、lab3、lab4 中电路原理图设计方法，编辑完成 CMOS 与非门结构的 RS 触发器电路原理图如图 15.2 所示。

### ① 建立库文件

在 CIW 窗口中建立 mylib 库与 RS 视图，打开 Virtuoso Schematic Editing: mylib RS 电路原理图设计窗口。

### ② 添加元件

在 analogLib 库中选择 pmos4 与 nmos4 各 4 个，vdd 与 vss 各 1 个，按照图 15.2 添加所需元件。

**注意：**为了方便版图验证，在 Schematic 中对所有元件进行参数定义，选取模型并定义器件宽长比等，具体参考 lab2 中 nand2 电路图设计。

### ③ 连线

按与非门逻辑关系完成连线，注意两个与非门的输入与输出之间实现互连，

形成 RS 触发器结构。

④ 添加 pin

添加输入 pin 为  $R_{-}$  和  $S_{-}$ ；输出 pin 为  $Q_{-}$  与  $Q$ 。

**注意：**在 Cadence 系统环境下，因为输入字符不便之故，统一采用  $R_{-}$ 、 $S_{-}$ 、 $Q_{-}$  分别代表  $\overline{R}$ 、 $\overline{S}$ 、 $\overline{Q}$ 。

⑤ 检查

检查电路结构与连线如图 15.2 所示，使用 Check and Save 图标查错、修改（包括 Error 与 Warning）并存档。

### 3.2 版图设计

启动版图设计环境 Virtuoso Layout Editor，参考 lab6、lab7、lab9 中版图设计方法，完成 CMOS 与非门结构的 RS 触发器版图设计。

① 创建视图

在 CIW 窗口中建立 design 库的 RS 视图，打开 Virtuoso Layout Editor 设计窗口。

② 添加元件

在 design 库中选择 lab6 所设计的 pmos 与 nmos 版图各 2 个。

③ 2nand 版图

RS 触发器由两个与非门构成，版图设计首先是如何由 nmos 与 pmos 形成 nand2 版图。在 lab13 版图识别过程中，读者应当对此问题已经有所了解，2nand 采用 pmos 并行、nmos 串行结构。由 nmos 与 pmos 组成 nand2 版图后，与 design 库中的 nand2 以及 DIVA 库中的 nand2 对比异同点。

④ 布局

参考电路结构的特点，直接调用设计好的两个 nand2 版图，按照 mos 管版图设计规则（参考 lab7 设计规则），考虑所有布线所需要的几何尺寸以及所在的版层，合理安置 nand2 版图并完成布线。

**注意：**不同版层之间进行布线时，必须借助通孔才能实现互连。

⑤ 检查版图

按照电路图 15.2 进行连线检查，逻辑关系无误后存档。

### 3.3 版图验证

① DRC

执行 DRC 版图几何规则检查，查看错误并进行修改，具体方法在 lab12、lab14 中有详细介绍。

② Extraction

提取元件与互连信息，与电路图 15.2 中的每个元件进行对比。

③ LVS

将 Extracted 视图与 Schematic 视图进行 LVS 对比，针对与电路不能匹配的版图部分进行查错并修改。

④ 存档。

## 4. 附加实验

由 nmos 与 pmos 单元版图，设计 2nor 版图如图 15.3 所示。

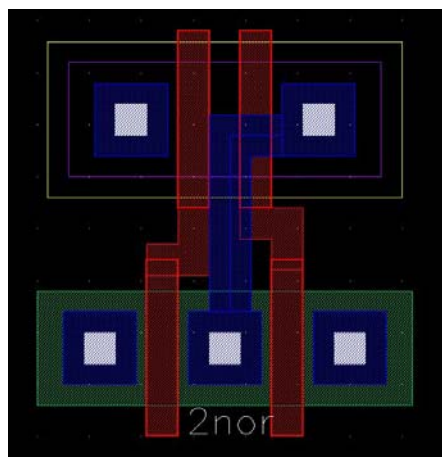


图 15.3 2nor 版图

## 5. 预习要求

- ① 复习 lab2、lab3 中的电路原理图设计方法
- ② 复习 lab6、lab7、lab9、lab13 中的 MOS 版图设计规则与方法
- ③ 复习 lab12 中的版图验证方法

## 6. 实验报告

总结单元电路原理图设计、版图设计以及版图验证流程及方法。

# lab 16 静态存储器设计

## 1. 实验目的

熟悉原理图设计方法  
熟悉版图设计规则  
掌握布局布线方法  
熟悉版图验证方法

## 2. 实验原理

半导体存储器是程序逻辑电路中的主要组成部分，其结构主要由地址译码器、存储矩阵和输出控制电路等部分组成。存储矩阵是存放数据的主体，由许多存储单元排列而成。每个存储单元能存放 1 位二进制代码（0 或 1），若干个存储单元形成一个存储组，称为“字”，每个字包含的存储单元的个数称为“字长”。在存储器中，字是一个整体，构成一个字的全体存储单元共同用来代表某种信息，并共同写入存储器或从存储器读出。为了方便寻找，每个字都有一个对应的地址代码，只有被输入地址代码指定的字或存储单元才能与公共的输入/输出线接通，进行数据的写入与读出。

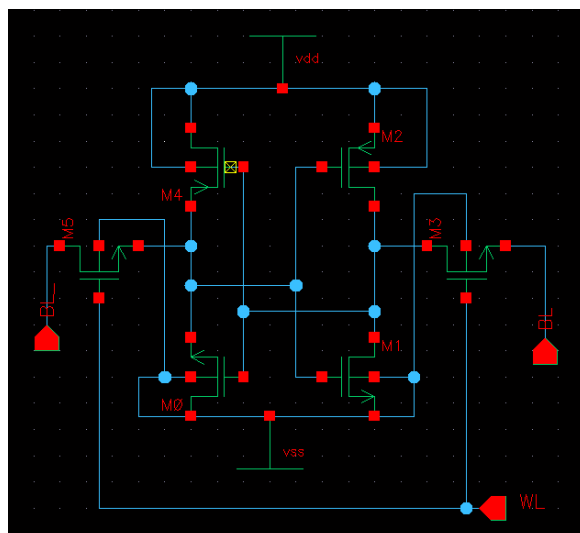


图 16.1 SRAM 存储矩阵单元电路

6 管单元的 SRAM 存储矩阵单元电路如图 16.1 所示。M0、M1、M2、M4 组成基本 RS 触发器，用于记忆 1 位二进制数码，M3、M5 组成门控制管作开关之用，控制触发器的  $Q_{-}$ 、 $Q$  与位线 BL、BL<sub>-</sub> 之间的连接。M3、M5 的开关状态由字线 WL 的状态决定。当 WL=1 时，M3、M5 导通，触发器的  $Q_{-}$  和  $Q$  端与位线 BL、BL<sub>-</sub> 接通；当 WL=0 时，M3、M5 截止，触发器与位线之间的连接被断开。

由于 SRAM 存储单元是一个基本的 RS 触发器，利用触发器的置 0 与置 1 功能，可以实现数据的写入，利用保持功能可以实现数据的保存与读出。触发器的性能决定了 SRAM 的随机存储特点，即在使用中数据可以写入与读出。

### 3. 实验内容

#### 原理图设计

##### ① 建立库文件

在 CIW 窗口中建立 mylib 库与 SRAM 视图，打开 SRAM 电路原理图设计窗口。

##### ② 添加元件

在 analogLib 库中选择 2 个 pmos4，4 个 nmos4，vdd 与 vss 各 1 个，按照图 16.1 添加所需元件。

**注意：**为了方便版图验证，在 Schematic 中对所有元件进行参数定义，选取模型并定义器件宽长比等，具体参考 lab2 中 nand2 电路图设计。

##### ③ 连线

按非门逻辑关系完成连线，注意两个非门的输入与输出之间实现互连，形成 RS 触发器结构。

##### ④ 添加 pin

添加输出 pin 为 BL 和 BL<sub>-</sub>；输入 pin 为 WL。

##### ⑤ 检查

检查电路结构与连线如图 16.1 所示，使用 Check and Save 图标进行查错、修改并存档。

#### 版图设计

启动版图设计环境 Virtuoso Layout Editor，参考 lab6、lab7、lab9 中版图设

计方法，完成 SRAM 版图设计。

① 创建视图

在 CIW 窗口中建立 design 库的 SRAM 视图，打开 Virtuoso Layout Editor 设计窗口。

② 添加元件

在 design 库中选择 lab6 所设计的 pmos 版图 2 个，nmos 版图 4 个。

③ Inv 版图

SRAM 存储单元的触发器部分由两个非门构成，版图设计首先是如何由 nmos 与 pmos 形成 Inv 版图。在 lab9 的 Inverter 版图设计中有详细介绍。

④ 布局

参考电路结构的特点，直接调用设计好的两个 Inv 单元版图，按照 mos 管版图设计规则（参考 lab7 设计规则），考虑所有布线所需要的几何尺寸以及所在的版层，合理安置 Inv 版图并完成布线。

⑤ 检查版图

按照电路图 16.1 进行连线检查，连线无误后存档。

**版图验证**

① DRC

执行 DRC 版图几何规则检查，查看错误并进行修改，具体方法在 lab12、lab14 中有详细介绍。

② Extraction

提取元件与互连信息，与电路图 16.1 中的每个元件进行对比。

③ LVS

将 Extracted 视图与 Schematic 视图进行 LVS 对比，针对与电路不能匹配的版图部分进行查错并修改。

④ 存档。

## 4. 附加实验

调用 lab15 所设计的 RS 触发器单元，代替 SRAM 中具有触发器功能的四个管子，完成 lab16 的所有设计。

## 5. 预习要求

- ① 复习存储器工作原理
- ② 分析 CMOS 型 SRAM 电路
- ③ 复习 MOS 版图设计方法
- ④ 复习版图验证方法

## 6. 实验报告

总结触发器电路原理图设计、版图设计以及版图验证流程及方法。

## lab 17 三态与非门设计

### 1. 实验目的

- 1.1 熟悉原理图设计方法
- 1.2 熟悉版图设计规则
- 1.3 掌握布局布线方法
- 1.4 熟悉版图验证方法

### 2. 实验原理

在与与非门电路的输出部分增加传输门，就可以得到三态与非门电路。图 17.1 所示为 CMOS 三态与非门电路原理图，它由 nand2、Inv、TG 三部分构成。nand2 与 Inv 已经在本实验系统中多次出现，下面简要介绍 TG 传输门。

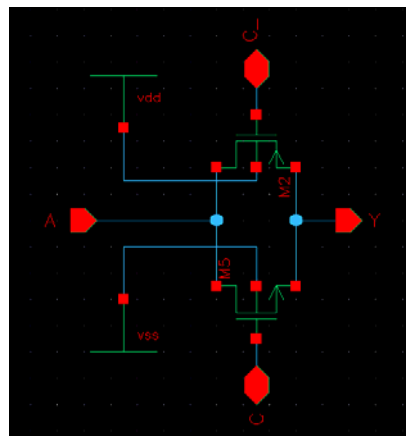
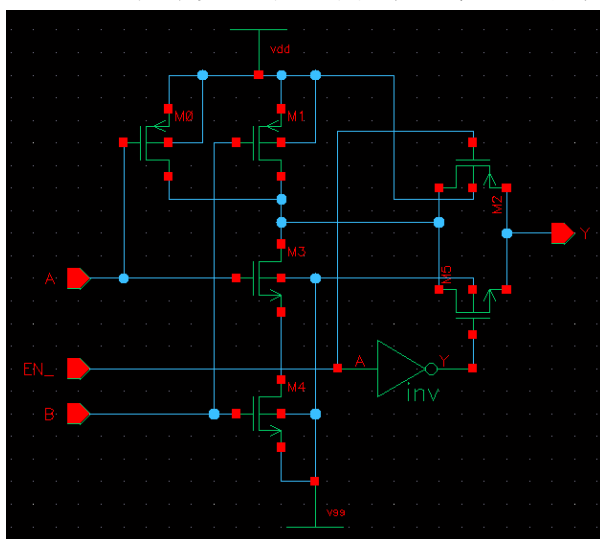


图 17.1 CMOS 三态与非门电路原理图      图 17.2 传输门电路图

CMOS 结构的传输门电路如图 17.2 所示。nmos 与 pmos 源极并接在一起构成电路的输入端，漏极并接在一起构成电路的输出端；nmos 的栅极作为控制输入端 C，将 C 反相后作为 pmos 的栅极控制信号，形成传输门电路。由于 mos 管的源极与漏极是完全对称的，因此电路的输入与输出可以交换使用。

当控制端 C 为低电平时，nmos 与 pmos 均截止，输出呈高阻态；当控制端 C 为高电平时，nmos 与 pmos 均导通，传输门处于导通状态，实现信号由输入端传递到输出端。CMOS 三态与非门电路实现了信号经过与非逻辑后的传输。

注意：在 Cadence 系统下，图 17.2 中的控制端 C 与 C\_ 起到开关作用，其 pin 符号为双向箭头，表示 Switch。

### 3. 实验内容

#### 3.1 原理图设计

##### ① 建立库文件

在 CIW 窗口中建立 mylib 库与 TG 视图，打开 Virtuoso Schematic Editing: mylib TG 电路原理图设计窗口。

##### ② 添加元件

在 analogLib 库中选择 3 个 pmos4 与 nmos4, vdd 与 vss 各 1 个, 在 design 库中选择 1 个 inv, 按照图 17.1 添加所需元件。

**注意:** 为了方便版图验证, 在 Schematic 中对所有元件进行参数定义, 选取模型并定义器件宽长比等, 具体参考 lab2 中 nand2 电路图设计。

### ③ 连线

按图 17.1 完成连线, 注意 inv 采用了符号, 而非具体电路图。

### ④ 添加 pin

添加输入 pin 为 A、B、EN<sub>-</sub>; 输出 pin 为 Y。

### ⑤ 检查

检查电路结构与连线如图 17.1 所示, 使用 Check and Save 图标进行查错、修改并存档。

## 3.2 版图设计

启动版图设计环境 Virtuoso Layout Editor, 参考 lab6、lab7、lab9 中版图设计方法, 完成 SRAM 版图设计。

### ① 创建视图

在 CIW 窗口中建立 design 库的 TG 视图, 打开 Virtuoso Layout Editor 设计窗口。

### ② 添加元件

选择并添加 Inv、nand2、pmps、nmos 单元版图各一个。

### ③ 布局布线

参考电路结构的特点, 直接调用设计好的单元版图, 按照 mos 管版图设计规则 (参考 lab7 设计规则), 考虑所有布线所需要的几何尺寸以及所在的版层, 合理安置元件并完成布线。

### ④ 检查版图

按照电路图 17.1 进行连线检查, 连线无误后存档。

## 3.3 版图验证

### ① DRC

执行 DRC 版图几何规则检查, 查看错误并进行修改, 具体方法在 lab12、lab14 中有详细介绍。

### ② Extraction

提取元件与互连信息, 与电路图 17.1 中的每个元件进行对比。

### ③ LVS

将 Extracted 视图与 Schematic 视图进行 LVS 对比, 针对与电路不能匹配的版图部分进行查错并修改。

### ④ 存档。

## 4. 预习要求

- ① 复习三态与非门工作原理
- ② 分析 CMOS 型三态与非门电路
- ③ 复习 MOS 版图设计规则
- ④ 复习版图验证方法

## 5. 附加实验

组建测试平台, 对 CMOS 三态与非门电路进行仿真, 验证逻辑关系。



## 6. 实验报告

总结 CMOS 数字电路原理图设计、版图设计以及版图验证流程及方法。

# lab 18 基准电压源设计

## 1. 实验目的

熟悉原理图设计方法  
熟悉版图设计规则  
掌握布局布线方法  
熟悉版图验证方法

## 2. 实验原理

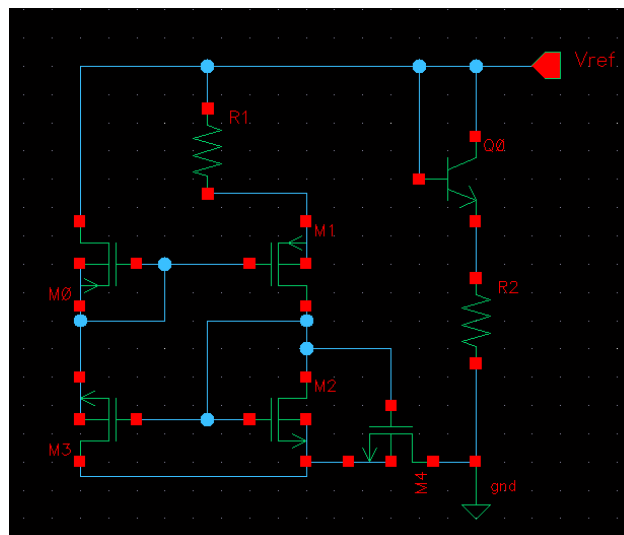


图 18.1 CMOS 基准电路源电路

利用 MOSFET 在次开启区的饱和漏电流随电压呈指数关系的特性，可以制作温度系数较小的 CMOS 基准电压源。CMOS 基准电路源电路如图 18.1 所示。其中，Q0 是纵向 NPN 管 CB 结短接组成的二极管，MOS 管 M0、M1、M4 构成第一组镜像恒流源，M2、M3 构成第二组镜像恒流源，并与第一组构成反馈式闭合环路。

## 3. 实验内容

### 3.1 原理图设计

#### ① 建立库文件

在 CIW 窗口中建立 mylib 库与 PTAT 视图，打开电路原理图设计窗口。

#### ② 添加元件

在 analogLib 库中选择 2 个 pmos4 与 3 个 nmos4，2 个 res，1 个 npn，1 个 gnd，按照图 18.1 添加所需元件。

**注意：**为了方便版图验证，在 Schematic 中对所有元件进行参数定义，选取模型

并定义器件宽长比等。

③ 连线

按图 18.1 完成连线。

④ 添加 pin

添加输入 pin 为 Vref。

⑤ 检查

检查电路结构与连线如图 18.1 所示，使用 Check and Save 图标进行查错、修改并存档。

### 3.2 版图设计

启动版图设计环境 Virtuoso Layout Editor，参考 lab6、lab7、lab9 中版图设计方法，完成 PTAT 版图设计。

① 创建视图

在 CIW 窗口中建立 design 库的 PTAT 视图，打开 Virtuoso Layout Editor 设计窗口。

② 添加元件

选择并添加 2 个 pmos4、3 个 nmos4、2 个 res、1 个 npn 单元版图。

③ 布局布线

参考电路结构的特点，直接调用设计好的单元版图，按照 mos 与 BJT 管版图设计规则（参考 lab6、lab7 设计规则），考虑所有布线所需要的几何尺寸以及所在的版层，合理安置元件并完成布线。

④ 检查版图

按照电路图 18.1 进行连线检查，连线无误后存档。

### 3.3 版图验证

① DRC

执行 DRC 版图几何规则检查，查看错误并进行修改，具体方法在 lab12、lab14 中有详细介绍。

② Extraction

提取元件与互连信息，与电路图 18.1 中的每个元件进行对比。

③ LVS

将 Extracted 视图与 Schematic 视图进行 LVS 对比，针对与电路不能匹配的版图部分进行查错并修改。

④ 存档。

## 4. 预习要求

① 复习基准电压源工作原理

② 分析 CMOS 型基准电压源电路

③ 复习 MOS 版图设计规则

④ 复习版图验证方法

## 5. 实验报告

总结数模混合电路原理图设计、版图设计以及版图验证流程及方法。

## lab 19 CMOS 放大器设计

### 1. 实验目的

熟悉版图设计规则  
掌握布局布线方法  
熟悉版图验证方法

### 2. 实验原理

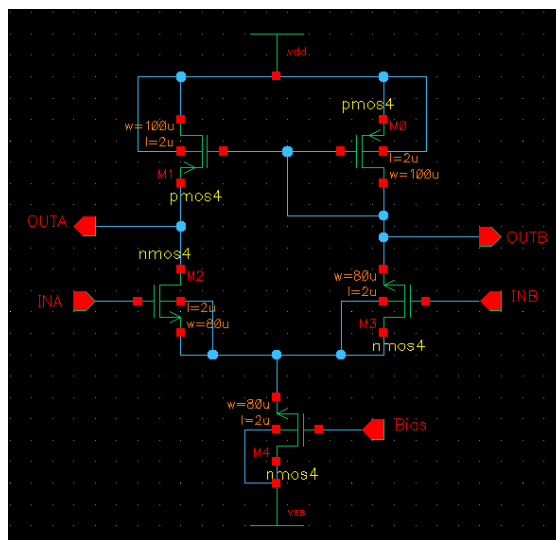


图 19.1 CMOS 放大电路原理图

CMOS 放大电路原理图如图 19.1 所示。

### 3. 实验内容

#### 原理图设计

#### ① 建立库文件

在 CIW 窗口中建立 mylib 库与 AMP 视图，打开电路原理图设计窗口。

#### ② 添加元件

在 analogLib 库中选择 2 个 pmos4，3 个 nmos4，vdd 与 vss 各 1 个，按照图 19.1 添加所需元件。

**注意：**为了方便版图验证，在 Schematic 中对所有元件进行参数定义，选取模型并定义器件宽长比等。

#### ③ 连线

按图 19.1 完成连线。

#### ④ 添加 pin

添加输入 pin 为 INA、INB、Bias；输出 pin 为 OUTA、OUTB。

#### ⑤ 检查

检查电路结构与连线如图 19.1 所示，使用 Check and Save 图标进行查错、修改并存档。

#### 版图设计

启动版图设计环境 Virtuoso Layout Editor，参考 lab6、lab7、lab9 中版图设

计方法，完成 AMP 版图设计。

① 创建视图

在 CIW 窗口中建立 design 库的 AMP 视图，打开 Virtuoso Layout Editor 设计窗口。

② 添加元件

选择并添加 2 个 pmos4、3 个 nmos4 的单元版图。

③ 布局布线

参考电路结构的特点，直接调用设计好的单元版图，按照 mos 管版图设计规则（参考 lab6、lab7 设计规则），考虑所有布线所需要的几何尺寸以及所在的版层，合理安置元件并完成布线。

④ 检查版图

按照电路图 19.1 进行连线检查，连线无误后存档。

**版图验证**

① DRC

执行 DRC 版图几何规则检查，查看错误并进行修改，具体方法在 lab12、lab14 中有详细介绍。

② Extraction

提取元件与互连信息，与电路图 19.1 中的每个元件进行对比。

③ LVS

将 Extracted 视图与 Schematic 视图进行 LVS 对比，针对与电路不能匹配的版图部分进行查错并修改。

④ 存档。

## 4. 预习要求

① 分析 CMOS 放大电路

② 复习 MOS 版图设计规则

③ 复习版图设计方法

## 5. 实验报告

总结模拟电路原理图设计、版图设计以及版图验证流程及方法。

# lab 20 异或门设计

## 1. 实验目的

熟悉版图设计规则

掌握布局布线方法

熟悉数字电路版图设计方法

## 2. 实验内容

原理图设计

① 建立库文件

在 CIW 窗口中建立 mylib 库与 xor2 视图，打开电路原理图设计窗口。

② 添加元件

在 analogLib 库中选择 5 个 pmos，5 个 nmos，vdd 与 vss 各 1 个，按照图 20.1 添加所需元件。

③ 连线

按图 20.1 完成连线。

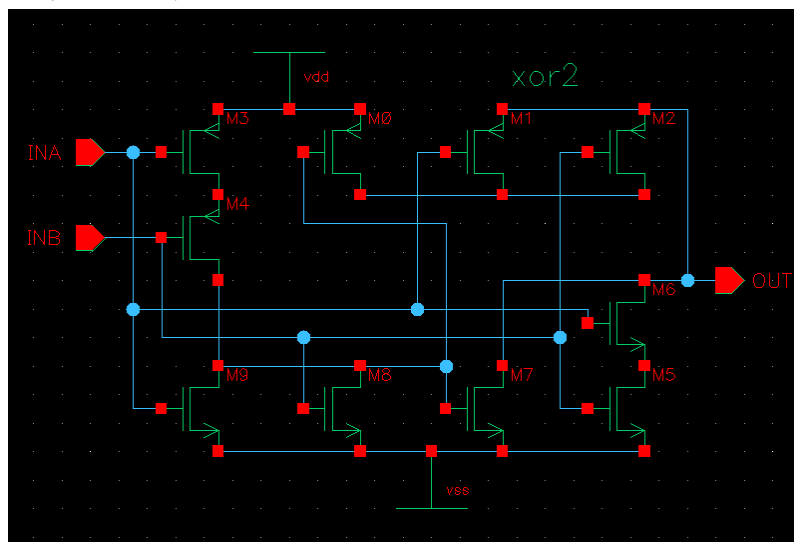


图 20.1 xor2 电路原理图

④ 添加 pin

添加输入 pin 为 INA、INB；输出 pin 为 OUT。

⑤ 检查

检查电路结构与连线如图 20.1 所示，使用 Check and Save 图标进行查错、修改并存档。

⑥ 创建符号

从原理图打开逻辑符号窗口如图 20.2 所示，参考 lab2、lab3 中符号创建方法，对符号进行编辑，最终形成 xor2 逻辑符号如图 20.3 所示。

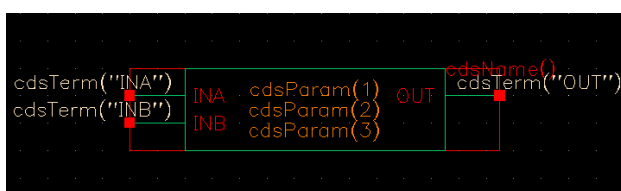


图 20.2 xor2 逻辑符号草图

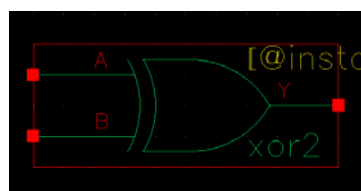


图 20.3 xor2 逻辑符号

## 版图设计

启动版图设计环境 Virtuoso Layout Editor，参考 lab6、lab7、lab9 中版图设计方法，完成 xor2 版图设计。

① 创建视图

在 CIW 窗口中建立 design 库的 xor2 视图，打开 Virtuoso Layout Editor 设计窗口。

② 添加元件

选择并添加 5 个 pmos、5 个 nmos 的单元版图。

③ 布局布线

参考电路结构的特点，直接调用设计好的单元版图，按照 mos 管版图设计

规则（参考 lab6、lab7 设计规则），考虑所有布线所需要的几何尺寸以及所在的版层，合理安置元件并完成布线。

④ 检查版图

按照电路图 20.1 进行连线检查，连线无误后存档。

**版图验证**

① DRC

执行 DRC 版图几何规则检查，查看错误并进行修改，具体方法在 lab12、lab14 中有详细介绍。

② Extraction

提取元件与互连信息，与电路图 20.1 中的每个元件进行对比。

③ LVS

将 Extracted 视图与 Schematic 视图进行 LVS 对比，针对与电路不能匹配的版图部分进行查错并修改。

④ 存档。

### 3. 预习要求

① 分析 CMOS 型 xor2 电路结构

② 复习 MOS 版图设计规则

③ 复习版图验证方法

### 4. 实验报告

① 分析说明 CMOS 型 xor2 电路逻辑关系。

② 总结 CMOS 型数字电路版图设计方法。