

2023 春季学期《计算机组成原理》复习指南

第一部分 考试格式

- 一. 单选题(共 10 题, 每题 2 分, 共 20 分)
- 二. 填空题(共 10 题, 每题 2 分, 共 20 分)
- 三. 计算题(共 3 题, 共 20 分)
- 四. 综合应用题(共 2 题, 每题 20 分, 共 40 分)

第二部分 复习范围

■ 具体内容:

第一章 计算机系统概述

1. 计算机语言的分类: 高级语言, 低级语言(汇编语言与机器语言)。P₈

ISA(指令集体系结构): 软件和硬件之间接口, 简称体系结构; **ISA** 规定的内容有哪些? 具体实现的组织称**微体系结构**, 简称**微架构**。

ISA 和**微架构**是两个不同层面上概念, **微架构**是软件不可感知部分。P₉

2. 冯·诺依曼原理的内容理解: 冯·诺依曼结构计算机中数据采用二进制编码表示, 冯·诺依曼计算机中, CPU 如何区分取出的二进制流是指令还是数据。

3. 计算机系统性能评价, 学会计算: CPI, 用户 CPU 时间, P₁₇-P₁₈

第二章 数据的机器级表示

1. 浮点数尾数的规格化: 尾数如果采用原码, 规格化尾数必定是±0.1****格式。浮点数所能表示的范围和精度分别取决于阶码与尾数。

2. IEEE-754 单精度、双精度浮点数格式, 能够根据给出的真实值能求出 IEEE 格式的浮点数。

3. 大端方式和小端方式, 学会按字节编址的存储空间里如何存储数据。

第三章 运算方法和运算部件

1. C 语言, 包括位扩展及位截断。P₅₃

2. ALU 干啥的? ALU 的核心是加法器。P₇₀

3. 结合习题, 学会定点数一位乘法(原码一位乘法、补码一位乘法[布斯公式], 掌握步骤及特点)。(以例题、习题复习)

另外注意: 补码的乘法不具备 $[X \times Y]_{\text{补}} = [X]_{\text{补}} \times [Y]_{\text{补}}$ 的性质。

4. 浮点数的加减法、乘法除法运算步骤(特别注意尾数规格化), 结合习题, 学会计算。

习题参考部分: 见作业参考答案。

第四章 指令系统

1. 指令操作码编码: 固定长度操作码, 扩展操作码。

2. 指令系统中采用不同灵活的寻址方式, 使用尽量短的地址码访问尽可能大的寻址空间。例如变址寻址的目标地址计算、相对寻址方式的计算。

3. CISC 与 RISC 的主要特点(尤其 RISC 特点, 选择题角度出发, 理解含义就可)。

* 计算机执行程序所需要的时间 $P = I \times CPI \times T$ 其中 I 是指令数, CPI 是执行每条指令所需的平均周期数, T 时钟周期。单周期 CPU: $CPI=1$, 还有流水线 CPU. 而超标量流水 CPU <1 。

* $1s(\text{秒})=10^3ms(\text{毫秒})=10^6\mu s(\text{微秒})=10^9ns(\text{纳秒})$

* 频率在数学表达式中用“f”表示, 其相应的单位有: Hz(赫)、kHz(千赫)、MHz(兆赫)、GHz(吉赫)。其中 $1GHz=1000MHz$, $1MHz=1000kHz$, $1kHz=1000Hz$ 。

4.结合习题，学会 C 高级语言的 MIPS 机器代码表示，注意 MIPS 寄存器的使用约定。注意 MIPS 汇编语句的执行过程，例如各类移位指令。

习题参考部分：见作业参考答案。

第五章 中央处理器

1.指令周期的概念，与时钟周期、机器周期的区别。

数据通路的含义(包括组合逻辑元件、存储元件)，要求理解不是记下来。

程序计数器(PC)和指令寄存器(IR)等寄存器的功能与作用。

根据 MIPS 单周期、多周期 CPU 的数据通路，写出正在执行的指令的相关执行过程信息。

2.单周期、多周期 CPU 设计。结合教材上的几条**指令举例**，例如单周期处理器的特点，多周期数据通路和单周期数据通路比较特点。

3.结合习题，学会区别硬连线路控制器设计和微程序控制器设计，CS 控制存储器与一般意义上的存储器的区别(所在的位置)。

机器指令与微指令的关系。根据具体 CPU 数据通路图，能够给出具体指令周期流程图并给出微操作控制信号序列。

微程序控制器与硬布线控制器的**区别**(执行速度，指令修改上)。

习题参考部分：见作业参考答案。

第六章 指令流水线

1.五段流水线: IF, ID, OF, EX, WB。

N 条指令的执行总时间: $(M+N-1) \times T$ 其中 M 为流水段数, N 为每个流水段的执行时间。

2.流水线冒险(熟悉各类冒险的特点，选择题): 结构冒险、数据冒险和控制冒险。尤其要熟悉**数据冒险**。

3.重点是 Load-use 数据冒险，如何识别与改进，结合习题。

习题参考部分：见作业参考答案。

第七章 存储器分层体系结构

1.存储器的分类。ROM 和 RAM 叙述理解。存储器的速度从快到慢: 寄存器—cache—主存—辅存。计算机的存储器系统是指哪些?

2.SRAM 和 DRAM 的区别(刷新: 以行为单位)。

3.存储器芯片的扩展: 位扩展、字扩展、字位扩展，**需要的片数**。结合课件讲解。

DRAM 的扩展与静态 RAM 的不同。交叉编址。

4.磁盘存储器的存储区域为磁盘记录面(盘面)，每个记录面又划分为多个磁道，每条磁道又划分为扇区，扇区也就是基础的存储块，是磁盘的最小读写单位。每个扇区包含数据及其地址信息，地址信息分为三个字段(盘面号、磁道号、扇区号)。平均存取时间由寻道时间、旋转延迟时间(磁头定位到要读写的扇区时间，取旋转时间的一半)和传输时间三部分组成。

5.常用的数据校验码: 奇偶校验码(奇校验位、偶校验位的求解)、海明校验码(给定宽度的数据，学会求单纠错码 SEC)、循环冗余校验码(根据生成多项式的位数求出 CRC 码的位数)。要求掌握海明校验码(8 位数据位+4 位校验位: 发现 1 位错并能纠正 1 位错)。区别: 发现 1 位错; 发现 1 位错并能纠正 1 位错, 发现两位错。

6.局部性: 时间局部性和空间局部性。

7.Cache 的行，槽 就是块。通过硬件来实现映射。有效位，标记(三种映射变化)。

8.Cache 命中率计算公式，平均访问时间公式。

9.直接映射、全相联、组相联映射方式的区别及使用案例(结合例题和习题)。

要求掌握地址的字段划分(注意标记字段的变化);

要求掌握给出主存块号或者主存单元地址, 给出相应方式下(考核直接映射、组相联映射)的 Cache 行号或组号。

要求掌握组相联映射中的比较器的个数和位数 P₂₄₃

10.Cache 总容量的计算: 有效位、标记、数据块。(写回法下增加修改位)

11.Cache 中主存块的替换算法: 先进先出、LRU 算法、最不经常用算法、随机替换算法。结合习题、例题。 注意: **LRU 位的设置**。

12.Cache 的一致性问题的: 全写法(Write Through)、写回法(Write Back)[每个 cache 行设置了一个修改位(dirty bit), 注意计算 cache 容量时] (标记, 有效位, 修改位)

13.虚拟存储器的 TLB 和 Cache 的访问过程。虚拟存储器借用外存来为程序提供的很大的虚拟存储空间, 解决了编程受限的问题。**快表与慢表**。

段式、页式、段页式。

虚拟存储器管理机制中地址转换描述, 页式管理中虚页号到实页号的转换。

习题参考部分: 见作业参考答案。

第八章 互连及输入输出组织

1.I/O 接口的含义, I/O 端口的含义。

2.I/O 数据传送控制方式: 程序直接控制方式, 程序中断方式, DMA 方式。其中 DMA 主要适合于**磁盘**等高速设备的数据传送。