

## 2023 春季学期-计算机组成原理-作业五

(要求：独立完成，6 月 16 日上课时上交)

1. (8 points) (课本 P268 页第 3 题) 某计算机主存最大寻址空间为 4GB，按字节编址，假定用  $64M \times 8$  位的具有 8 个位平面的 DRAM 芯片组成容量为 512MB、传输宽度为 64 位的内存条（主存模块）。回答下列问题：
- (1) 每个内存条需要多少个 DRAM 芯片？
  - (2) 构建容量为 2GB 的主存时，需要几个内存条？
  - (3) 主存地址有多少位？其中哪几位用于 DRAM 芯片内地址？哪几位为 DRAM 芯片内的行地址、哪几位为列地址？哪几位用于选择芯片？

参考答案：

- (1) 每个内存条传输宽度要求 64 位，因此总容量  $512MB = 64M \times 64$ 。因此，需要的 DRAM 芯片数为  $64M \times 64 / 64M \times 8 = 8$ 。
- (2) 每个内存条容量为 512MB，因此构建 2GB 主存时需要 4 根内存条。
- (3) 主存寻址空间为  $4GB = 2^{32}B$ ，因此需要 32 位地址。每个 DRAM 芯片可容纳 64M 字节，即  $8K \times 8K$  字节，因此，行地址、列地址各需 13 位。剩余 6 位作为片选地址。

2. (8 points) (课本 P268 页第 6 题) 某计算机中已配有 0000-7FFFH 的 ROM 区域，现在再用  $8K \times 4$  位的 RAM 芯片形成  $32K \times 8$  位的存储区域，CPU 地址线为 A0-A15，数据线为 D0-D7，控制信号为  $R/\overline{W}$ （读/写）、 $\overline{MREQ}$ （访存）。要求说明地址译码方案，并画出 ROM 芯片、RAM 芯片与 CPU 之间的连接图。假定上述其他条件不变，只是 CPU 地址线改为 24 根，地址范围 000000H-007FFFFH 为 ROM 区，剩下的所有地址空间都用  $8K \times 4$  位的 RAM 芯片配置，则需要多少个这样的 RAM 芯片？

参考答案：

- CPU 总共有 16 根地址线，所以，可以访问的主存空间为 0000H-FFFFH。由于 0000H-7FFFH 已经分配给 ROM，因此所需的  $32KB$  RAM 区域的地址分配在 8000H-FFFFH 区间。
- 访问 8000H-FFFFH 区间需要的地址位数为 15，因此，CPU 地址线第 16 位  $A_{15}$  可作为选择 ROM 与 RAM 区域的选择信号。
- RAM 芯片的大小为  $8K \times 4$ ，所以形成  $32K \times 8$  的存储区域需要 8 片 RAM 芯片。每两片一组作为位扩展，四组芯片形成字扩展。

每片  $8K \times 4$  RAM 芯片需要的片内地址线为 13 位。可用 CPU 地址线  $A_0 - A_{12}$  作为片内地址。其余两位  $A_{13}$  和  $A_{14}$  作为片选信号，选择四组芯片中的某一组。

当 CPU 地址线增加至 24 位时，总的寻址空间为  $2^{24}$ ，其中 ROM 占用了  $2^{15}$  个地址，因此，RAM 的空间大小为  $2^{24} - 2^{15} = (2^9 - 1) \times 2^{15}$ 。

每个  $32K \times 8$  的存储器占用  $32K$  个存储空间，因此，需要  $32K \times 8$  的存储器数量为  $(2^9 - 1) \times 2^{15} / 32K = 2^9 - 1 = 511$ 。

每个  $32K \times 8$  的存储器又由 8 个  $8K \times 4$  芯片组成，因此总共需要 4088 个  $8K \times 4$  的 RAM 芯片。

3. (8 points) 假定某计算机的总线采用奇校验，每 8 位数据有一位校验位，若在 32 位数据线上传输的信息是 8F3CAB96H，则对应的 4 个校验位应为什么？若接收方收到的数据信息和校验位分别为 873CAB96H 和 0101B，则说明发生了什么情况，并给出验证过程。

参考答案：

奇校验的表达式为  $P_{odd} = b(n-1) \oplus b(n-2) \cdots \oplus b(0) \oplus 1$ 。

信息序列中有奇数个 1 时， $P_{odd} = 0$ ，否则  $P_{odd} = 1$ 。

对于传输信息 8F 3C AB 96H，其对应的二进制校验位为：

8F --> 1000\_1111 ---> P\_odd = 0

3C --> 0011\_1100 ---> P\_odd = 1

AB --> 1010\_1011 ---> P\_odd = 0

96 --> 1001\_0110 ---> P\_odd = 1

对于接收信息 87 3C AB 96H，其对应的二进制校验位为：

87 --> 1000\_0111 ---> P'\_odd = 1

3C --> 0011\_1100 ---> P'\_odd = 1

AB --> 1010\_1011 ---> P'\_odd = 0

96 --> 1001\_0110 ---> P'\_odd = 1

校验： $P_{odd} \oplus P'_{odd} = 1000$ ，说明第一组传输错误。

4. (8 points) 假定一个 8 位数据  $M_7M_6M_5M_4M_3M_2M_1M_0$  为 01010100，要求写出其 SEC 码，并说明 SEC 码如何检测数据位  $M_5$  的错误。

**参考答案:**

对于 8 位数据，其 SEC 码需要 4 位校验位。参考课本或课件中的计算规则，校验位和数据位所处的位置为：

$$M_7 M_6 M_5 M_4 P_3 M_3 M_2 M_1 P_2 M_0 P_1 P_0$$

采用任意方法，计算出校验位与数据位的关系如下：

$$P_3 = M_4 \oplus M_5 \oplus M_6 \oplus M_7$$

$$P_2 = M_1 \oplus M_2 \oplus M_3 \oplus M_7$$

$$P_1 = M_0 \oplus M_2 \oplus M_3 \oplus M_5 \oplus M_6$$

$$P_0 = M_0 \oplus M_1 \oplus M_3 \oplus M_4 \oplus M_6$$

因此，所给数据的 SEC 码为 010100101000。

数据位  $M_5$  位于码字第 10 位。在接收端，使用相同的算法求出接收信息的校验位，从而计算故障码，若故障码为 1010，即代表码字第 10 位（即  $M_5$ ）出现错误。

5. (8 points) 假设要传送的数据信息为 100011，若约定的生成多项式为  $G(x) = x^3 + 1$ ，则发送的包含校验码的信息有多少位？请说明如何在接收端检测接收数据的正确性？

**参考答案:**

数据信息为 100011，其多项式形式为  $M(x) = x^5 + x + 1$ 。

生成多项式  $G(x) = x^3 + 1$ ，为 4 位，因此，校验位为 3 位。所以发送信息总共 9 位。

将接收到的数据与校验码结合，然后对  $G(x)$  进行模 2 除法，余数为 0，则说明数据无错误，否则数据有错误。

6. (8 points) (课本 P268 页第 11 题) 假定某计算机主存地址空间大小为 1GB，按字节编址，cache 的数据区（即不包括标记、有效位等存储区）有 64KB，块大小为 128 字节，采用直接映射和直写（write through）方式。请问：
- (1) 主存地址如何划分？要求说明每个字段的含义、位数和在主存地址中的位置。
  - (2) cache 的总容量为多少位？

**参考答案:**

(1) 主存空间大小为  $1GB$ , 因此, 主存地址总位数为 30 位。

块大小位 128 字节, 因此, 块内地址为 7 位。

Cache 采用直接映射, 数据区总共  $64KB$ , 每块 128 字节, 所以 cache 总共有  $64K/128 = 512$  行。因此, 行索引需要 9 位。

剩余 14 位全部为标记 tag。

综上, 主存地址高 14 位为标记, 中间 9 位为行索引, 低 7 位为块内地址。

(2) 由于采用直写的方式, 不需要增加额外的标记位。cache 每行的内容为有效位、标记和数据。所以, cache 的总容量为  $512 \times (1 + 14 + 128 \times 8) = 531968$  位。

7. (8 points) (课本 P268 页第 12 题) 假定某计算机的 cache 共 16 行, 开始为空, 块大小为 1 个字, 采用直接映射方式, 按字编址。CPU 执行某程序时, 依次访问以下地址序列: 2, 3, 11, 16, 21, 13, 64, 48, 19, 11, 3, 22, 4, 27, 6 和 11。

(1) 说明每次访问是命中还是缺失, 试计算访问上述地址序列的命中率。

(2) 若 cache 数据区容量不变, 而块大小改为 4 个字, 则上述地址序列的命中情况又如何?

**参考答案:**

(1) cache 采用直接映射, 总共能存 16 个字, 由于数据块的大小为 1 个字, 因此 cache 总共有 16 行。

由于机器采用按字编址, 因此, 每个主存块包含一个存储单元, 所以, 主存地址 = 主存块号。所以, 数据映射到 cache 的行号 = 主存地址 mod 16。

程序开始执行时, cache 为空, 所以每个地址单元的第一次访问总是缺失。针对题目中给出的地址序列, CPU 的访问过程如下 (每个数字对,  $x - y$ , 表示主存地址-cache 行号, hit 表示命中, miss 表示缺失, miss/replace 表示缺失并替换。):

2-2: miss; 3-3: miss; 11-11: miss; 16-0: miss; 21-5: miss; 13-13: miss; 64-0: miss/replace; 48-0: miss/replace; 19-3: miss/replace; 11-11: hit; 3-3: miss/replace; 22-6: miss; 4-4: miss; 27-11: miss/replace; 6-6: miss/replace; 11-11: miss/replace。

整个过程只有一次命中, 因此命中率为  $1 \div 16 = 6.25\%$ 。

(2) cache 块大小改为 4 个字后, cache 总行数减少为 4 行。

数据块大小为 4 个字, 因此, 每个主存块包含 4 个主存单元。所以, 主存块号 =  $\lfloor \text{主存地址} / 4 \rfloor$ 。数据映射到 cache 的行号 = 主存块号 mod 4。

CPU 的访问过程如下（数字对  $x - y - z$  表示主存地址-主存块号-cache 行号）：

2-0-0: miss; 3-0-0: hit; 11-2-2: miss; 16-4-0: miss/replace; 21-5-1: miss; 13-3-3: miss; 64-16-0: miss/replace; 48-12-0: miss/replace; 19-4-0: miss/replace; 11-2-2: hit; 3-0-0: miss/replace; 22-5-1: hit; 4-1-1: miss/replace; 27-6-2: miss/replace; 6-1-1: hit; 11-2-2: miss/replace.

整个过程中有 4 次命中，因此命中率为  $4 \div 16 = 25\%$ 。数据块变大后，命中率也获得提高，其原因在于块变大后空间局部性得到更大发挥。

8. (8 points) (课本 P271 页第 19 题) 假定某处理器可以通过软件对高速缓存设置不同的写策略，那么，在下列两种情况下，应分别设置成什么写策略？为什么？

(1) 处理器主要运行包含大量存储器写操作的数据访问密集型应用。

(2) 处理器运行程序的性质与 (1) 相同，但安全性要求很高，不允许有任何数据不一致的情况发生。

**参考答案：**

(1) 处理器主要运行数据访问密集型应用时，对主存带宽要求较高，因此，采用占用主存带宽更小的回写法 (write back)。

(2) 由于不允许任何数据不一致情况的发生，因此采用全写法 (write through) 保证 cache 与主存的同步更新。

9. (8 points) (课本 P271 页第 22 题) 假定有 3 个处理器，分别带有以下不同的 cache:

cache 1: 采用直接映射方式，块大小为 1 个字，指令和数据的缺失率分别为 4% 和 6%。

cache 2: 采用直接映射方式，块大小为 4 个字，指令和数据的缺失率分别为 2% 和 4%。

cache 3: 采用 2 路组相联映射方式，块大小为 4 个字，指令和数据的缺失率分别为 2% 和 3%。

在这些处理器上运行同一个程序，其中有一半是访存指令，在 3 个处理器上测得该程序的 CPI 都为 2.0。已知处理器 1 和 2 的时钟周期都为 420ps，处理器 3 的时钟周期为 450ps。若缺失损失为 (块大小 + 6) 个时钟周期，请问：哪个处理器因 cache 缺失而引起的额外开销最大？哪个处理器执行速度最快？

**参考答案:**

假设程序总共执行  $N$  条指令。

对于处理器 1，额外开销为  $N \times (4\% + 6\% \times 50\%) \times (1 + 6) = 0.49N$  个时钟周期，因此，执行程序所需的时间为  $(N \times 2.0 + 0.49N) \times 420 = 1045.8Nps$ 。

对于处理器 2，额外开销为  $N \times (2\% + 4\% \times 50\%) \times (4 + 6) = 0.4N$  个时钟周期，因此，执行程序所需的时间为  $(N \times 2.0 + 0.4N) \times 420 = 1008Nps$ 。

对于处理器 3，额外开销为  $N \times (2\% + 3\% \times 50\%) \times (4 + 6) = 0.35N$  个时钟周期，因此，执行程序所需的时间为  $(N \times 2.0 + 0.35N) \times 450 = 1057.5Nps$ 。

因此，处理器 1 因 cache 缺失造成的额外开销最大，处理器 2 的执行速度最快。

10. (8 points) (课本 P271 页第 25 题) 假定一个计算机系统中有有一个 TLB 和一个 L1 数据 cache。该系统按字节编址，虚拟地址 16 位，物理地址 12 位，页大小为 128B；TLB 采用 4 路组相联方式，共有 16 个页表项；L1 数据 cache 采用直接映射方式，块大小为 4B，共 16 行。在系统运行到某一时刻时，TLB、页表和 L1 数据 cache 中的部分内容如下：

请问（假定图中数据都为 16 进制形式）：

- (1) 虚拟地址中哪几位表示虚拟页号？哪几位表示页内偏移量？虚拟页号中哪几位表示 TLB 标记？哪几位表示 TLB 索引？
- (2) 物理地址中哪几位表示物理页号？哪几位表示页内偏移量？
- (3) 主存物理地址如何划分成标记字段、行索引字段和块内地址字段？
- (4) CPU 从地址 067AH 中取出的值为多少？说明 CPU 读取地址 067AH 中内容的过程。

**参考答案:**

(1) 页大小为 128B，因此，页内偏移量为 7 位。所以，虚拟地址中，低 7 位为页内偏移量，剩余的高 9 位为虚拟页号。TLB 采用 4 路组相联，所以，TLB 索引为 2 位，其余的高 7 位为 TLB 标记。

(2) 物理地址共 12 位，其中，低 7 位与虚拟地址相同，表示页内偏移量，高 5 位表示物理页号。

(3) L1 数据 cache 块大小为 4 字节，所以块内地址字段为 2 位。采用直接映射方式，且总共有 16 行，因此行索引字段为 4 位。其余的 6 位作为标记字段。因此，物理地址高 6 位为标记字段，中间 4 位为行索引字段，低 2 位为块内地址字段。

(4)  $067AH = 0000\_0110\_0111\_1010B$ 。因此,虚拟地址高 9 位为  $000001100$ 。按照 TLB 的地址格式,低两位为索引,高七位为标记,可知,TLB 组号为 0。查找第 0 组中标记为  $0000011 = 3H$  的标记,虽然 TLB 中存在该项,但是有效位为 0,因此 TLB 缺失,需要访问页表。

查找页表时,虚拟地址高 9 位为  $000001100 = 0CH$ ,查表可知,对应行有效位为 1,由此可得物理页号为  $19H$ 。结合虚拟地址低 7 位页内偏移,可得物理地址为  $11001\_1111010$ 。

按照物理地址查找 cache。按照 cache 的地址格式  $110011\_1110\_10$ ,行索引为  $1110 = EH$ ,标记为  $110011 = 33H$ ,与 cache 中的标记相匹配,因此数据存在于 cache 中。最后按照块内地址  $10B$ ,得到数据为  $4AH$ 。

组号	标记	页框号	有效位	标记	页框号	有效位	标记	页框号	有效位	标记	页框号	有效位
0	03	-	0	09	0D	1	00	-	0	07	02	1
1	13	2D	1	02	-	0	04	-	0	0A	-	0
2	02	-	0	08	-	0	06	-	0	03	-	0
3	07	-	0	03	0D	1	0A	34	1	72	-	0

TLB（4路组相联）：4组、16个页表项

虚页号	页框号	有效位
00	08	1
01	03	1
02	14	1
03	02	1
04	-	0
05	16	1
06	-	0
07	07	1
08	13	1
09	17	1
0A	09	1
0B	-	0
0C	19	1
0D	-	0
0E	11	1
0F	0D	1

部分页表（前16项）

行索引	标记	有效位	字节3	字节2	字节1	字节0
0	19	1	12	56	C9	AC
1	-	0	-	-	-	-
2	1B	1	03	45	12	CD
3	-	0	-	-	-	-
4	32	1	23	34	C2	2A
5	0D	1	46	67	23	3D
6	-	0	-	-	-	-
7	16	1	12	54	65	DC
8	24	1	23	62	12	3A
9	-	0	-	-	-	-
A	2D	1	43	62	23	C3
B	-	0	-	-	-	-
C	12	1	76	83	21	35
D	16	1	A3	F4	23	11
E	33	1	2D	4A	45	55
F	-	0	-	-	-	-

L1数据cache：直接映射、16行、块大小4B