

# PARTHENON による 32 ビットマイクロプロセッサの作成

学生番号: 09425566

提出者: 佐藤 佑太

提出日: 2015 年 7 月 27 日

締切日: 2015 年 7 月 27 日

## 概要

本稿では、情報工学実験 (ハードウェア実験) において作成した、32 ビットマイクロプロセッサについてまとめる。

## 1 はじめに

本実験の目的は、ハードウェア記述言語と CAD ツールを利用したマイクロプロセッサの設計を通して、論理回路、コンピュータアーキテクチャ、およびコンピュータシステムに関する理解を深めることである。

本報告書では、ハードウェア記述言語と CAD ツールを用いた論理回路の設計と、32 ビットマイクロプロセッサの設計について報告する。

本報告書の構成は次のとおりである。まず 2 にて本実験で設計したプロセッサの概要について述べる。

3 にて本実験における実施内容の状況報告を行う。

4 では、アセンブリによって作成したプログラムの作成に関しての報告を行う。

5 では、作成したプロセッサの設計に関して報告を行う。

6 では、発展課題で取り組んだ課題について報告する。

7 では、諸事項について検討を行い、それについての考察を記述する。

8 では、設計の際に工夫した点や特に注力した点について報告する。

9 では、本実験を通して、どこれまでから一層理解が深まった部分などについて記述する。

10 では、本実験の進捗状況報告ファイルを掲載する。

11 では、本実験で作成したアセンブリ言語プログラム、設計した SFL 記述、テスト用スクリプト、テスト結果、論理合成時の出力等のファイルの一覧を掲載する。

最後に 12 で、本報告のまとめと今後の課題を述べる。

## 2 設計したプロセッサの概要

ここでは、設計したプロセッサの概要について述べる。

本実験を通して設計したプロセッサは 32 ビット RISC アーキテクチャを採用した構成となっている。

### 2.1 サポートする命令セット

まず、本実験でサポートする命令セットを以下の表に示す。

表 1: サポートする命令一覧

命令種別	サポートする命令	サポートしない命令
算術論理演算	add, addu, addi, addiu, sub, subu, and, andi, or, ori, xor, xori, nor	mult, multu, div, divu
比較	slt, sltu, slti, sltiu	
シフト	sll, srl, sra, sllv, srlv, srav	
ロードストア	lw, sw, lb, sb	
分岐	beq, bne	
ジャンプ	j, jr, jal, jalr	
データ転送	lui, mfhi, mflo	
例外, システムコール	syscall	

今回は掛け算、割り算の命令については時間が足りなかったため実装しないこととした。

## 3 実施状況の報告

ここでは、取り組んだ課題の実施状況について報告する。

### 3.1 報告内容に関する事項

私たちの班では、役割分担をせずにそれぞれがプログラムの作成を行った。そのため、各プログラムにおける個人の役割は 100 中全員がすべて 100 であると考えたため、表からは省略している。

課題の実施内容は、以下の表のようになっている。

表 2: 実施状況

設計課題番号	内容	実施
D-1	32ビット加算器 add32 の設計	実施済み
D-2-1	カウンタの設計	実施済み
D-2-2	カウンタの設計	未実施
D-2-3	カウンタの設計	未実施
D-3	32ビット ALU の設計	実施済み
D-4	32ビットシフタの設計	実施済み
E-1	32ビット Carry Lookahead Adder の設計	未実施
E-2	32ビット 整数乗算器の設計	未実施
E-3	32ビット 除算器の設計	未実施
5-1	5ビット比較器	実施済み
5-2	レジスタファイル	実施済み
5-3	メモリユニット	実施済み
6-1	p32 プロセッサコア (マルチサイクル)	実施済み
E6-1	p32 プロセッサコアの改良	未実施
E6-2	乗算機能の実装	未実施
7-1	p32 プロセッサコア (マルチサイクル v2 )	実施済み
E7-1	p32 プロセッサコアの改良	未実施
E7-2	乗算機能の実装 (2)	未実施
8-1	p32 プロセッサコア (パイプライン )	実施済み
E8-1	p32 プロセッサコアの改良	未実施

## 4 プログラミング課題に関する報告

ここでは、アセンブリで実装したプログラミング課題 3 に関しての報告を行う。

プログラミング課題 3 では、整数をソートするプログラムの作成を行った。当初はクイックソートでソートプログラムを作成したいと考えていたが、実装のしやすさからバブルソートによるソートプログラムを作成した。

## 5 プロセッサ設計課題に関する報告

ここでは、設計したプロセッサの概要について述べる。

## 5.1 設計課題 6-1

設計課題 6-1 では、マイクロプロセッサ p32 のコアモジュールとなる p32m1,p32m2,p32p1 の設計を行った。

本実験で設計したプロセッサは 32 ビット RISC マイクロプロセッサとなっており、コプロセッサやキャッシュメモリは実装されていない。

アセンブリ言語は MIPS のものとほぼ同様のものとなっている。

各サブモジュールを論理合成した結果、以下の表のような数値が得られた。

表 3: 論理合成で得られた諸量のまとめ

モジュール	最大遅延 (ns)	最大動作周波数 (MHz)	ゲート数	実装面積 ( $1000\mu\text{m}^2$ )	消費電力 ( $\mu\text{W}/\text{MHz}$ )	最大動作周波数で 動作時の消費電力
32 ビット加算器	33.1	30.21	95	25.18	224.0	6.77
32 ビット ALU	125.3	30.21	95	25.18	224.0	6.77
32 ビットシフタ	26.6	27.32	2488	267.91	2519.8	68.85
5 ビット比較器	24.0	41.67	27	6.26	67.1	2.80
レジスタファイル	31.6	31.65	17871	4888.41	34645.4	1096.37
p32 プロセッサコア (マルチサイクル)	125.0	8.00	30512	8240.88	57859.9	462.88
p32 プロセッサコア (マルチサイクル v2)	124.5	8.03	30994	8357.85	58670.4	471.25
p32 プロセッサコア (パイプライン)	230.9	4.33	31991	8597.80	60738.8	263.05

## 6 追加課題や発展課題に関する報告

今回は追加課題や発展課題に取り組む時間を確保することができず、実装することができなかった。

## 7 検討・考察

全体的にプロセッサ自体を仕上げることにのみしか時間を割くことができず、細部でよりよいパフォーマンスをだすための工夫などを施すことができなかった。

## 8 工夫した点や特に力を注いだ点

プロセッサに使われているモジュールを逐一しっかりと挙動をりかいしながらプロセッサを設計することをこころがけた。そうすることでよりプロセッサの挙動を理解しながら設計し、そこから性能をあげるような実装もできるのではないかと考えたが、今回そこまでの時間をとることができなかった。

## 9 本実験を実施して得られたこと

自分が使っているコンピュータが、根本ではどのように作用しているのか理解することができた。

## 10 進捗状況報告

この章では、設計課題の進捗状況を報告する。

設計内容の進捗は以下に掲載する。

( 設計課題進捗状況 )

グループ： B-10

学生番号： 09425566

氏 名： 佐藤佑太

最終更新： 2015-06-23(火) 18:00

	(2)	(3)	(4)	(5)	(6)	(7)	(8)	(9)
	5/26	6/2	6/9	6/16	6/23	6/30	7/7	7/14
課題	3 4 5	3 4 5	3 4 5	3 4 5	3 4 5	3 4 5	3 4 5	3 4 5
(D-1)	<+T							S>
(D-2-1)	<+ttttttttttttT>							
(D-2-2)								
(D-2-3)								
(D-3)			<+ttttT					S>
(D-4)			<+ttttT					S>
(E-1)								
(E-2)								
(E-2)								
(5-1)					<+T			S>
(5-2)					<+T			S>
(5-3)					<+T>			
(6-1)						<++++ttttttttT		S>
(E6-1)								
(E6-2)								
(7-1)						<++++ttttttT		S>
(E7-1)								
(E7-2)								
(8-1)							<+ttttT	S>
(E8-1)								

( シンボルとその説明 )

< ... 着手

+ ... 実施 (コーディング)  
 t ... Seconds シミュレーション, デバッグ  
 T ... Seconds シミュレーション, デバッグ 完了  
 v ... Verilog HDL シミュレーション, デバッグ  
 V ... Verilog HDL シミュレーション, デバッグ 完了  
 S ... 論理合成  
 > ... 完成  
 \* ... 実施 (改良等)  
 . ... その他  
 シンボルは半角文字で書くこと (全角文字は使わない)

#### (基本モジュールの設計)

(D-1) 【設計課題 2-1】～【設計課題 4-1】 32ビット加算器 add32 の設計  
 (D-2-1) 【設計課題 2-2】～【設計課題 4-2】 カウンタの設計 (\_-2-1)  
 (D-2-2) 【設計課題 2-2】～【設計課題 4-2】 カウンタの設計 (\_-2-2)  
 (D-2-3) 【設計課題 2-2】～【設計課題 4-2】 カウンタの設計 (\_-2-3)  
 (D-3) 【設計課題 2-3】～【設計課題 4-3】 32ビット ALU の設計  
 (D-4) 【設計課題 2-4】～【設計課題 4-5】 32ビットシフタの設計  
 (E-1) 【発展課題 2-1】～【発展課題 4-1】 32ビット Carry Lookahead Adder の設計  
 (E-2) 【発展課題 2-2】～【発展課題 4-2】 32ビット整数乗算器の設計  
 (E-3) 【発展課題 2-3】～【発展課題 4-3】 32ビット整数除算器の設計  
 (5-1) 【設計課題 5-1】 5ビット比較器  
 (5-2) 【設計課題 5-2】 レジスタファイル  
 (5-3) 【設計課題 5-3】 メモリユニット

#### (プロセッサの設計)

(6-1) 【設計課題 6-1】 p32 プロセッサコア (マルチサイクル)  
 (E6-1) 【発展課題 6-1】 p32 プロセッサコアの改良  
 (E6-2) 【発展課題 6-2】 乗算機能の実装  
 (7-1) 【設計課題 7-1】 p32 プロセッサコア (マルチサイクル v2)  
 (E7-1) 【発展課題 7-1】 p32 プロセッサコアの改良  
 (E7-2) 【発展課題 7-2】 乗算機能の実装 (2)  
 (8-1) 【設計課題 8-1】 p32 プロセッサコア (パイプライン)  
 (E8-1) 【発展課題 8-1】 p32 プロセッサコアの改良

## 11 作成した設計記述、プログラム等のリポジトリ名、ファイル名の 一覧

ここでは, 作成したプログラム等に関する情報をまとめておく。

以下に、作成したアセンブリ言語プログラム、設計した SFL 記述、テスト用スクリプト、テスト結果、論理合成時の出力等のファイル名とそれらの置かれている場所の一覧を表にまとめておく。

なお、URL は <http://jikken1.arc.cs.okayama-u.ac.jp/gitbucket/09425566/processor> 以下を記述することとする。

表 4: 実施状況

設計課題番号	内容	場所
D-1	32 ビット加算器 add32 の設計	/add32
D-2-1	カウンタの設計	/counter
D-3	32 ビット ALU の設計	/alu32
D-4	32 ビットシフタの設計	/shift32
5-1	5 ビット比較器	/comp5
5-2	レジスタファイル	reg32x32
5-3	メモリユニット	memunit
6-1	p32 プロセッサコア (マルチサイクル)	/p32m1
7-1	p32 プロセッサコア (マルチサイクル v2 )	/p32m2
8-1	p32 プロセッサコア (パイプライン )	p32p1

## 12 おわりに

本報告書では、本実験で設計したマイクロプロセッサについて報告した。本実験テーマの目的である (1) コンピュータシステムに関する理解を深める、(2) ハードウェア記述言語と CAD の使い方を理解する、(3) マイクロプロセッサ設計を通して、論理回路、コンピュータアーキテクチャについての理解を深める は、それぞれ達成できた。今回はプログラムの改良に時間をさくことができなかったため、今後の課題としてどんな工夫をすることでもっとよい結果をだすことができるのか、ということについてももっと深めていきたい。