

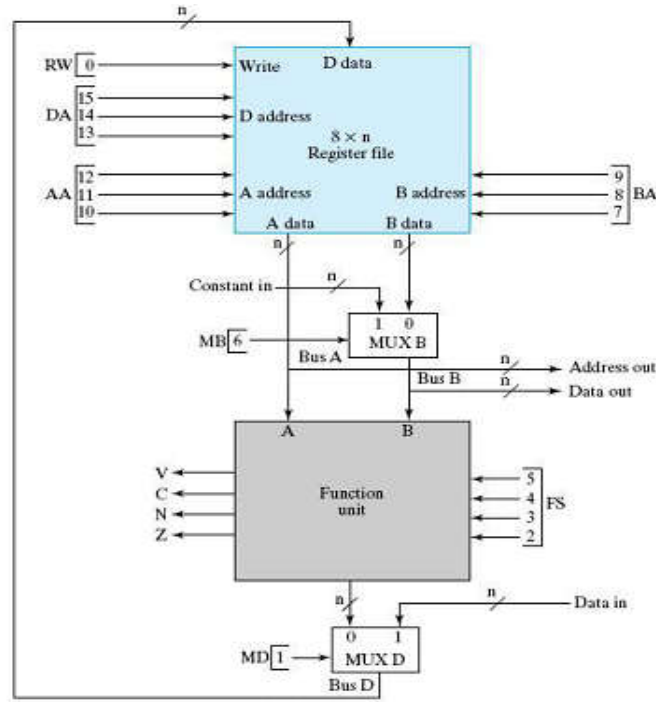
Deney8) Datapath Tasarımı

Bu deneyde, Datapath Tasarımı VHDL ile yazılacak ve **ALTERA-DE0 veya DE2** kartı üzerinde çalıştırılacaktır.

	Family:	Name:
ALTERA-DE0	Cyclone III	EP3C16F484C6
ALTERA-DE2	Cyclone II	EP2C35F672C6

+VHDL code
+Simulation
+ Kart

8a) Datapath Tasarımı



Yukarıda gösterilen datapath yani veri yolu tasarlanacaktır.

- Bir önceki deneylerde oluşturulmuş register memory bu deneyde kullanılabilir. Tekrar tasarıma gerek yoktur.
- ALU (Fonksiyon ünitesi) tasarımı yapılırken eski ALU tasarımı V (Taşma), C (Elde), N (Negatif), Z (sıfır) bayrakları çıkartılarak kullanılabilir. İsterseniz ALU'yu tekrar tasarlayabilirsiniz. ALU'da en az 8 işlem yapılmalıdır.
- Şekilde görülen mux'lar ayrı ayrı tasarlanacaktır.
- Tüm tasarımlar gerçekleştiğinde en sonunda birleştirme sağlanarak, örnek en az 2 uygulama gösterilecektir.

Örnek Uygulama:

R0=5, R5=15,

İşlem: R3=R5-R0

Sonuç=10, R3=10