

Deney1) Half Adder

- Bu deneyde, 1 bitlik yarım toplayıcı (half adder) VHDL dili ile yazılarak **ALTERA-DE0** kartı üzerinde çalıştırılacaktır.
- Quartus ve Modelsim programlarının kullanımı öğrenilecektir.

	Family:	Name:
ALTERA-DE0	Cyclone III	EP3C16F484C6

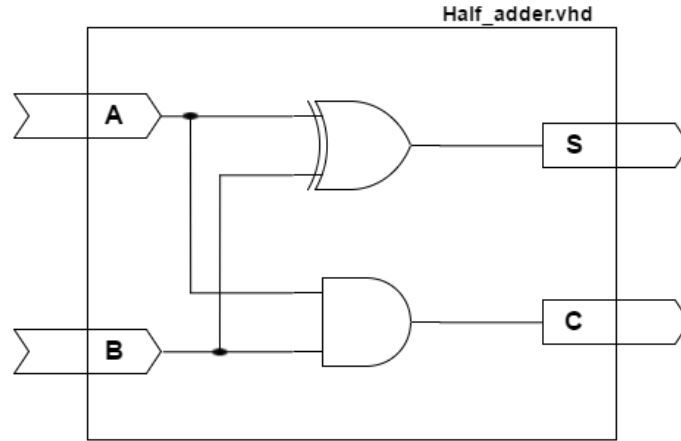
1a) Half adder

Yarı toplayıcılar verilen iki değeri toplar ve sonuç ile birlikte bir elde çıkışı üretir. Doğruluk tablosu aşağıda verilmiştir.

A,B: 1 bitlik girişler
S: 1 bitlik toplam sonucu
C: 1 bitlik elde sonucu

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Şematiği aşağıda verilen tasarım için VHDL kodlarını Quartus programıyla yazınız ve Modelsim programıyla simüle ediniz.



Dip not:

*kullanılan kütüphaneler :

library IEEE;

use IEEE.STD_LOGIC_1164.ALL;

use IEEE.STD_LOGIC_ARITH.ALL;

use IEEE.STD_LOGIC_UNSIGNED.ALL;

***entity adı dosya adı ile aynı olmalıdır.**

*VHDL dilinde 1 bitlik logic sayılar **std_logic** türüyle, **girişler in çıkışlar out** moduyla tanımlanır.

*İşlem sonuçları **sadece sola doğru atanır** ve std_logic/std_logic_vector türleri için “<=” sembolü kullanılır. (örn: S <= A xor B;)

* pin atamaları için “DE0 user manuel” dökümanına bakınız.

Deneyin örnek kodu

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity half_adder is
port (a, b : in std_logic;
      s, c :out std_logic);
end half_adder;

architecture behavior of half_adder is

begin
    s <= a xor b;
    c <= a and b;
end behavior;
```