

#### VHDL kod dosyalarında;

- Kontrol ünitesi (control\_unit.vhd)
- resgister files (reg.vhd)
- muxlar (Mux2x1\_16bit.vhd)
- fonksiyon ünitesi (func\_unit\_fs15.vhd)

vardı.

### Single cycle kurulup aşağıdaki işlemler çalıştırılabilir;

#### Örnek 1:

R0<=sl r4 (sl: shift left) R1<=sl r5 (sl: shift left)

R2<=r1- r0

R3<=sr r2 (sr: shift right)

#### Örnek 2:

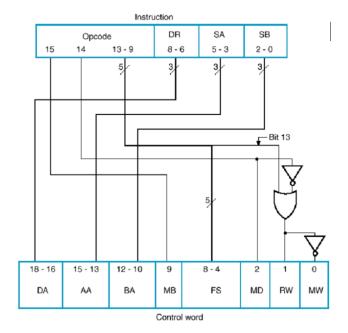
R0<=r0+5

R1<=sl r6 (sl: shift left)

R2<=not r0 R3<=r2 and r1

# Single cycle

## Decoder aşağıdaki gibi çalışmaktadır;



Fonksiyon seçimi ve register adres seçimi aşağıdaki tabloya uygundur.

DA, AA, BA		МВ		FS		MD		RW	
Function	Code	Function	Code	Function	Code	Function	Code	Function	Code
R0	000	Register	0	F = A	00000	Function	0	No write	0
R1	001	Constant	1	F = A + 1	00001	Data In	1	Write	1
R2	010			F = A + B	00010				
R3	011			F = A + B + 1	00011				
R4	100			$F = A + \overline{B}$	00100				
R5	101			$F = A + \overline{B} + 1$	00101				
R6	110			F = A - 1	00110				
Rī	111			F = A	00111				
				$F = A \wedge B$	01000				
				$F = A \lor B$	01010				
				$F = A \oplus B$	01100				
				$F = \overline{A}$	01110				
				$F = \operatorname{sr} A$	10000				
				$F = \operatorname{sl} A$	10001				