

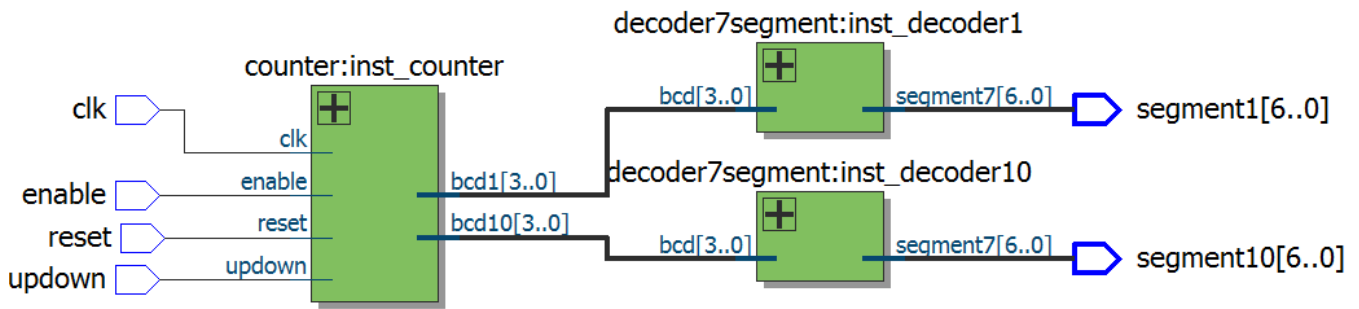
Uygulama 5) Counter

Bu deneyde, counter VHDL dili ile yazılarak **ALTERA-DE0 veya DE2** kartı üzerinde çalıştırılacaktır. Sayılan değer onluk tabanda iki ayrı 7segment üzerinde gösterilecektir.

	Family:	Name:
ALTERA-DE0	Cyclone III	EP3C16F484C6

5a) Counter

Sayıcı (counter) giriş anahtarlarına göre yukarı/aşağı sayabilen bir yapıdır. Giriş-çıkış bağlantıları aşağıda gösterilmiştir. Bcd1 çıkışı sayılan sayının birler basamağı, bcd10 ise sayılan sayının onlar basamağıdır.



- *eğer reset 1 ise,
sayma değeri 00 olur.
- *aksi durumda,
*enable 1 ise,
*clk sinyalinin yükselen kenarı geldiğinde,
up_down 1 ise sayma değeri yukarı yönlü sayar,
up_down değeri 0 ise aşağı yönde sayar.

Dip not:

*) sayılan değer ara değer üzerinde tutulabilir. Tanımlama yaptıktan sonra ilk değer ataması da aşağıdaki gibi yapılabilir;

```
“signal count:std_logic_vector(7 downto 0):=“00000000“;”
```

*) clk sinyalinin yükselen kenarı için “if(rising_edge(clk))” kullanılabilir.

*) std_logic_vector’ü integer’a çevirmek için “conv_integer(…)” fonksiyonu kullanılabilir.

*) integer’ı std_logic_vector’a çevirmek için “conv_std_logic_vector(...,4)” fonksiyonu kullanılabilir.

*) sayılan değer onlar basamağını bulmak için 10’a bölünebilir.

```
bcd10<=conv_std_logic_vector( (conv_integer(input_value)/10) ,4);
```

*)sayılan değer birler basamağını bulmak için 10luk tabanda mod alınabilir.

```
bcd1<=conv_std_logic_vector( (conv_integer(input_value) mod 10) ,4);
```

5 bonus) PWM üretici tasarımı

A şıkında yapılan counter her clk sinyalinde 1 saymaktadır. FPGA kart üzerindeki clock sinyali 50MHz'dir. Yani 20usn'de 1 sayı değişmektedir. Counter maximum 500e kadar sayarsa counterin resetlenme periyodu 100Hz olmaktadır. Dışarıdan girilecek olan bir eşik değeriyle karşılaştırılarak girilen değer counterdan büyükse 1, girilen değer counterdan küçükse 0 üretilecektir. Üretilen bu 1 bitlik değer Led'e gönderilecektir. Led 100Hz hızında yanıp sönecektir fakat insan gözü yanma ve sönmeyi ayırt edemeyeceği için ışık şiddetinin değiştiği gözlenecektir.

Signal Name	FPGA Pin No.	Description
CLOCK_50	PIN_G21	50 MHz clock input
CLOCK_50_2	PIN_B12	50 MHz clock input

7 segment decoder kodları;

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity decoder7segment is
port (   bcd : in std_logic_vector(3 downto 0);
        segment7 : out std_logic_vector(6 downto 0) );
end decoder7segment;

architecture Behavioral of decoder7segment is

begin

    process (bcd)
        BEGIN
            case bcd is
                when "0000"=> segment7 <="0000001"; -- '0'
                when "0001"=> segment7 <="1001111"; -- '1'
                when "0010"=> segment7 <="0010010"; -- '2'
                when "0011"=> segment7 <="0000110"; -- '3'
                when "0100"=> segment7 <="1001100"; -- '4'
                when "0101"=> segment7 <="0100100"; -- '5'
                when "0110"=> segment7 <="0100000"; -- '6'
                when "0111"=> segment7 <="0001111"; -- '7'
                when "1000"=> segment7 <="0000000"; -- '8'
                when "1001"=> segment7 <="0000100"; -- '9'

                when "1010"=> segment7 <="0001000"; -- 'A'
                when "1011"=> segment7 <="1100000"; -- 'B'
                when "1100"=> segment7 <="0110001"; -- 'C'
                when "1101"=> segment7 <="1000010"; -- 'D'
                when "1110"=> segment7 <="0110000"; -- 'E'
                when "1111"=> segment7 <="0111000"; -- 'F'

                when others=> segment7 <="1111111";
            end case;
        end process;
    end Behavioral;
```