

Uygulama7) Memory ve Register Memory Tasarımı

Bu deneyde, Memory ve Register Memory Tasarımı VHDL ile yazılacak ve **ALTERA-DE0** kartı üzerinde çalıştırılacaktır.

	Family:	Name:
ALTERA-DE0	Cyclone III	EP3C16F484C6

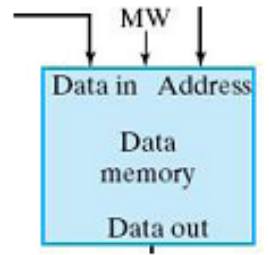
7a) Memory Tasarımı

- Memory 4x8 bitlik olacaktır.
- MW=1 iken yazım, MW=0 iken okuma yapılacaktır.
- Data in'den data girişi, Address'ten ise adres seçimi yapılacaktır.
- Veriler, data out'tan dışarı yansıtılacaktır.
- İstenilen bilginin yazılıp, okunabildiği simülasyonda gösterilecektir.

Yukarıdaki özellikleri taşıyan memory'i tasarlayınız.

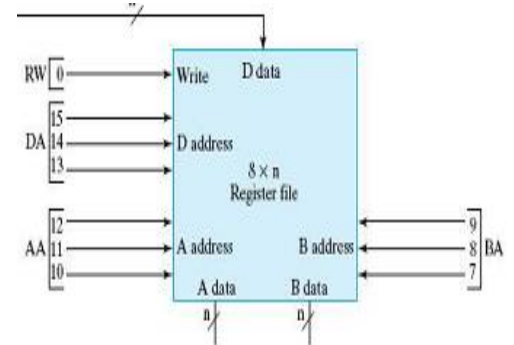
Hint: memory yapısı 2 boyutlu vektör olarak yeni şeklinde tanımlanır. Örnekte, 8bitlik 4 satır bilgi tutulmaktadır.

```
type mem_type is array (3 downto 0) of std_logic_vector (7 downto 0);  
signal mem: mem_type:=("00000100","00000011","00000010","00000001");
```



7b) Register Tasarımı

- Register 8x8 bitlik olacaktır.
- RW=1 iken yazım, RW=0 iken okuma yapılacaktır.
- DA yazılacak adresin seçim bitleridir.
- AA okuma anında A çıkışında gösterilecek registeri seçen bitlerdir.
- BA okuma anında B çıkışında gösterilecek registeri seçen bitlerdir.
- Senkronizasyon için düşen kenarlı Clk kullanılacaktır.
- Veriler D data'dan girecektir.



İstenilen bilginin yazılıp, istenilen tarafta okunabildiği simülasyonda gösterilecektir.