

实验报告

实验题目: Altera FPGA 开发入门

姓名: 牟真伟

学号: PB20051061

FPGA开发流程

1. 创建新工程

- File->new->New Quartus II Project 或 File->New Quartus II Project
- 工程目录, 工程名字 (顶层实体名字)
- 添加设计文件 (可选)
- 选择FPGA器件型号
- 选择EDA仿真工具modelsim

2. 编写设计文件

- File->new->VHDL File 或 点击新建文件的图标
- 编写设计文件的代码
- 保存: File->save 或 点击保存文件图标 或 CTRL+S [文件名为实体名, 后缀.vhd]

3. 编译设计工程

- 分析与综合: Processing->Start->Start Analysis & Synthesis 或点击分析与综合图标

4. 仿真工程

- 同步骤2编写仿真文件 (名称一般由待仿真文件加_td后缀)
- 同步骤3编译仿真文件
- Assignments->Settings->EDA Tool Settings->simulation->Test Benches 进入仿真设置
- 选择仿真文件, 实体名, 设置仿真时间
- 启动仿真: Tools->Run Simulation Tool->RTL Simulation

5. 引脚约束

- Assignments->Pin Planner
- 在location处为端口分配管脚 (可参考实验板引脚约束图)

6. 全编译设计工程

- Processing->Start Compilation

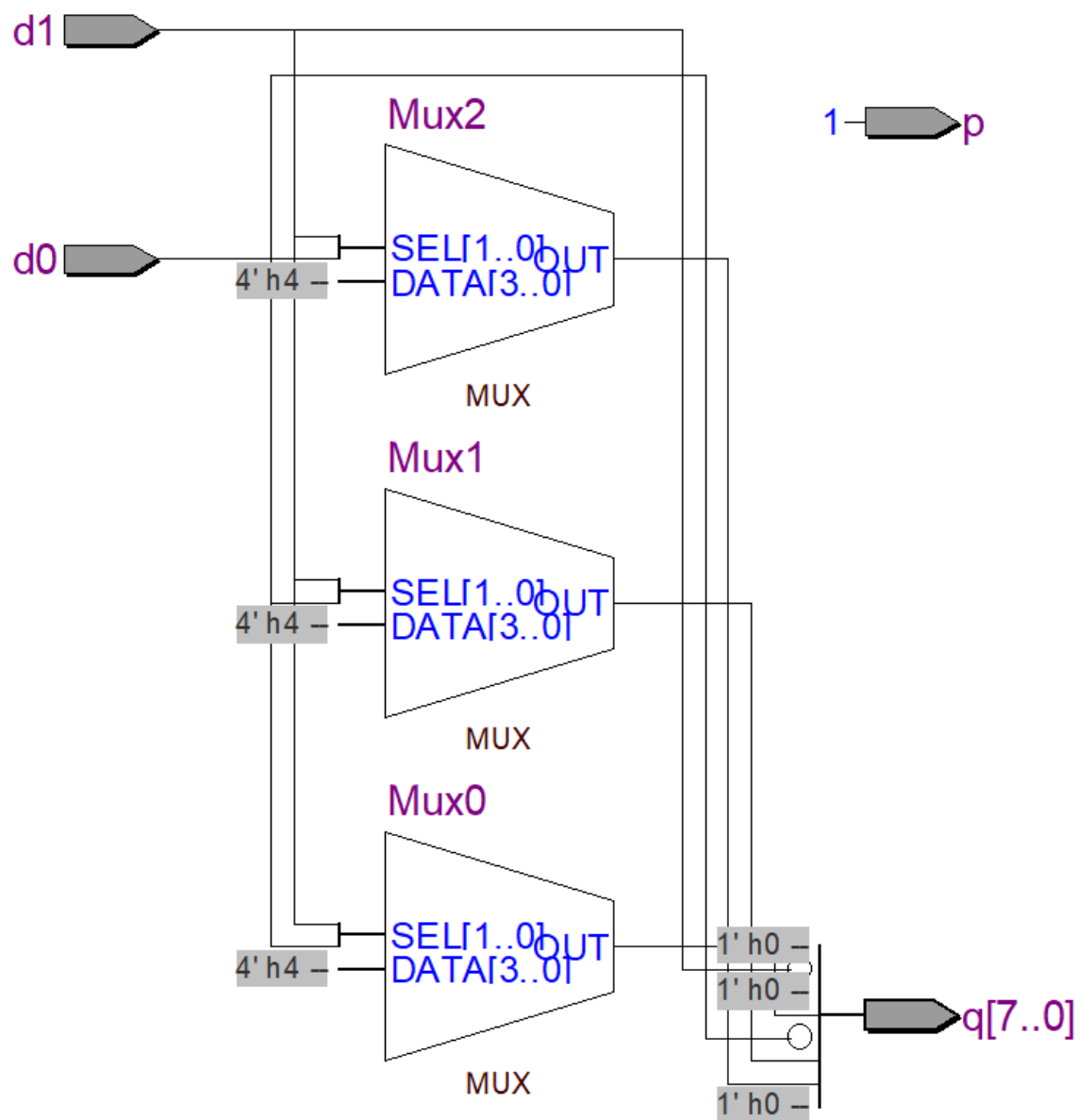
7. 下载程序

- 开发板上电, USB数据连接FPGA实验箱和计算机
- Tools->Programmer->Hardware Setup 选择USB-Blaster
- 识别出芯片型号后点击start下载程序

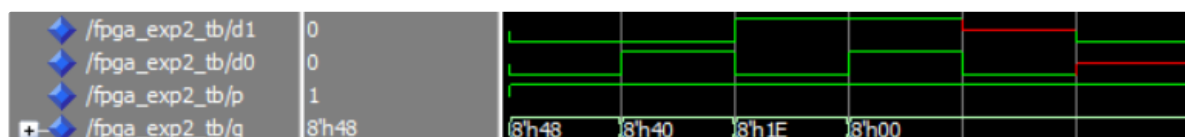
8. 查看硬件是否正常工作

实验分析

设计二的RTL结构图：



设计二的仿真时序图：



仿真文件程序中d1,d0分别为00, 01, 10, 11, 00, 0X, 各自持续20ns,以120ns为周期循环。设计文件程序中输入d1,d0和输出p,q的关系为

d1 d0	q	q(十六进制)	p
0 0	01001000	48H	1
0 1	01000000	40H	1
1 0	00011110	1EH	1
1 1	00000000	00H	1
others	不变	不变	1

与仿真时序图相符。

设计二实验功能

设计二管脚功能为下

管脚	功能
d0	拨码开关1
d1	拨码开关0
p	数码管 位选端
q	7段数码管(q(1)到q(7))和小数点(q(0)) 段选端

其中数码管为共阳极，当段选端为低电平时点亮。通过设置位选端p为1，锁定为实验箱第6个数码管。通过拨码开关改变d1,d0，进而设置段选端q，使得数码管呈现对应数字，对应关系为

d1 d0	数码管数值
0 0	5
0 1	6
1 0	7
1 1	8

与实验现象相符。

实验总结

本次实验我通过两个简单但完整的FPGA设计开发，对于FPGA的开发的基本流程有了大致掌握。在实验过程中，我遇到了选错fpga芯片类型的错误，在新建工程的时候选错了芯片，这会对后面绑定引脚的时候产生影响，于是我找到了更换工程芯片型号的方法，在assignments->device处可以更改芯片型号。而在程序的下载时，programmer界面并未显示出芯片，但是可以通过手动添加的方式添加实验的芯片，完成正常的程序下载。

