DD LAB8

一、地點：工學501A

二、準備時間：5/25 1924-1932

三、DEMO時間：5/25 1932-1940

四、評分方式

1. 設計的乘法器皆有2個input及1個output，請同學自行設計testbench驗證結果是否正確。

透過上述方法之一(Separate sign handling、Sign extension、Baugh-Wooley algorithm與Booth recoding)，實作一32bit有號數乘法器。

Demo時將使用助教提供的Testbench進行運算，共10筆測資，每筆10%。

並會於Demo時詢問選用架構及原因，嚴禁抄襲。

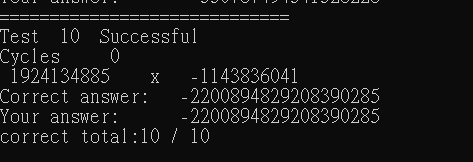
**使用Verilog 語法直接進行相乘視同作弊，此次LAB成績以0分計算。**

2. booth\_high\_level (跑過100000筆 OK)

(1)路徑 C:\Users\User\Desktop\CO\2019\_COLAB2\iverilog\bin開啟cmd

(2)$iverilog -o booth\_MPY booth\_MPY\_testbench\_64bit.v

(3)$vvp booth\_MPY



3.這次不考試，只要用乘法器四種方式其中一種跑過助教給的testbench即可