

بسم الله الرحمن الرحيم

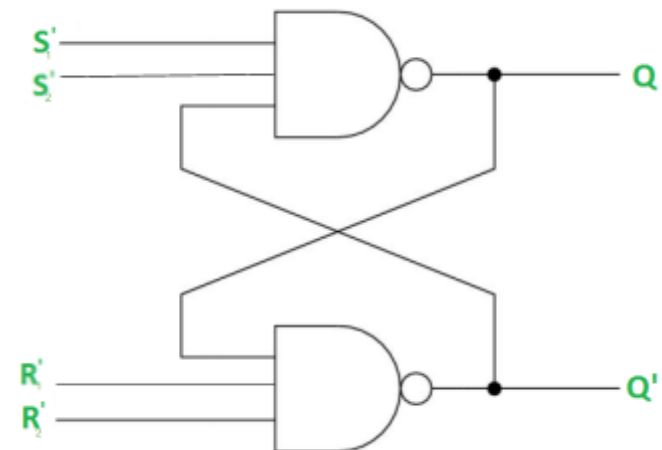
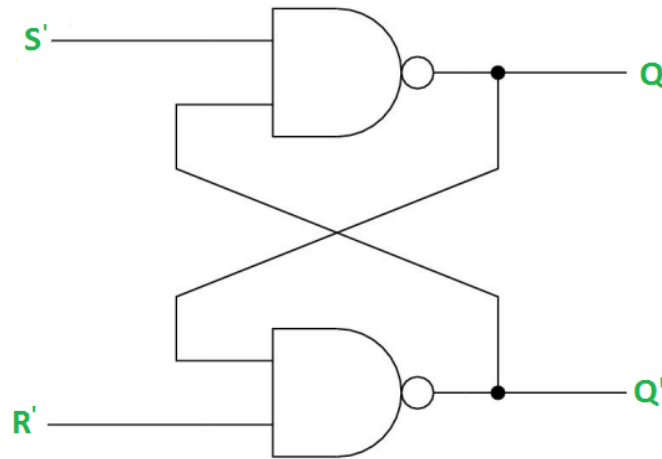
پروژه ۴ مدار منطقی
دکتر نوابی

مهدی وجهی

۸۱۰۱۰۱۵۵۸

سوال ۱

مدار ها به شکل زیر است:



که کد آنها به شکل زیر می شود:

```
module q1_2in (input S, R, output Q, Qb);  
    nand #8 N1 (Q, Qb, S);  
    nand #8 N2 (Qb, Q, R);  
endmodule  
  
module q1_3in (input S, R, in_s, in_r, output Q, Qb);  
    nand #12 N1 (Q, S, in_s, Qb);  
    nand #12 N2 (Qb, R, in_r, Q);  
endmodule
```

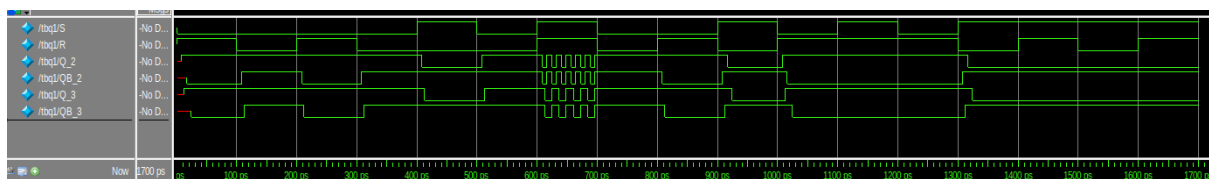
همچنین برای آزمایش کدی به صورت زیر داریم:

```
module tbq1 ();
  logic S,R;
  wire Q_2, QB_2;
  wire Q_3, QB_3;
  q1_2in rs_latch_2in(S, R, Q_2, QB_2);
  q1_3in rs_latch_3in(S, R, S, R, Q_3, QB_3);

  initial begin
    S = 0; R = 1;
    #100 S = 0; R = 0;
    #100 S = 0; R = 1;
    #100 S = 0; R = 0;
    #100 S = 1; R = 0;
    #100 S = 0; R = 0;
    #100 S = 1; R = 1;
    #100 S = 0; R = 0;
    #100 S = 0; R = 1;
    #100 S = 1; R = 0;
    #100 S = 0; R = 1;
    #100 S = 1; R = 1;
    #100 S = 0; R = 1;
    #100 S = 1; R = 0;
    #100 S = 1; R = 1;
    #100 S = 1; R = 0;
    #100 S = 1; R = 1;
    #100 $stop;
  end

endmodule
```

و نتیجه ی آن به صورت زیر است:



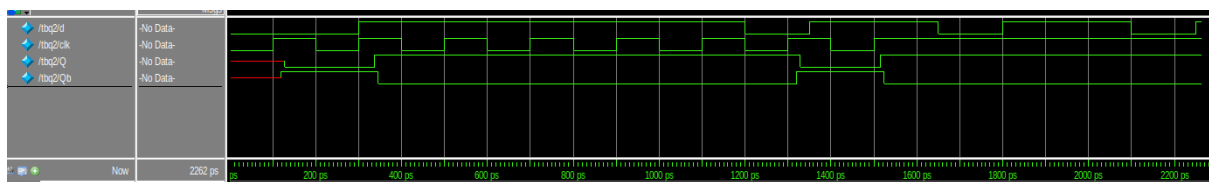
سوال ۲

کد مدار به صورت زیر است:

```
module q2 (input D, CLK, output Q, Qb);
    wire G1_out, G2_out, G3_out, G4_out;
    q1_2in G1_and_G2(G4_out, CLK, G1_out, G2_out);
    q1_3in G3_and_G4(.S(CLK), .R(D), .in_s(G2_out), .in_r(D),
                    .Q(G3_out), .Qb(G4_out));
    q1_2in G5_and_G6(G2_out, G3_out, Q, Qb);
endmodule
```

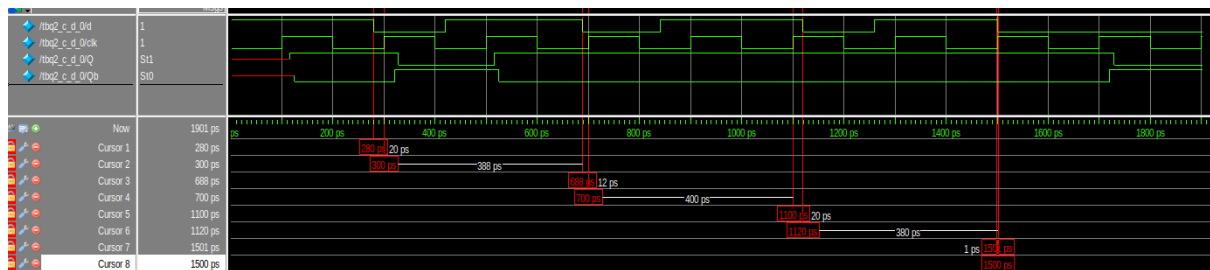
با یک تست بنچ آن را ارزیابی اولیه می کنیم:

```
module tbq2();
    logic d = 0, clk = 0;
    wire Q, Qb;
    q2 d_flip_flop (d, clk, Q, Qb);
    initial repeat (15) #100 clk = ~clk;
    initial repeat (15) #150 d = $random;
endmodule
```



حال به بررسی دقیق t setup & hold می پردازیم. در دو تست بنچ یکی با تغییر به یک و دیگری با تغییر به صفر است.

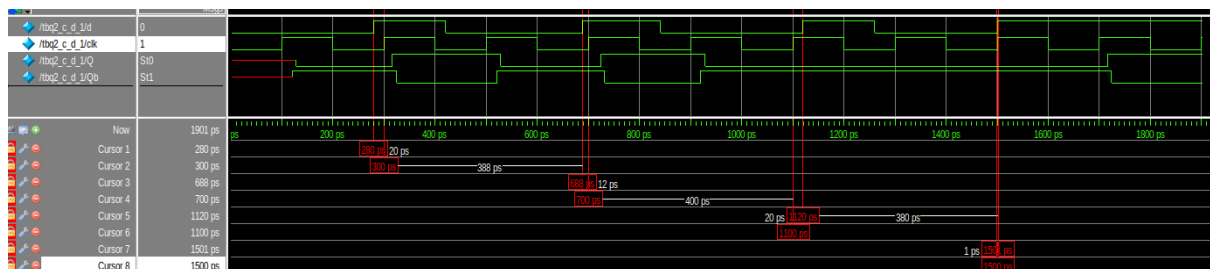
```
module tbq2_c_d_0();
    logic d = 1, clk = 0;
    wire Q, Qb;
    q2 d_flip_flop (d, clk, Q, Qb);
    initial forever #100 clk = ~clk;
    initial begin
        #280 d = 0; // 280 20 ns before clk
        #140 d = 1; // 420
        #268 d = 0; // 688 12ns before clk
        #152 d = 1; // 840
        #280 d = 0; // 1120 20 ns after clk
        #140 d = 1; // 1260
        #241 d = 0; // 1801 1ns after clk
        #400 $stop;
    end
endmodule
```



```

module tbq2_c_d_1();
    logic d = 0, clk = 0;
    wire Q, Qb;
    q2 d_flip_flop (d, clk, Q, Qb);
    initial forever #100 clk = ~clk;
    initial begin
        #280 d = 1; // 280 20 ns before clk
        #140 d = 0; // 420
        #268 d = 1; // 688 12ns before clk
        #152 d = 0; // 840
        #280 d = 1; // 1120 20 ns after clk
        #140 d = 0; // 1260
        #241 d = 1; // 1801 1ns after clk
        #400 $stop;
    end
endmodule

```



همانطور که مشاهده می شود t setup برابر با ۱۲ است ولی t hold نداریم و موثر نیست. میزان t به این خاطر ۱۲ است که مقدار d باید از گیت اول بگذرد.

سوال ۳

کد مدار به صورت زیر است:

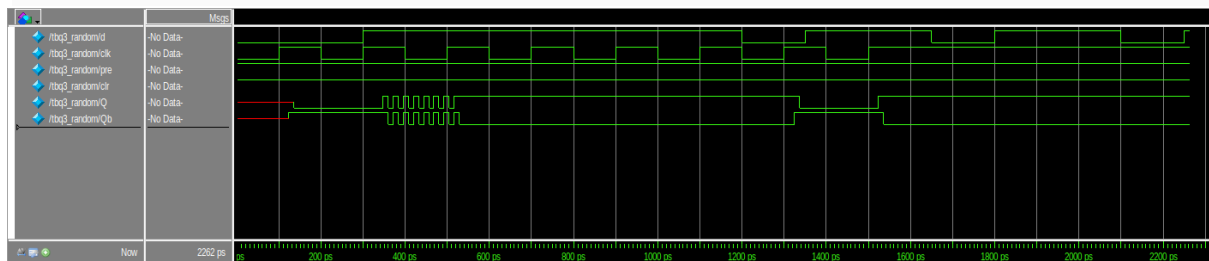
```
module q3 (input D, CLK, CLR_b, PRE_b, output Q, Qb);
    wire G1_out, G2_out, G3_out, G4_out;
    q1_3in G1_and_G2(.S(G4_out), .R(CLK), .in_s(PRE_b), .in_r(CLR_b),
                    .Q(G1_out), .Qb(G2_out));

    q1_3in G3_and_G4(.S(CLK), .R(D), .in_s(G2_out), .in_r(CLR_b),
                    .Q(G3_out), .Qb(G4_out));

    q1_3in G5_and_G6(.S(G2_out), .R(G3_out), .in_s(PRE_b), .in_r(CLR_b),
                    .Q(Q), .Qb(Qb));
endmodule
```

با یک تست بنچ شناسی آن را بررسی می کنیم:

```
module tbq3_random();
    logic d = 0, clk = 0, pre = 1, clr = 1;
    wire Q, Qb;
    q3 d_flip_flop (d, clk, pre, clr, Q, Qb);
    initial repeat (15) #100 clk = ~clk;
    initial repeat (15) #150 d = $random;
endmodule
```



حال به دستکاری pre و clr می پردازیم:

```
module tbq3();
    logic d = 0, clk = 0, pre = 1, clr = 1;
    wire Q, Qb;
    q3 d_flip_flop (d, clk, clr, pre, Q, Qb);
    initial repeat (15) #100 clk = ~clk;
    initial begin
        #150 d = 1; // 150
        #130 clr = 0; //280
        #50 d = 0; clr = 1; //330
        #70 pre = 0; //400
        #200 clr = 0; d = 1; //600
    end
endmodule
```

```
#400 $stop;  
end  
endmodule
```

