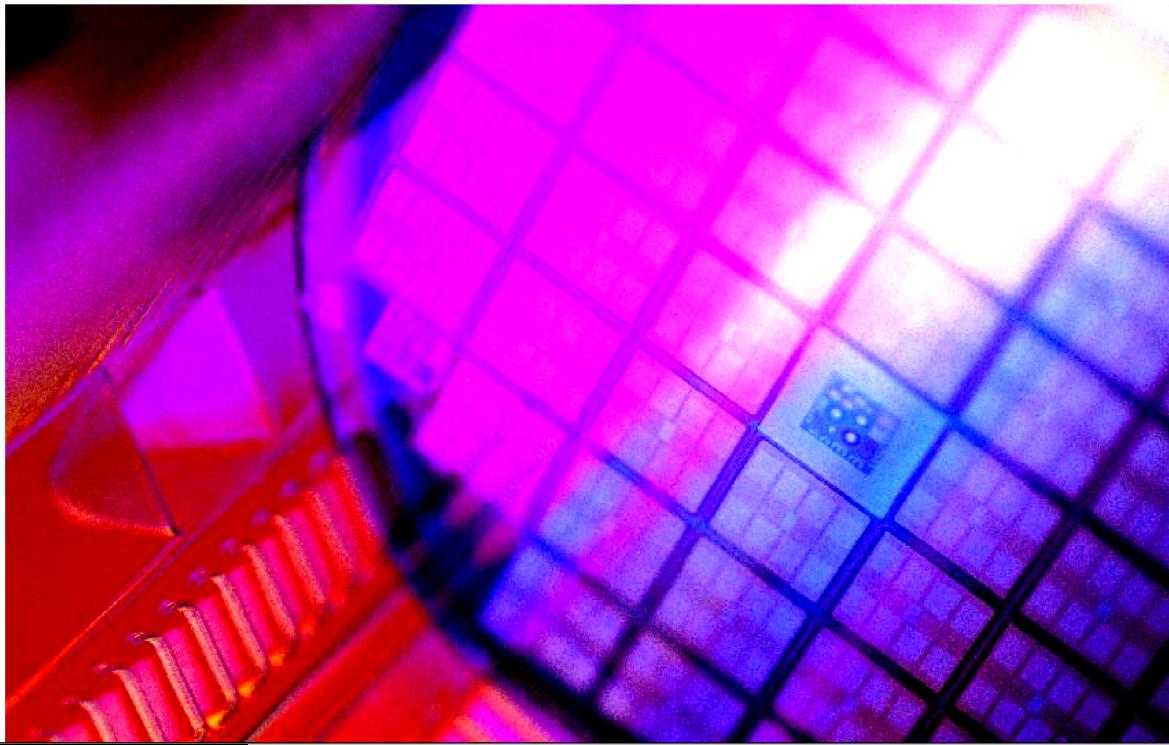


FEQ1301T00-V0.00



ZRtech

FPGA 开发套件 HDL 实验教程 —QUARTUS 工程的建立



www.zr-tech.com

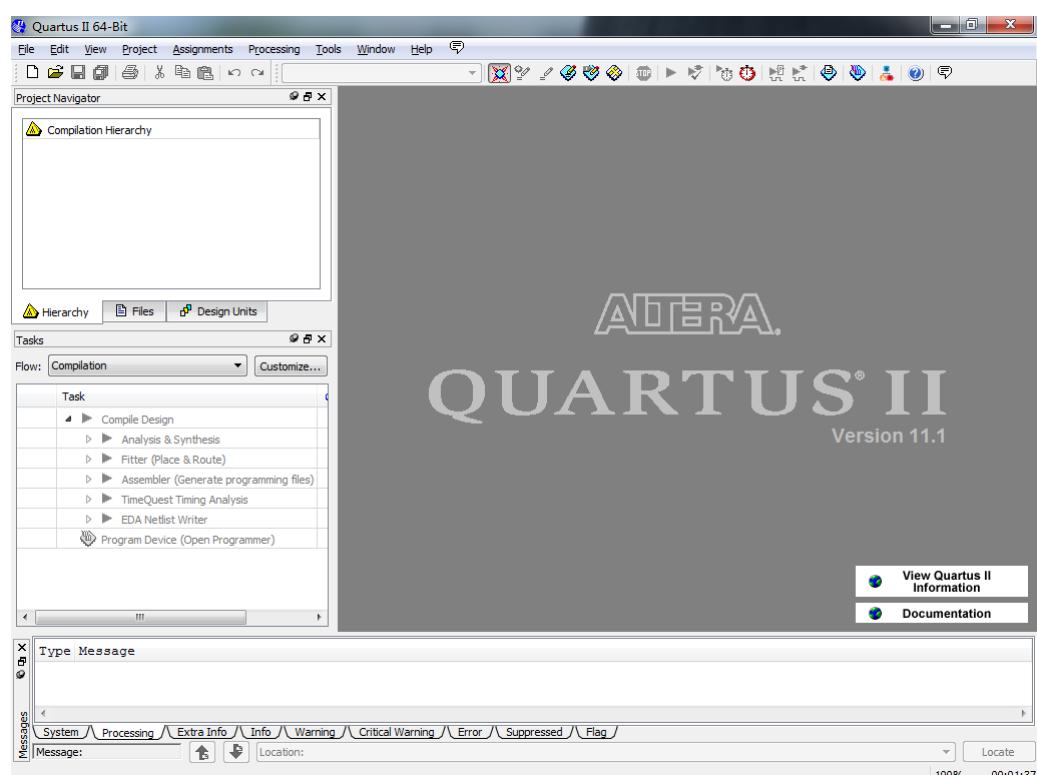
实验 0 QUARTUS 工程的建立

实验目的：

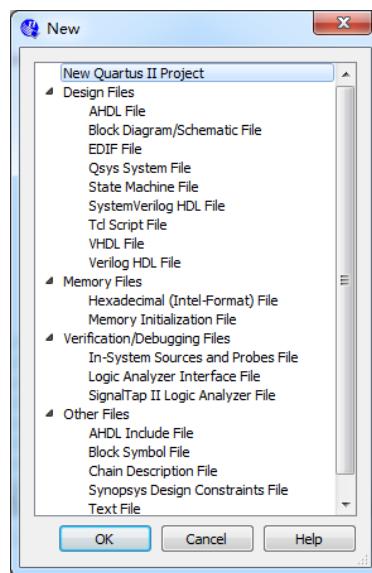
掌握 QUARTUS 基本的开发流程。

具体实现：

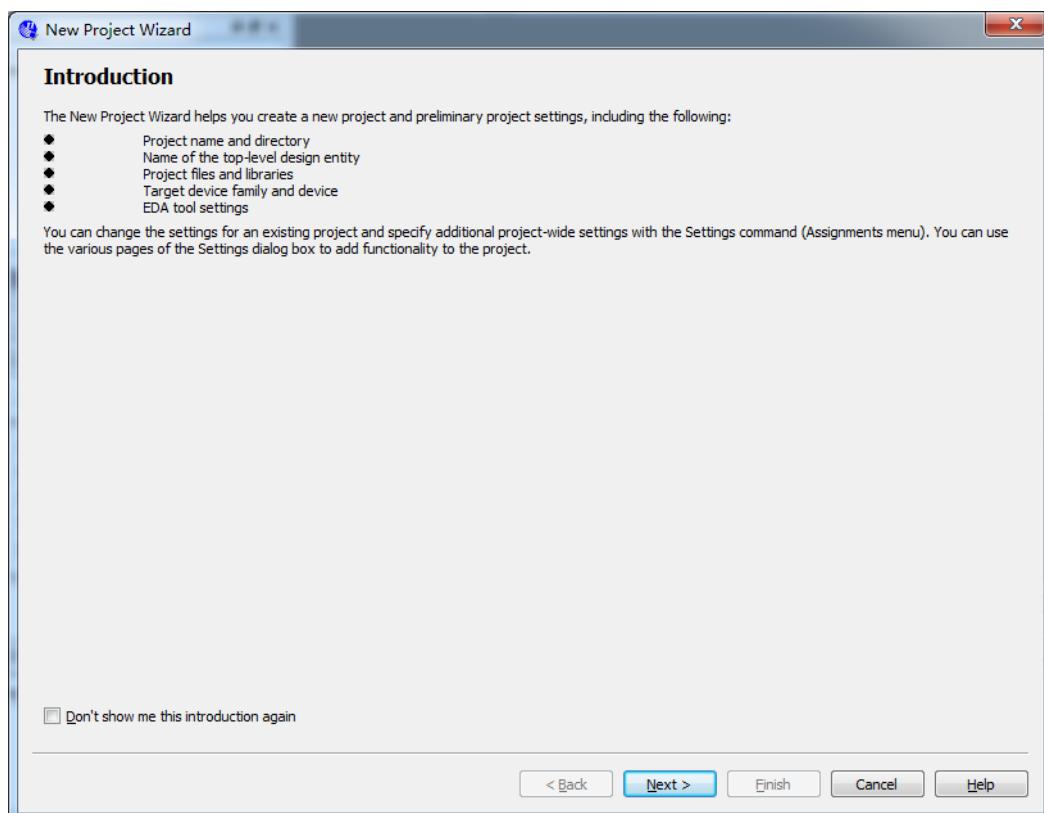
- 首先我们需要建立一个 Quartus 工程 ,首先打开 Quartus ,这里我们选择 Quartus II 11.1 SP2 版本。



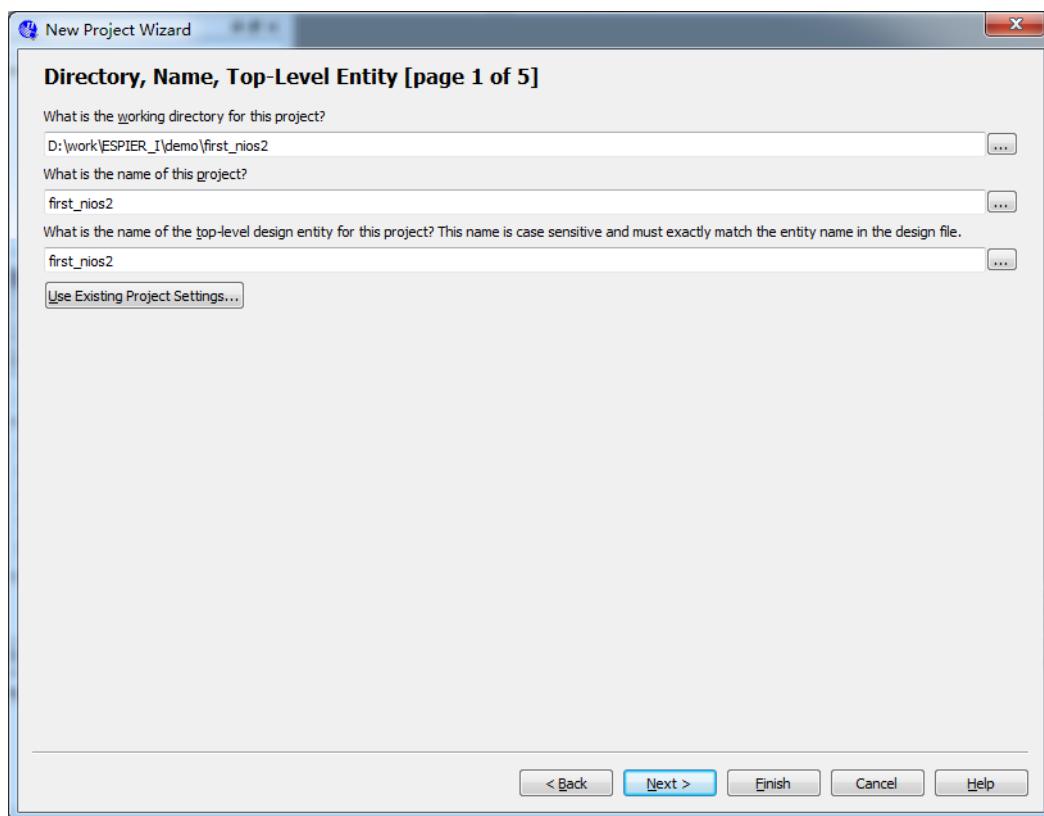
- 点击 File 选择 New。



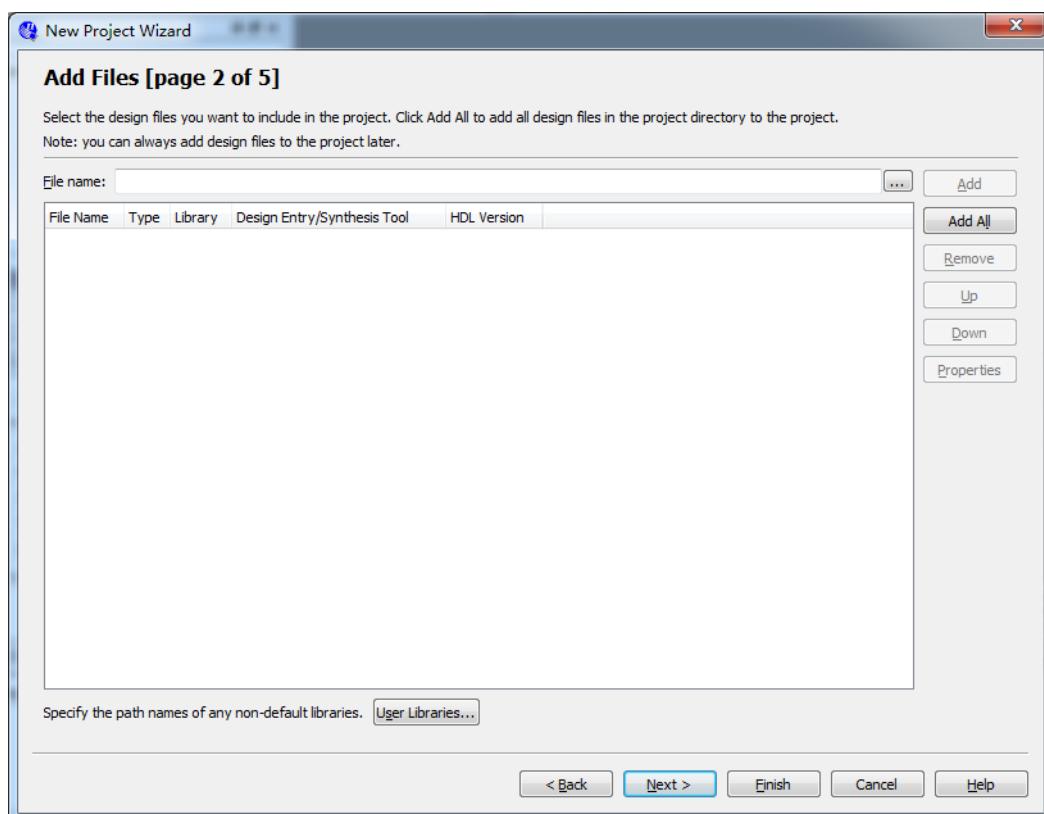
3. 选择 New Quartus II Project , 点击 OK。



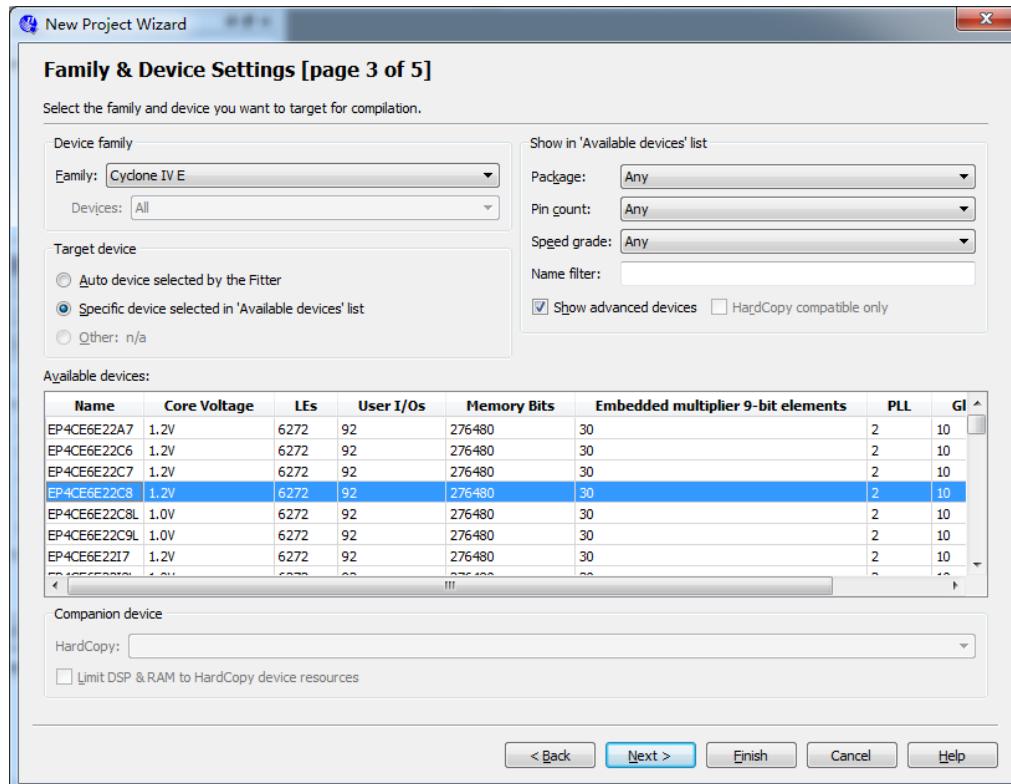
4. 点击 NEXT , 选择工程目录和工程名 :



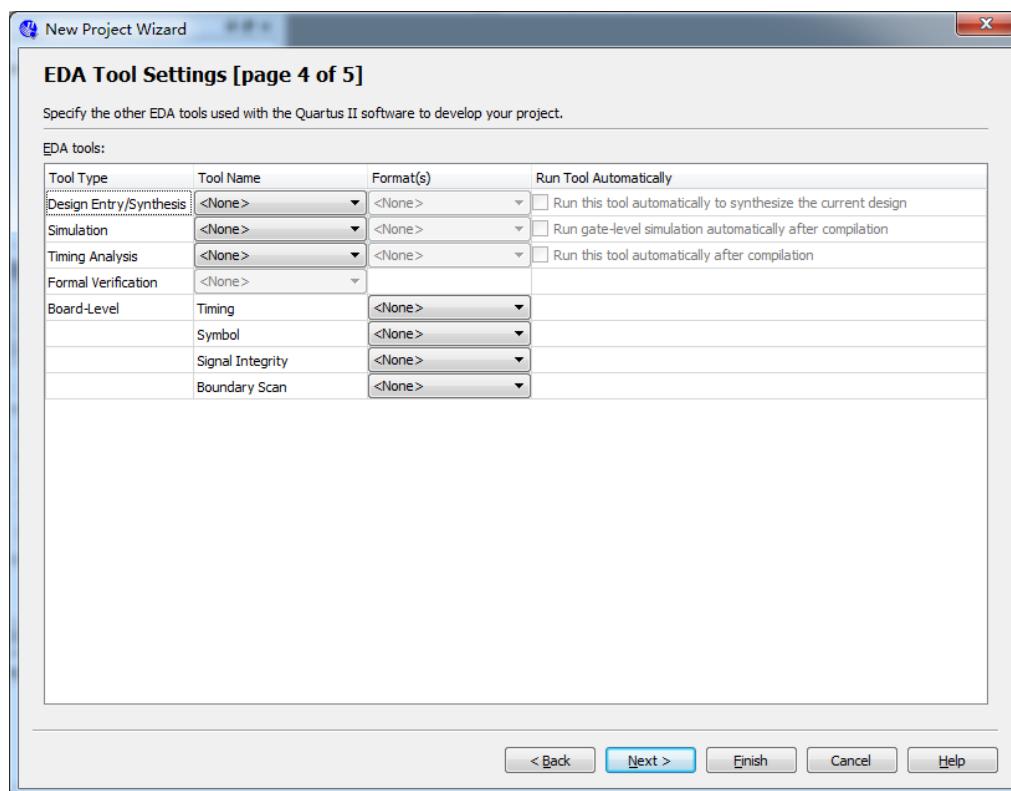
5. 添加源文件，此处跳过，直接点击 Next。



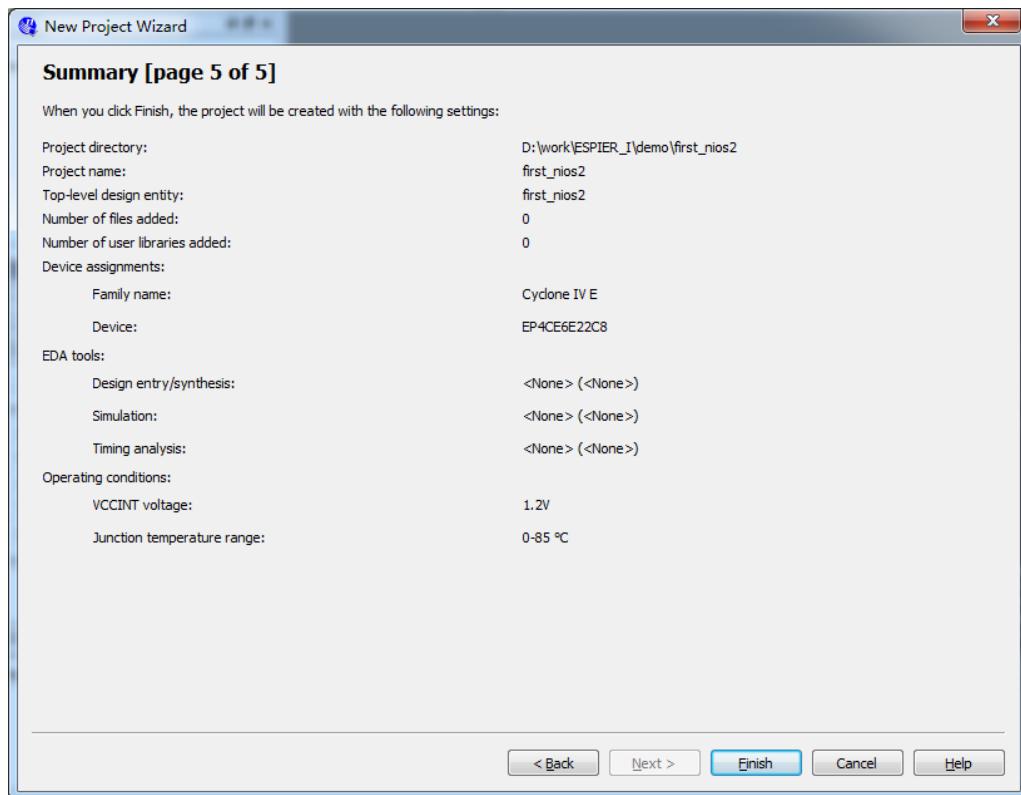
6. 选择器件为 EP4CE6E22C8。



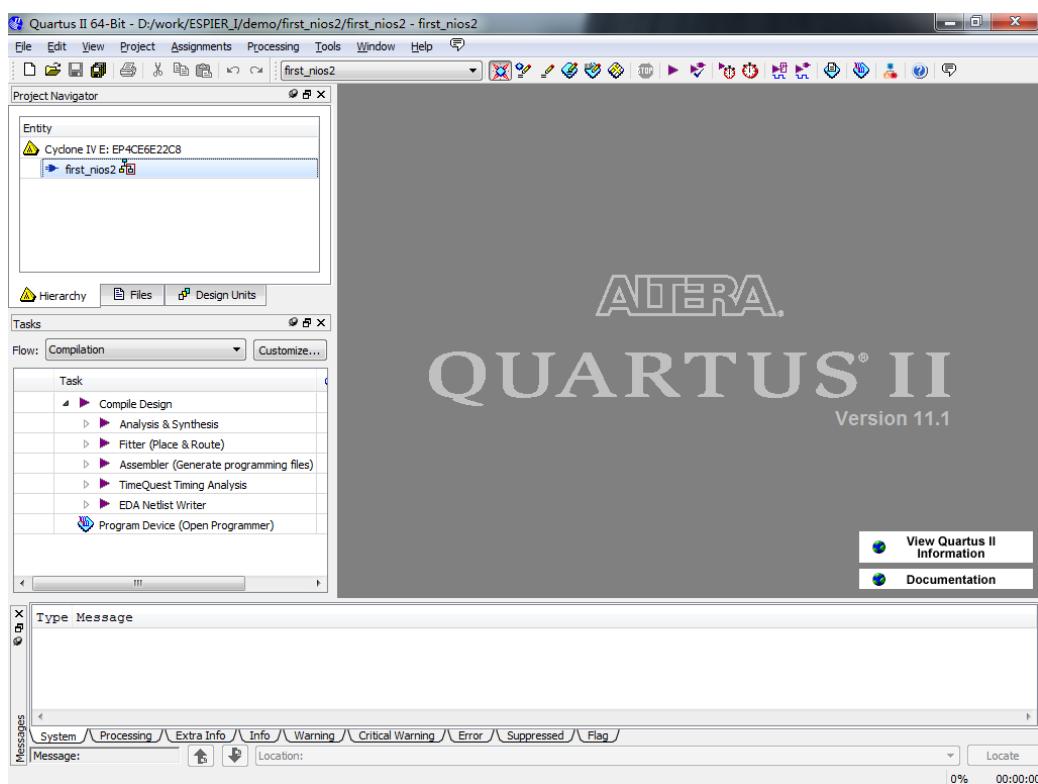
7. 选择 EDA 工具，此处跳过，直接点击 Next。



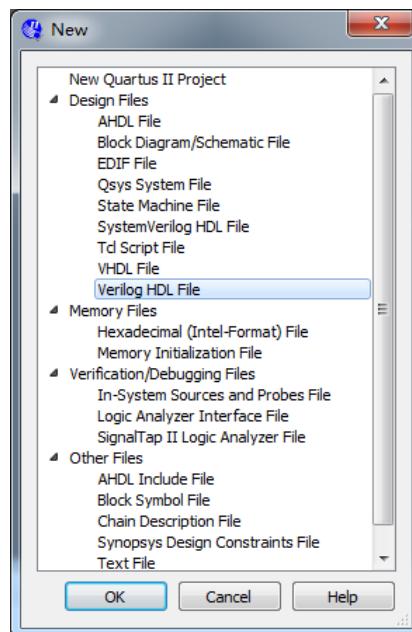
8. 显示项目信息，点击 Finish。



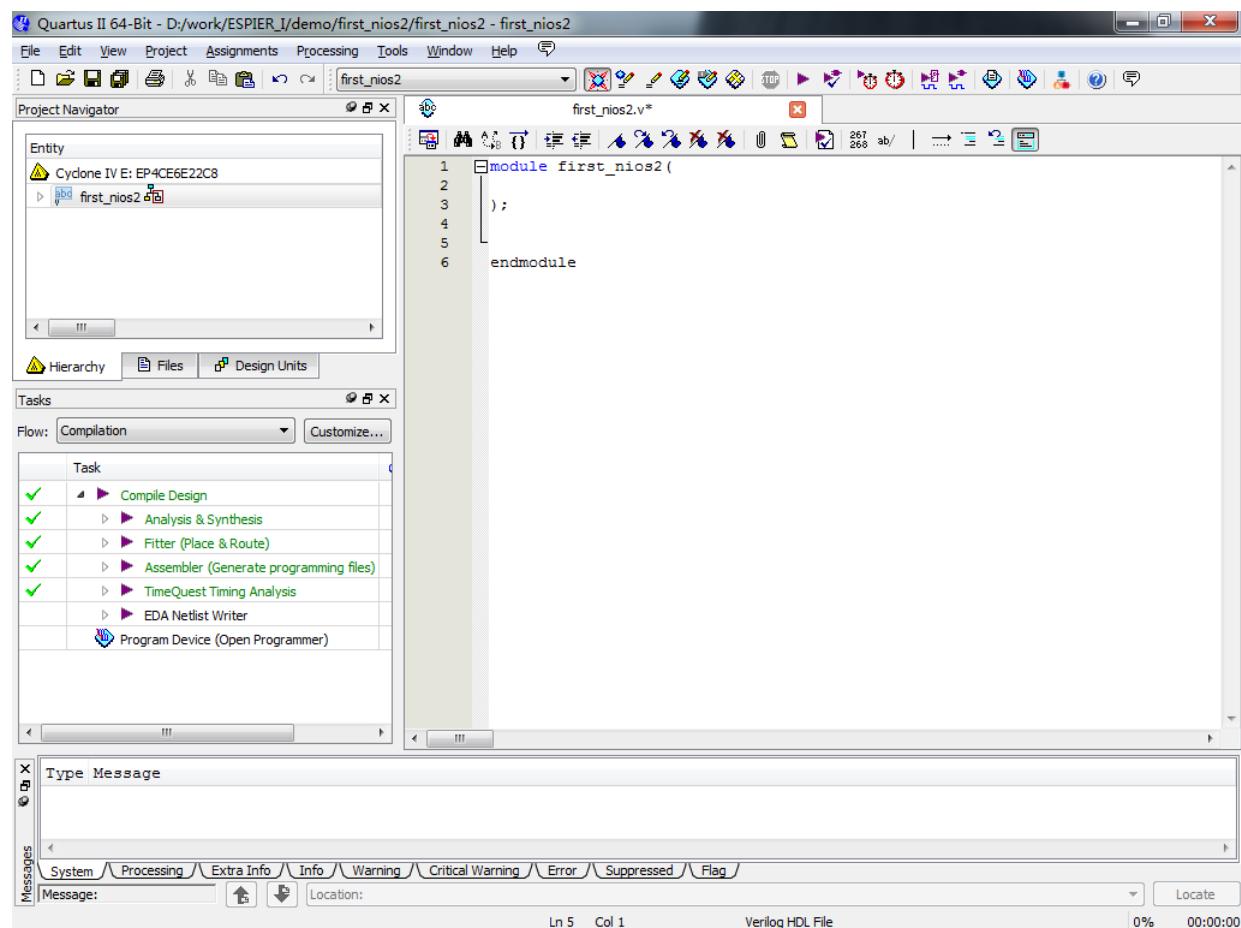
这样一个空的工程就生成了：



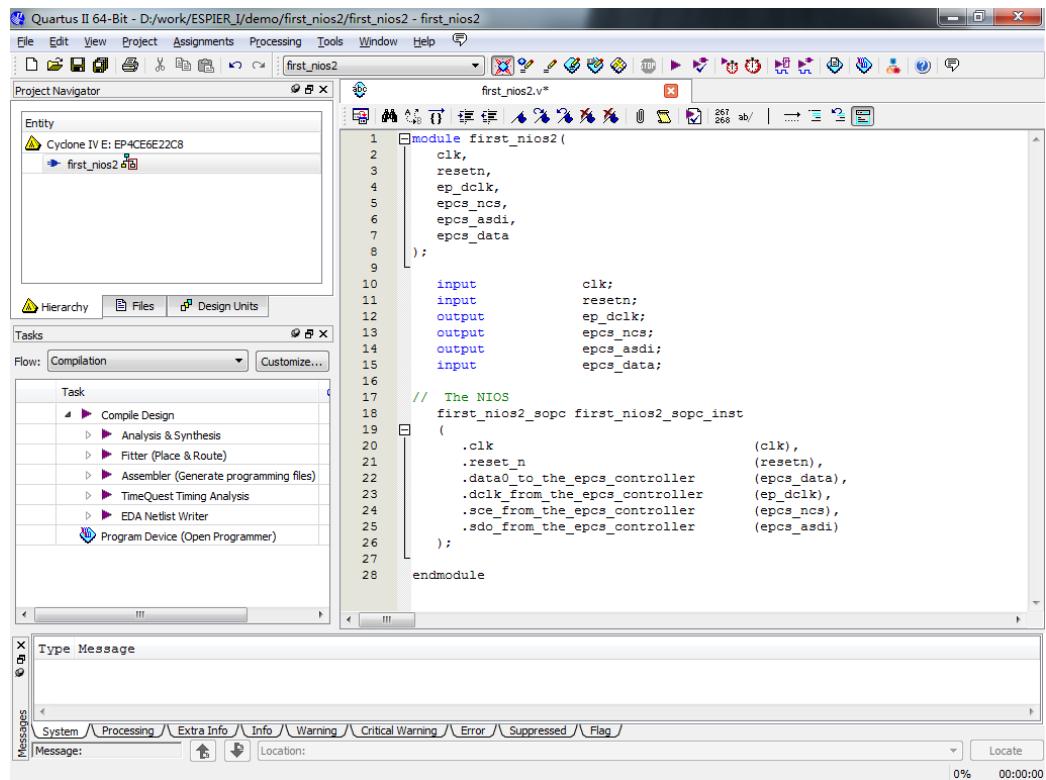
9. 为上面生成的工程新建源文件



将这个文件作为顶层文件，搭建 Verilog 框架如下：



10. 完成顶层源文件的编写，加入输入输出定义



```

Quartus II 64-Bit - D:/work/ESPIER_I/demo/first_nios2/first_nios2 - first_nios2
File Edit View Project Assignments Processing Tools Window Help
Project Navigator first_nios2
Entity Cyclone IV E: EP4CE6E22C8
first_nios2
Tasks Flow: Compilation Customize...
Task
  ▾ Compile Design
    ▾ Analysis & Synthesis
    ▾ Fitter (Place & Route)
    ▾ Assembler (Generate programming files)
    ▾ TimeQuest Timing Analysis
    ▾ EDA Netlist Writer
    ▾ Program Device (Open Programmer)
first_nios2.vhd
1 module first_nios2(
2   clk,
3   resetn,
4   ep_dclk,
5   epcs_ncs,
6   epcs_asdi,
7   epcs_data
8 );
9
10  input      clk;
11  input      resetn;
12  output     ep_dclk;
13  output     epcs_ncs;
14  output     epcs_asdi;
15  input      epcs_data;
16
17 // The NIOS
18 first_nios2_sopc first_nios2_sopc_inst
19 (
20   .clk          (clk),
21   .reset_n     (resetn),
22   .data0_to_the_epcs_controller (epcs_data),
23   .dclock_from_the_epcs_controller (ep_dclk),
24   .sce_from_the_epcs_controller (epcs_ncs),
25   .sdo_from_the_epcs_controller (epcs_asdi)
26 );
27
28 endmodule

```

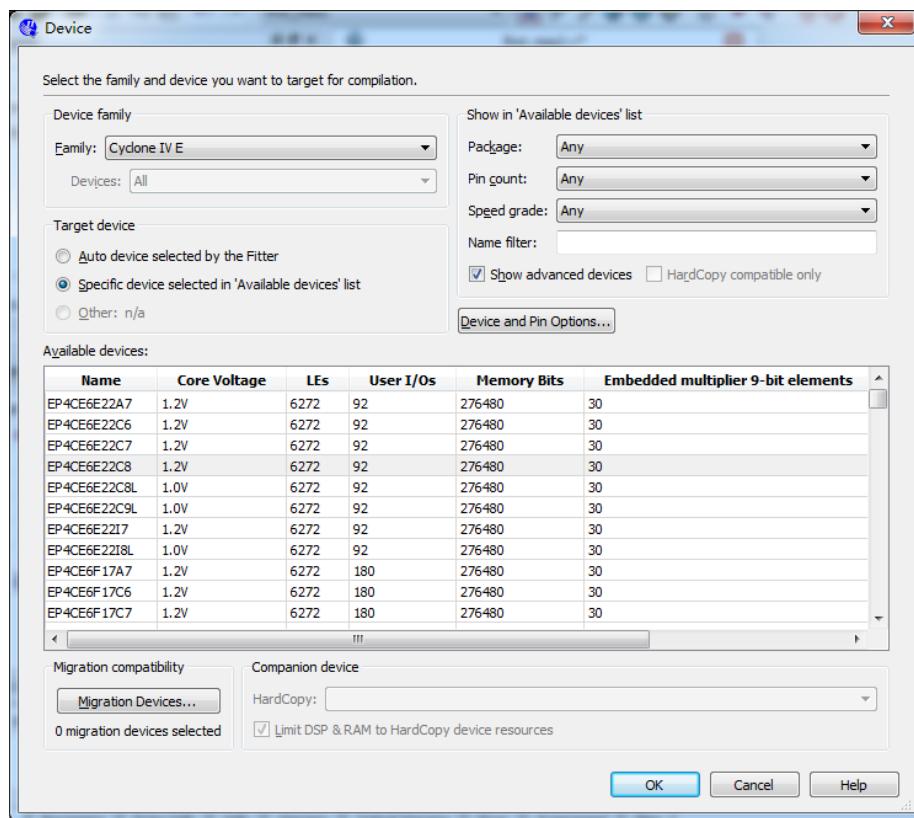
Type Message

Messages

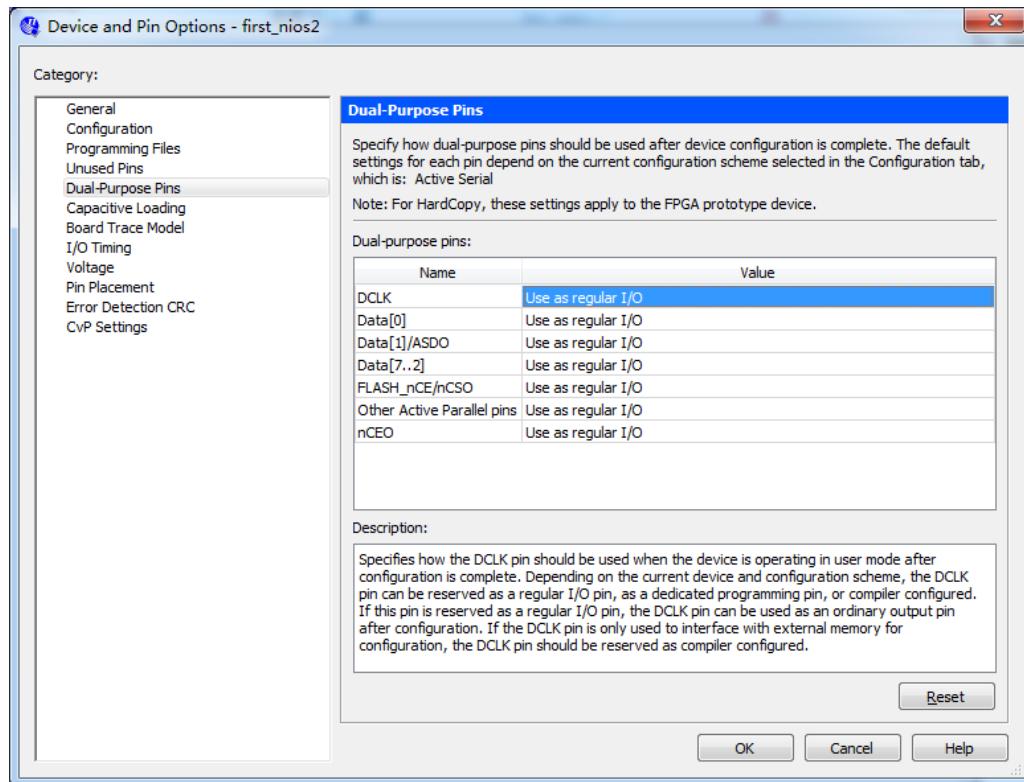
System Processing Extra Info Info Warning Critical Warning Error Suppressed Flag

Message: Location: 0% 00:00:00

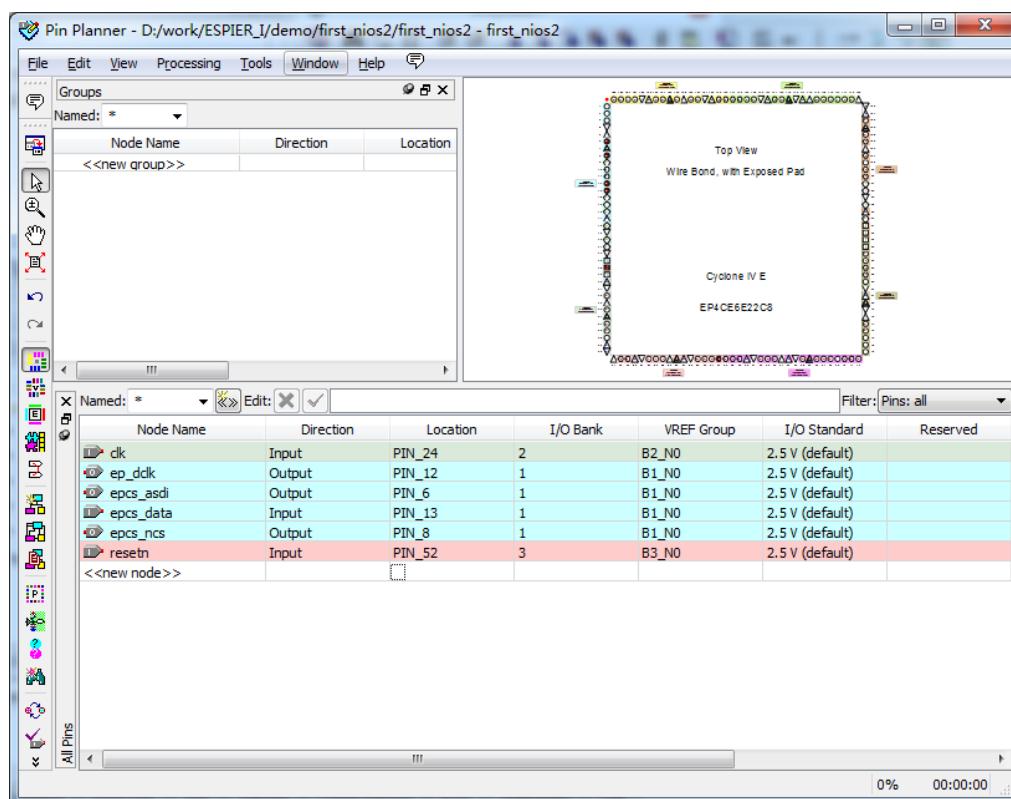
11. 点击菜单 Assignment 下的 Device , 选择 Device and Pin Options



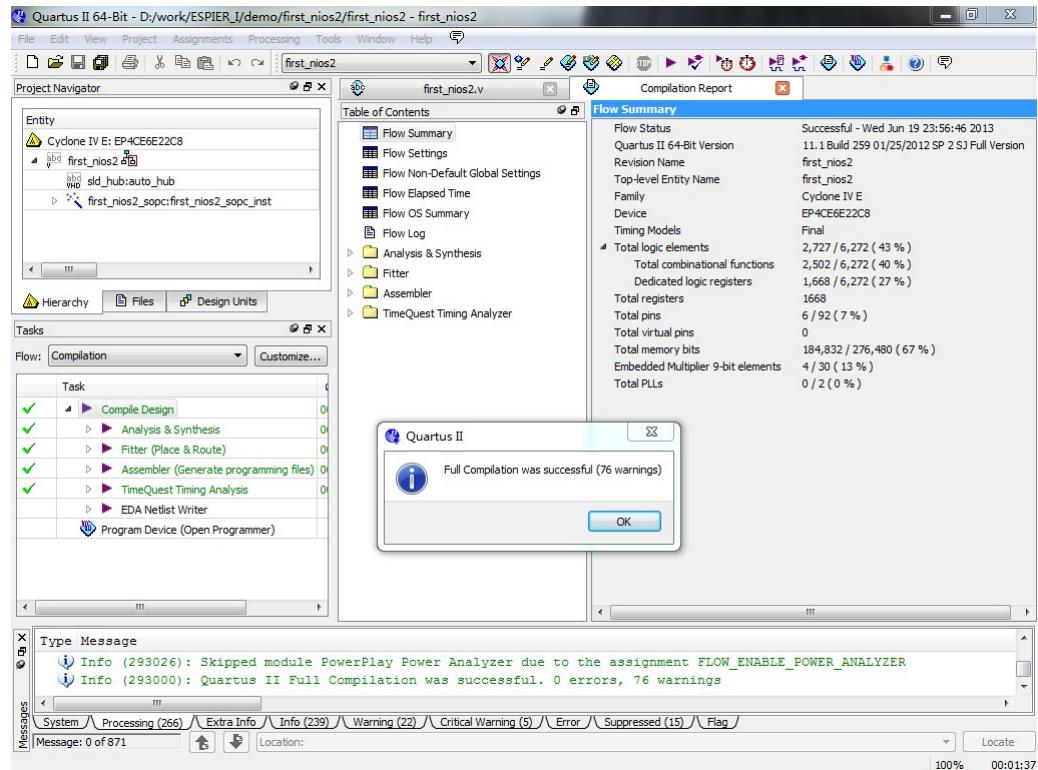
12. 选择 Dual-Purpose Pins，把复用管脚改为通用 IO



13. 点击菜单 Assignments，选择 Pin Planner，为 FPGA 的 IO 分配管脚



14. 双击 Compile Desing , 完成 FPGA 的编译和布局布线



至此，一个最简单的 QUARTUS 工程就搭建完毕，下一步就可以编写相应的 Verilog 代码进行 HDL 设计了。

文档内部编号 : FEQ1301T00

编号说明 :

首一字母 : F-FPGA系列

首二字母 : L-理论类 E-实验类 T-专题类

首三字母 : C-普及类 Q-逻辑类 S-软核类

数字前两位 : 代表年度

数字后两位 : 同类文档顺序编号

尾字母/数字 : C目录 , T正文 , 数字表示章节号

修订记录

版本号	日期	描述	修改人
0.00	2013.9.25	FEQ1301T00 文档建立	kdy