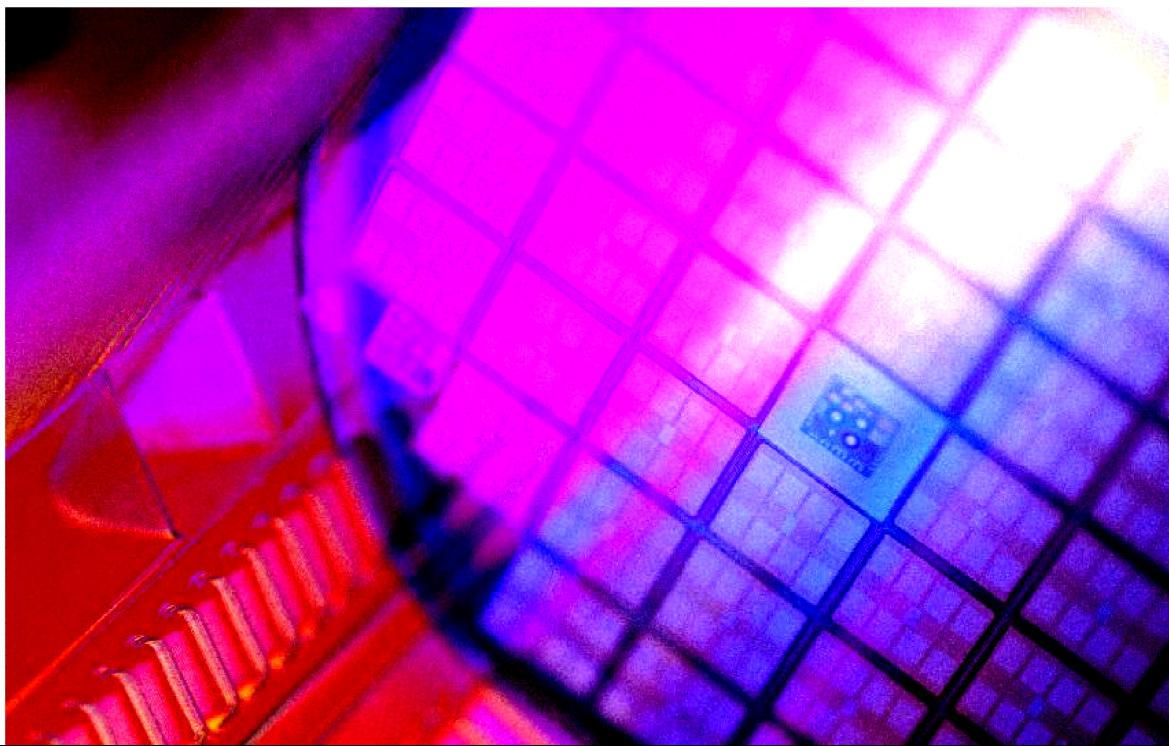


FEQ1301T02-V0.00



ZRtech

FPGA 开发套件 HDL 实验教程

—BEEP 实验



www.zr-tech.com

实验 2 BEEP 实验

1.1 第 2 例-蜂鸣器

1.1.1 元件化 (example_beep_1)

在上一章中做了很多 LED 的操作 ,此时开始下一个资源的编写总想保持上一个资源的不变 ,就像 C 里的函数调用一样。Verilog 里也有 Function ,但这和 C 的函数不同。真正的封装一个功能的作法叫 “元件化”。请看下面的例子 :

```
1  module led_module(
2      //Clock Input:48M
3      input  clk,
4      //Dual Purpose Pin LED
5      output [3:0]led
6  );
7      //定义一个参数为下面以秒计数做准备
8      parameter SEC_TIME = 32'd48_000_000;
9
10     //定义计数器，并初始化为0
11     //此处初始化仅对仿真有效，综合器会自动无视，下同
12     reg [31:0]cnt1;
13     initial cnt1 = 32'b0;
14     //定义hz级时钟
15     reg clk_hz;
16     initial clk_hz = 1'b0;
17
18     //标准计数器一只
19     always@(posedge clk)
20         if(cnt1 == SEC_TIME/2)
21             begin
22                 cnt1 <= 32'b0;
23                 clk_hz = !clk_hz;
24             end
25         else cnt1 <= cnt1 + 1'b1;
26
27     //移位寄存器 双灯遍历
28     reg [3:0]led_reg;
29     always@(posedge clk_hz)
30         begin
31             if(led_reg == 4'b0000)
32                 led_reg = 4'b1100;
33             else if(led_reg == 4'b1111)
34                 led_reg = 4'b1100;
35             else if(led_reg == 4'b1100)
36                 led_reg = 4'b1001;
37             else if(led_reg == 4'b1001)
38                 led_reg = 4'b0011;
39             else if(led_reg == 4'b0011)
40                 led_reg = 4'b0110;
41             else if(led_reg == 4'b0110)
42                 led_reg = 4'b1100;
43             else
44                 led_reg = 4'b1100;
45         end
46         assign led = led_reg;
47     endmodule
```

将 module 的端口稍作改动，将需要的端口留下，名字取得通俗易懂，不用对照真实端口名称，因为这是子模块，所有端口都是虚拟的。文件名为 led.v。

```

13  省略
14      led_module led_ct(
15          .clk(CLK),
16          .led(led)
17      );
    
```

在主 Module——top.v 中只要将端口对接上就可以调用了。

主要的内容如下：

```

13  省略
14      led_module led_ct(
15          .clk(CLK),
16          .led(led)
17      );
18      parameter DIV_KHZ = 32'd48_000;
19      reg[31:0]cnt_khz;
20      reg clk_1k;
21
22      always@(posedge CLK)
23          if(cnt_khz == DIV_KHZ/2)
24              begin
25                  cnt_khz <= 32'b0;
26                  clk_1k = !clk_1k;
27              end
28          else cnt_khz <= cnt_khz + 1'b1;
29
30      assign BP1 = clk_1k;
    
```

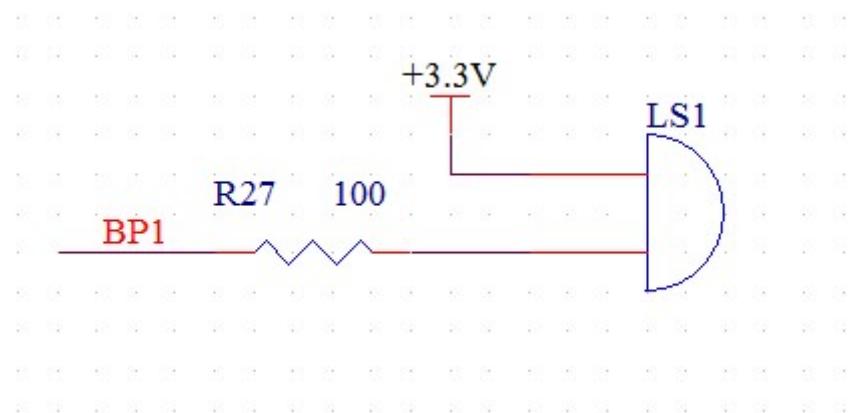


图 1 Beep 在原理图上的接法

其中 LED 部分书接上回，还是双灯的移位调用。蜂鸣器则是产生一个 1KHz 的方波来驱动，由于蜂鸣器比较简单，因此将例化的内容放到了本章处理，在这个原理中使用的是有源的

蜂鸣器，不推荐在正式的项目中这样去使用蜂鸣器，仅仅是在开发板上做个简单的限流，同时做成 PWM 等方式驱动再次减少电流的消耗。为了简化开发，将精力集中到 HDL 和 FPGA 的学习中。

文档内部编号 : FEQ1301T02

编号说明 :

首一字母 : F-FPGA系列

首二字母 : L-理论类 E-实验类 T-专题类

首三字母 : C-普及类 Q-逻辑类 S-软核类

数字前两位 : 代表年度

数字后两位 : 同类文档顺序编号

尾字母/数字 : C目录 , T正文 , 数字表示章节号

修订记录

版本号	日期	描述	修改人
0.00	2013.9.25	FEQ1301T02 文档建立	kdy