

# VISION DE NIVEL SUPERIOR DE LAS FUNCIONES DEL COMPUTADOR Y INTERCONECCION

## TERCERA UNIDAD

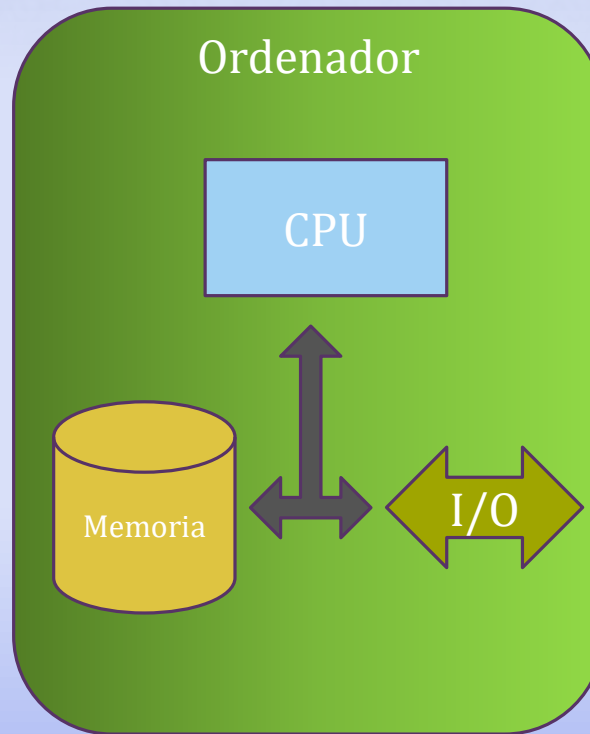


# Sumario

- I. Componentes del Computador
- II. Funciones del Computador
  - i. Instrucciones de recolección y ejecución.-
  - ii. Interrupciones
  - iii. Funciones de I/O
- III. Estructuras de Interconexión.
- IV. Bus de Interconexión.
  - i. Estructura del Bus
  - ii. Buses de múltiples jerarquías
  - iii. Elementos de diseño del bus
- V. PCI
  - i. Estructura del Bus
  - ii. Comandos PCI
  - iii. Transferencia de Datos
  - iv. Arbitraje

# Introducción.-

- Un ordenador consta de:

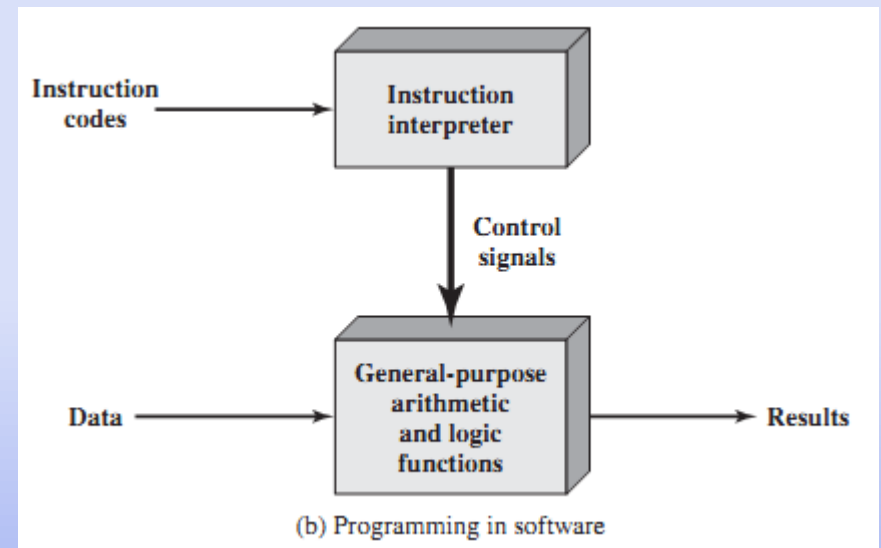
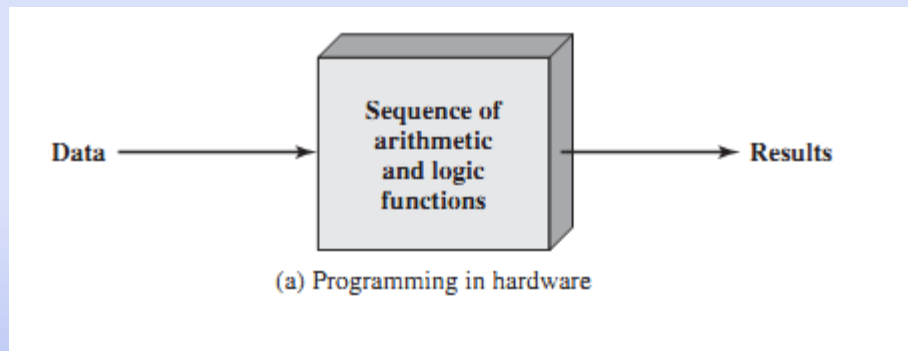


# 1.- Componentes del Computador

La arquitectura de Von Neuman tiene tres principios básicos.

- Los datos e instrucciones se almacenan en una sola memoria de lectura-escritura.
- El contenido de esta memoria son direccionables por ubicación, sin tener en cuenta el tipo de datos contenida allí.
- La ejecución se produce de forma secuencial (a menos que se modifiquen explícitamente) a partir de una instrucción a la siguiente.

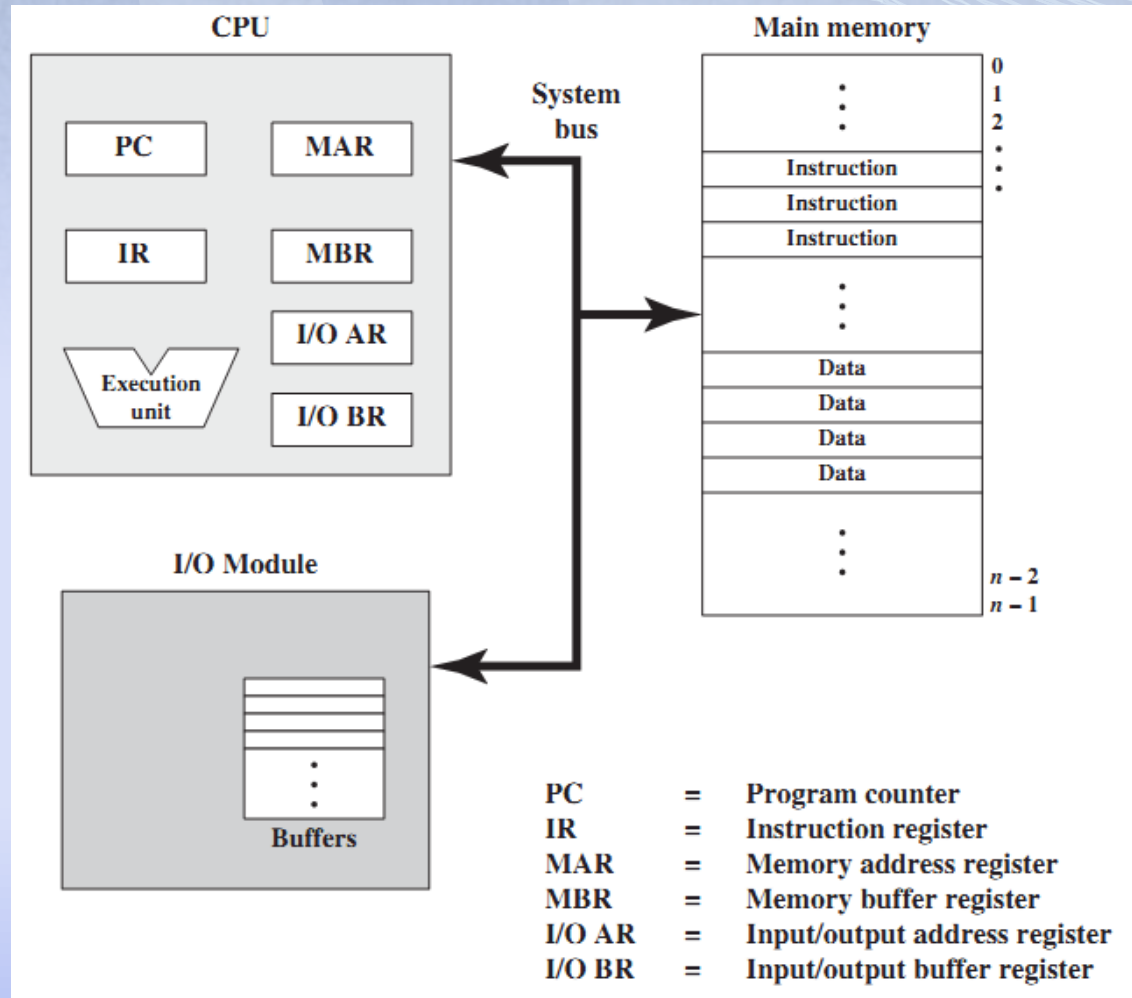
En la actualidad todos los programas tiene una secuencia de pasos





## 2.- Funciones del Computador

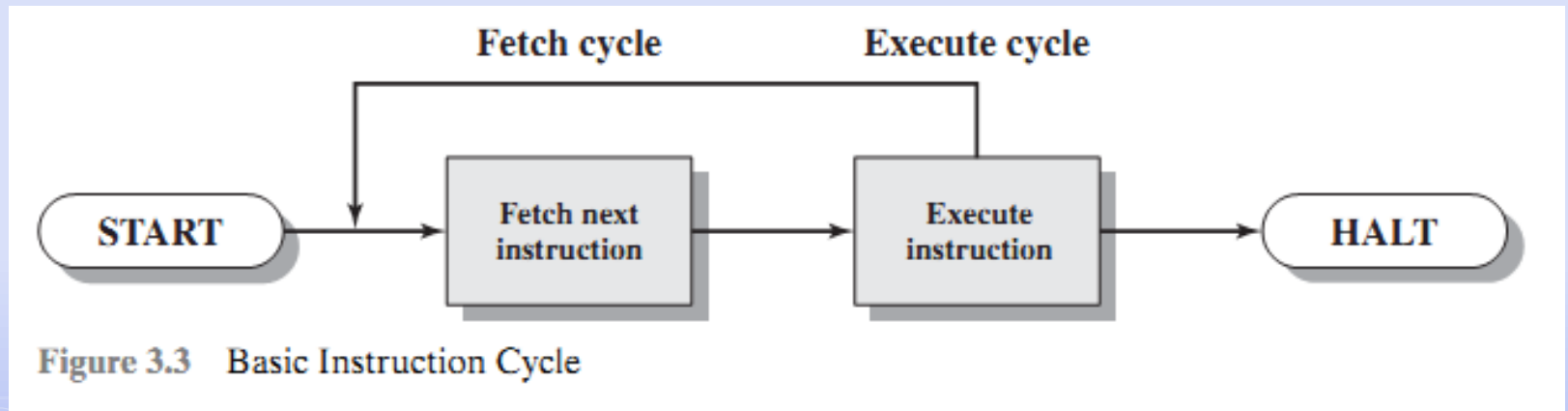
- Las funciones básicas desempeñada por un computador es la ejecución de un programa (conjunto de instrucciones)
- El procesador lee (recupera) las instrucciones de la memoria de una en una y se ejecuta cada instrucción



# 2.- Funciones del Computador

## 2.1 Recuperación de Instrucciones y Ejecución

- Al comienzo de cada ciclo de instrucción, el procesador obtiene una instrucción desde la memoria. En un procesador típico, un registro llamado el contador de programa (PC) contiene la dirección de la instrucción a ser leída. A menos que se indique lo contrario, el procesador siempre incrementa el PC después de cada recuperación de instrucciones para que se obtendrá de la siguiente instrucción en secuencia



# 2.- Funciones del Computador

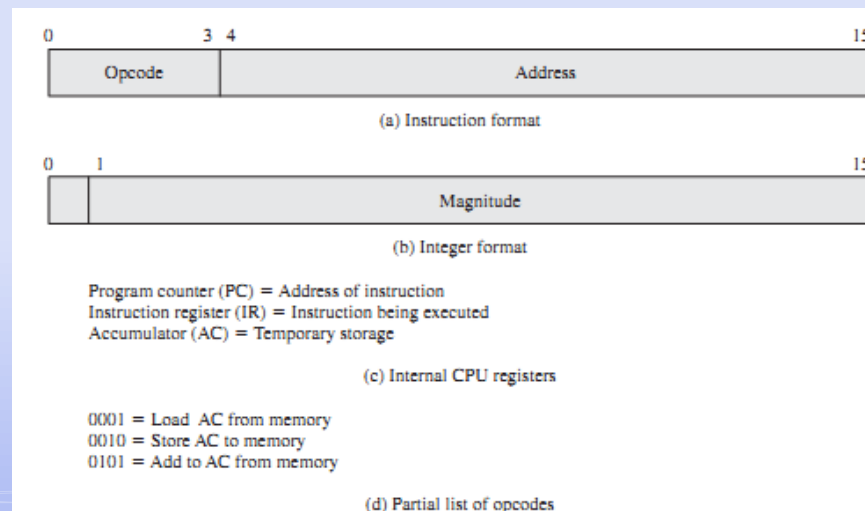
## 2.1 Recuperación de Instrucciones y Ejecución

La instrucción obtenidas se cargan en el registro de instrucción (IR).

La instrucción especifica la acción que tomara el procesador.

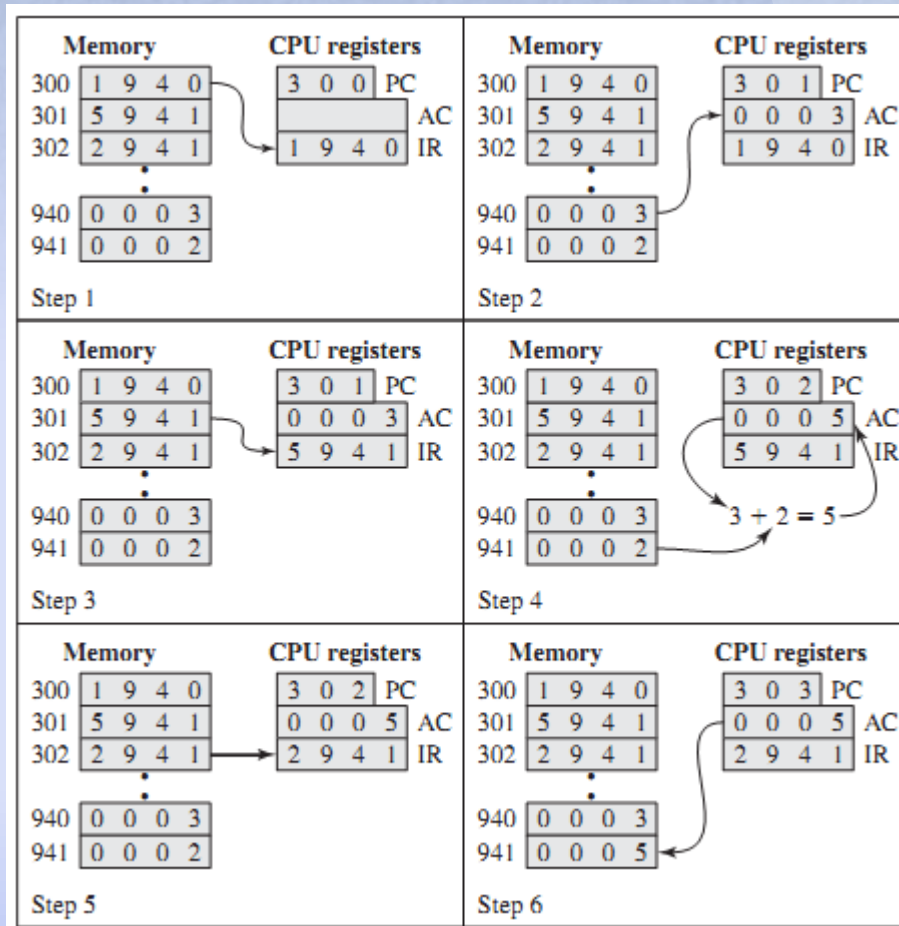
El procesador interpreta la instrucción y realiza la acción necesaria. Cuatro categorías:

- Procesador-memoria: Los datos son transferidos desde el procesador a la memoria o de la memoria al procesador.
- El procesador I / O: Los datos pueden ser transferidos hacia o desde un dispositivo periférico (módulo de E / S)
- Procesamiento de datos: El procesador realizar operaciones aritmética o lógicas.
- Control: Una instrucción especificar la secuencia de ejecución.



# 2.- Funciones del Computador

## 2.1 Recuperación de Instrucciones y Ejecución



- Obtener la instrucción ADD.
- Leer el contenido de una posición de memoria en el procesador.
- Lea el contenido de la memoria B ubicación en el procesador. Con el fin de que el contenido de A no se pierda.
- Agregue los dos valores.
- Escribir el resultado de que el procesador ubicación de memoria A.

Contador del Programa(PC) Direcciona la Instrucción.

Registro de Instrucción(IR) La instrucción es ejecutada  
Acumulador (AC) Almacén temporal



# 2.- Funciones del Computador

## 2.1 Recuperación de Instrucciones y Ejecución

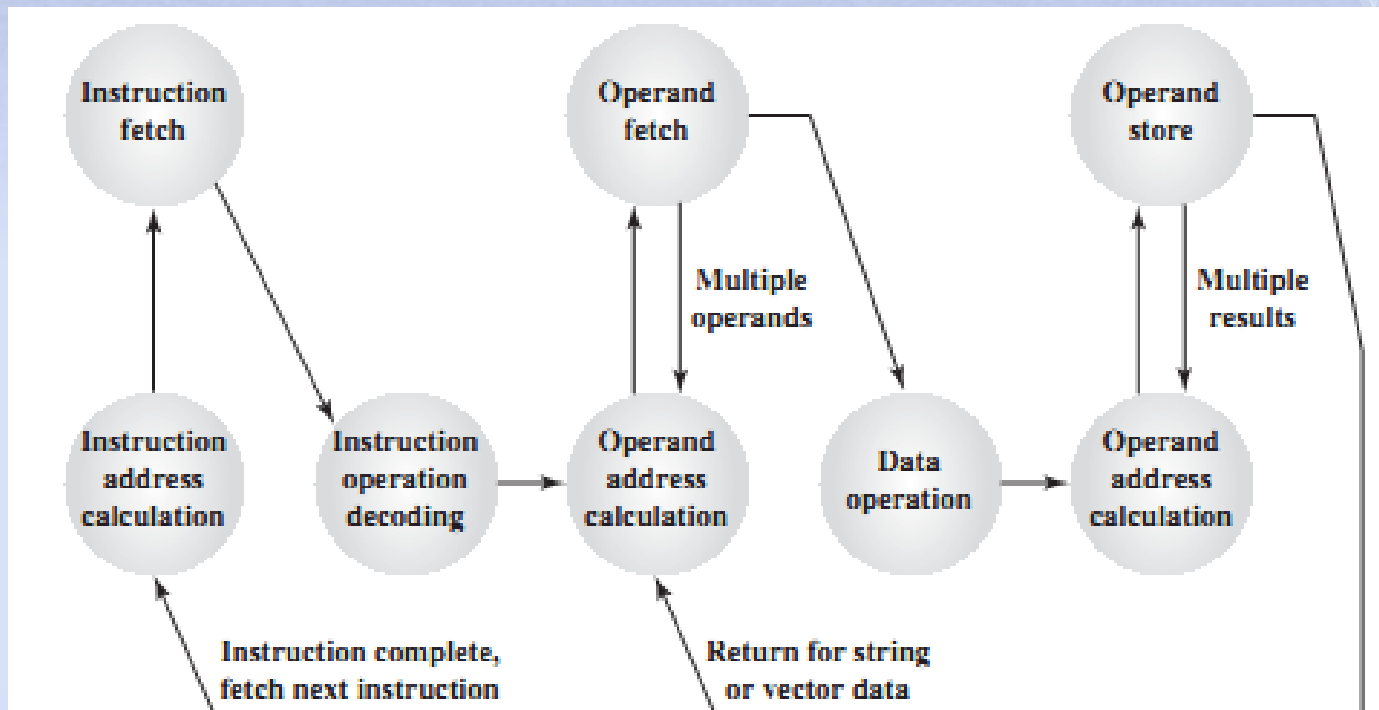


Figure 3.6 Instruction Cycle State Diagram

# 2.- Funciones del Computador

## 2.2 Interrupciones .-

**Programa:** Generado por alguna condición que se produce como resultado de una ejecución de la instrucción, tales como el desbordamiento aritmético, la división por cero, al intentar ejecutar una instrucción de máquina ilegal, o de referencia fuera del espacio de memoria de un usuario permitido.

**Temporizador:** Generado por un temporizador dentro del procesador. Esto permite que el sistema operativo para realizar ciertas funciones en una base regular.

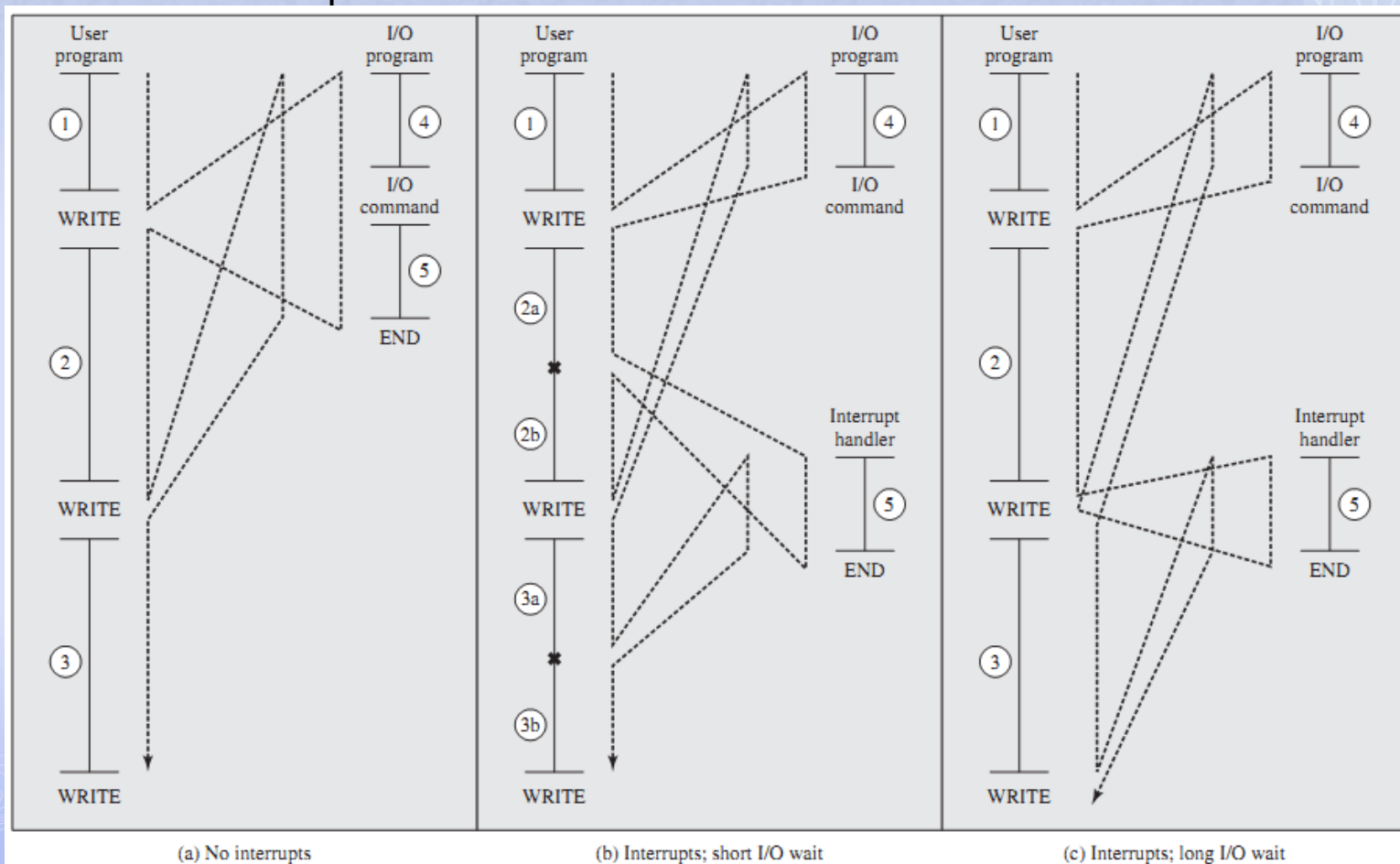
**E/S:** Generado por un controlador de E/S, para indicar la terminación normal de una operación o para indicar una variedad de condiciones de error.

**Error de hardware:** Elaboración de un fracaso, como corte de energía o un error de paridad de memoria.

# 2.- Funciones del Computador

## 2.2 Interrupciones .-

El mecanismo por el cual otros módulos (E/S, MEMORY) interrumpen el procesamiento.  
Mejorar la eficiencia de procesamiento.

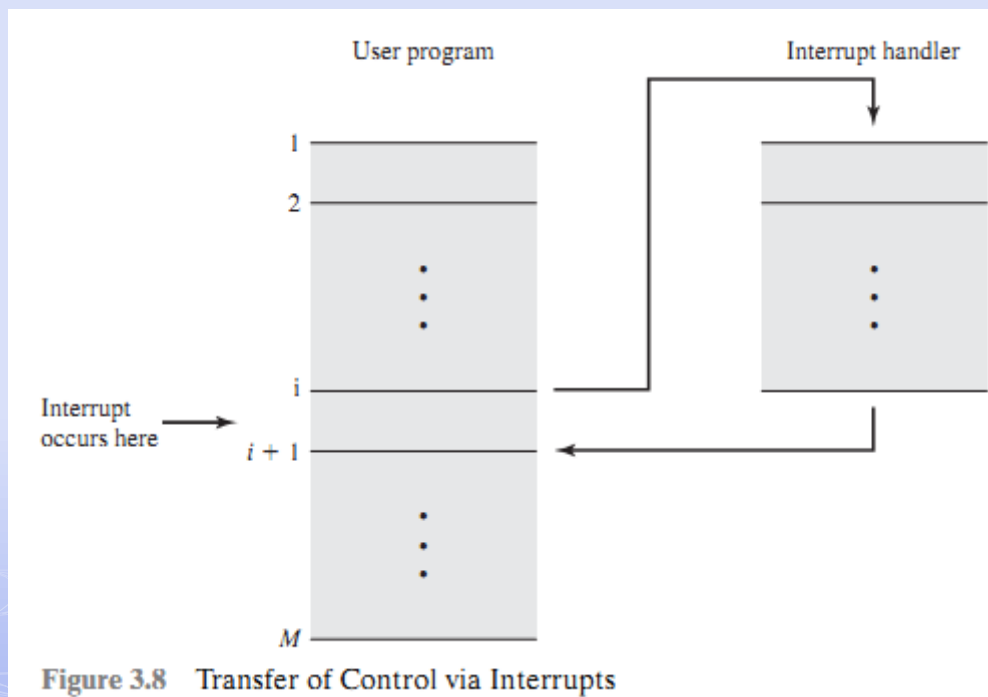


# 2.- Funciones del Computador

## 2.2 Interrupciones .-

Interrupciones y el ciclo de la instrucción

- El procesador se dedica a la ejecución instrucciones mientras una operación de E / S está en curso.
- Cuando el dispositivo externo esta dispuestos a aceptar más datos desde el procesador, el módulo de E / S envía una señal de petición de interrupción al procesador.





# 2.- Funciones del Computador

## 2.2 Interrupciones .-

### Tipos de Interrupciones

1. Programa.- generado por alguna condición que se produce como resultado de una instrucción ejecución.
2. Temporizador.- generada por un temporizador dentro del procesador.(funciones periódicas)
3. E/S.- generada por un controlador de E / S, para indicar la terminación normal de un operación o para señalar una variedad de condiciones de error.
4. Error de hardware.- generado por una falla. (energía o un error de paridad de memoria)

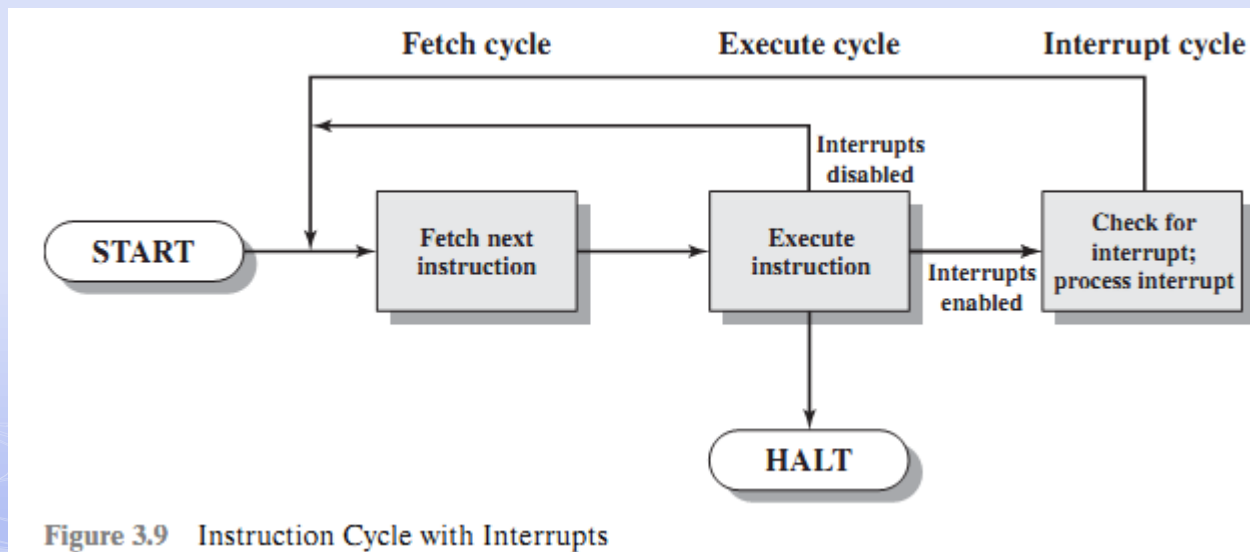
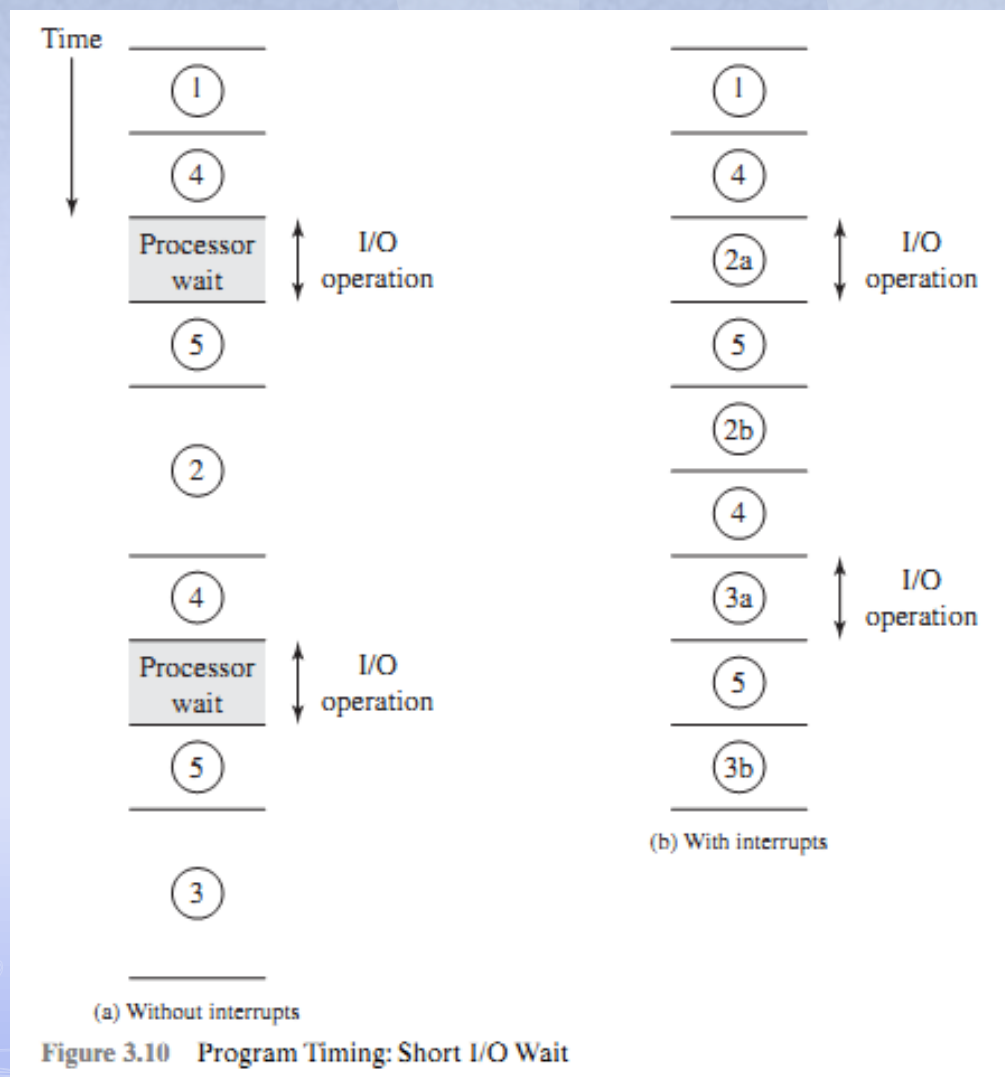


Figure 3.9 Instruction Cycle with Interrupts

# 2.- Funciones del Computador

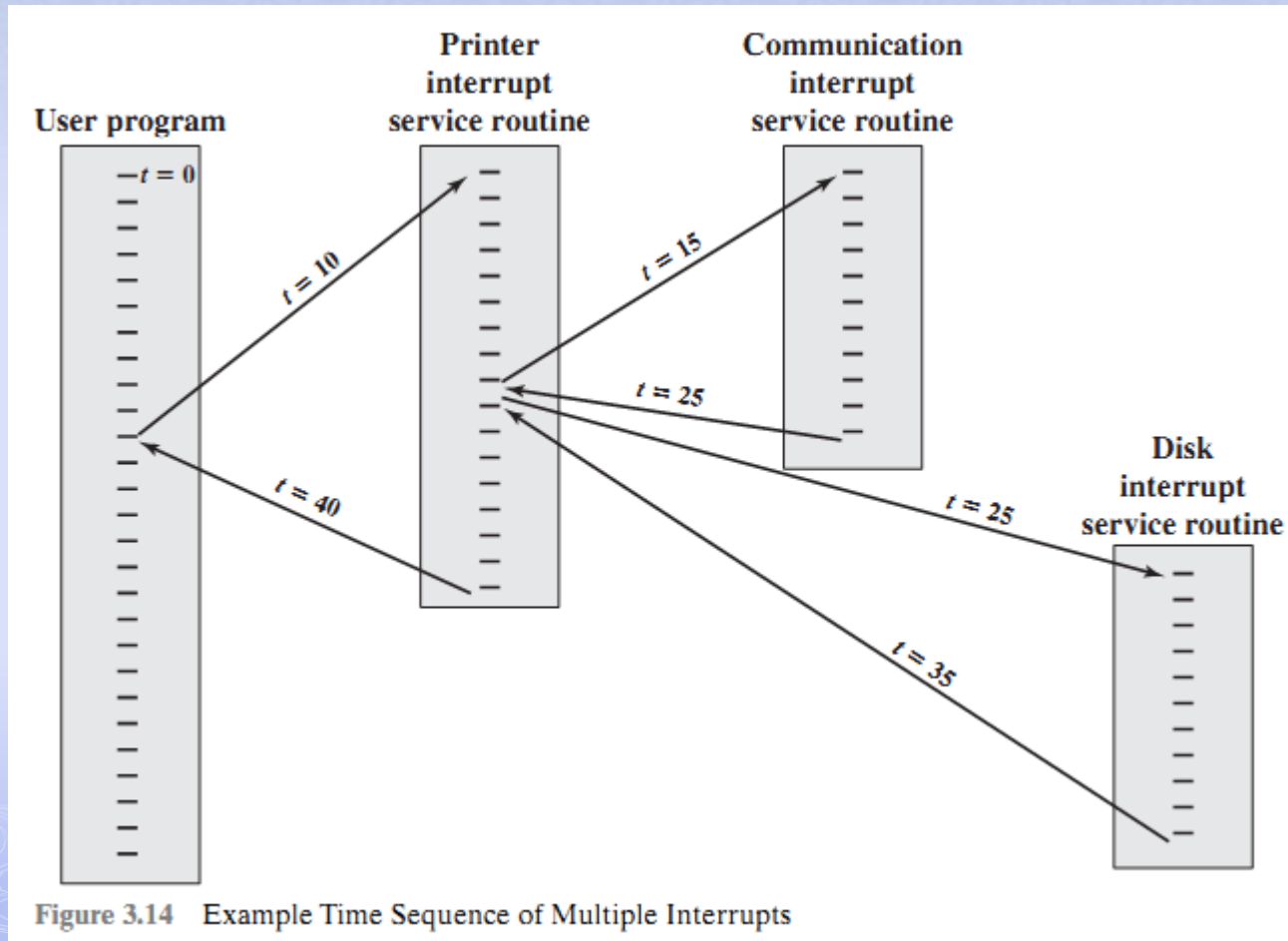
## 2.2 Interrupciones .-



# 2.- Funciones del Computador

## 2.2 Interrupciones .-

Múltiples interrupciones



# 2.- Funciones del Computador

## 2.3 Funciones de I/O .-

Un módulo de I/O (un lector de disco) puede intercambiar datos directamente con el procesador. Iniciar una lectura o escritura con la memoria, la designación de la dirección de una ubicación específica.

Algunos casos, es deseable permitir a I / O que produzca el intercambio directamente con memoria.

Esta operación es conocida como acceso directo a memoria (DMA).





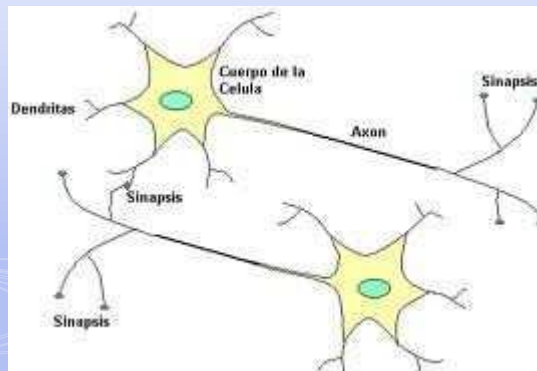
# 3.- Estructuras de Interconexión

Un computador (procesador, memoria, I / O) que se comunican unos con otros.

Un computador es una red de trabajo de los módulos básicos. Con caminos para la conexión de los módulos.

La colección de rutas que conectan los distintos módulos que se llama estructuras de interconexión y el diseño dependerá del flujo entre los módulos.

- Memoria: Consta de N palabras de igual longitud y se le asigna una dirección única numérica. Una palabra de los datos se pueden leer o escribir en la memoria. La naturaleza de la operación se indica por leer y escribir las señales de control. La ubicación de la operación es especificada por una dirección.
- Módulo I / O: Hay dos operaciones, leer y escribir, controla más de un dispositivo externo. Cada interfaces de un dispositivo externo tiene una única dirección.
- Procesador: Lee las instrucciones y los datos, escribe los datos después de procesamiento, y utiliza las señales de control para controlar el funcionamiento global del sistema. También recibe señales de interrupción



### 3.- Estructuras de Interconexión

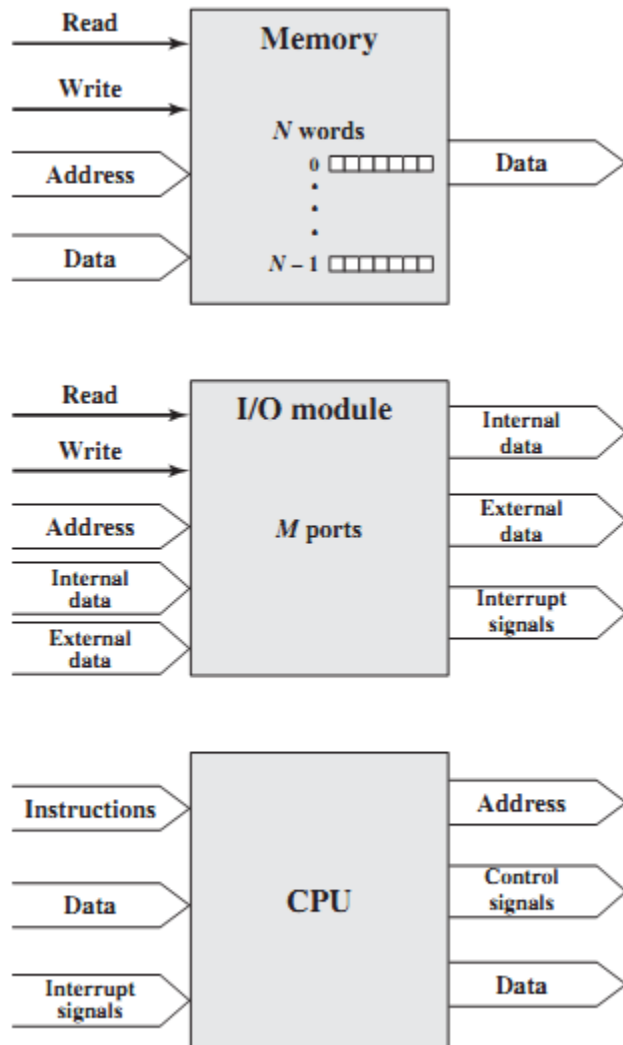


Figure 3.15 Computer Modules





## 4.- Buses de Interconexión

- Un bus es una vía de comunicación que conecta dos o más unidades.
- Una característica clave es de que es un medio compartido; una señal transmitida por el un dispositivo está disponible para su recepción por todos los demás dispositivos conectado al bus.
- Si dos dispositivos transmiten continuamente el período similares, sus señales se superponen y se convierten en ilegibles.
- Se puede usar varias líneas del bus para transmitir dígitos binarios simultáneamente (en paralelo).



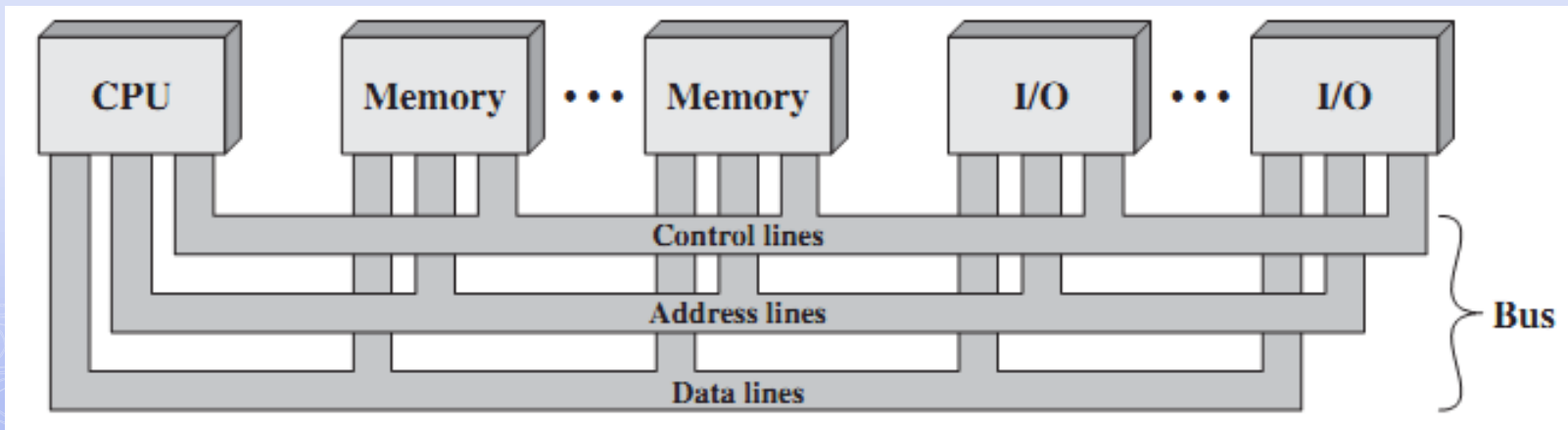
# 4.- Buses de Interconexión

## 4.1 Estructura del Bus .-

- Un bus de sistema tiene de 50 a cientos o líneas separadas.
- Tres grupos funcionales de líneas: datos, direcciones y líneas de control.

### La Línea de Datos.-

- Provee de un camino para mover datos entre los módulos del sistema.
- El bus de datos puede consistir en 32, 64, 128, o incluso más líneas separadas
- El número de líneas hace referencia a que la anchura del bus de datos.
- El número de líneas determina la cantidad de bits se pueden transferir a la vez.

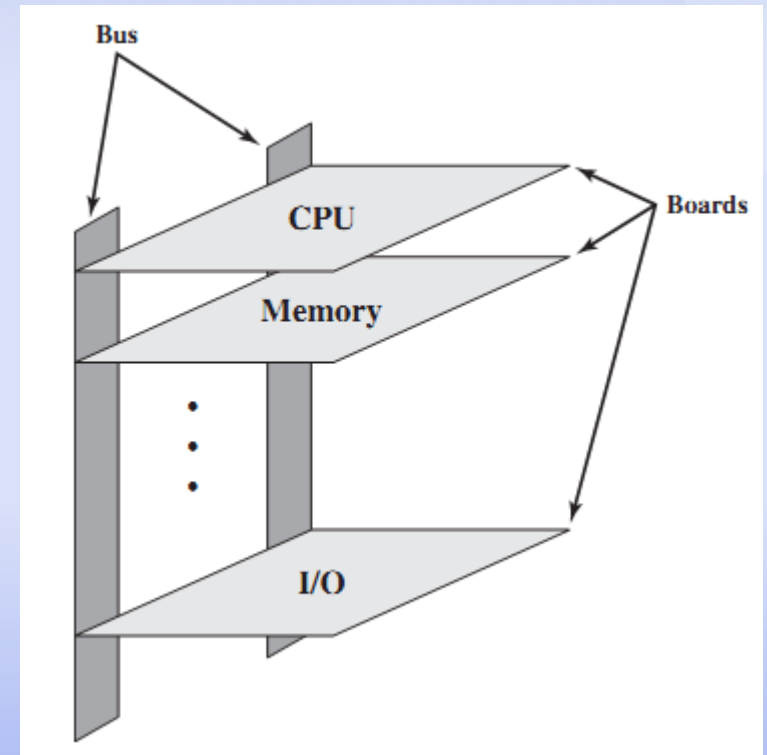




# 4.- Buses de Interconexión

## 4.1 Estructura del Bus .-

**Las líneas de dirección.**- Son usados para indicar la fuente o destino de los datos en el bus de datos. La anchura del bus de direcciones determina la capacidad de memoria máxima del sistema. Por lo general, los bits de orden superior son usados en exceso para seleccionar un módulo especial en el bus, y los bits de orden inferior son usados para una ubicación de memoria o E / S del puerto.



# 4.- Buses de Interconexión

## 4.1 Estructura del Bus .-

**Las líneas de control.**- Son usadas para controlar el acceso y el uso de las líneas de datos y de direcciones. Debido a que las líneas de datos y de direcciones son compartidos por todos los componentes, debe existir un medio de controlar su uso.

Las líneas de control típicas incluyen:

- Escritura de la memoria
- Lectura de memoria
- E / S de escritura
- E / S de lectura
- Traslado ACK
- Solicitud de bus
- Concesión de bus
- Solicitud de interrupción
- Interrumpir ACK
- Reloj
- Reset





# 4.- Buses de Interconexión

## 4.2 Buses de Múltiples Jerarquías.-

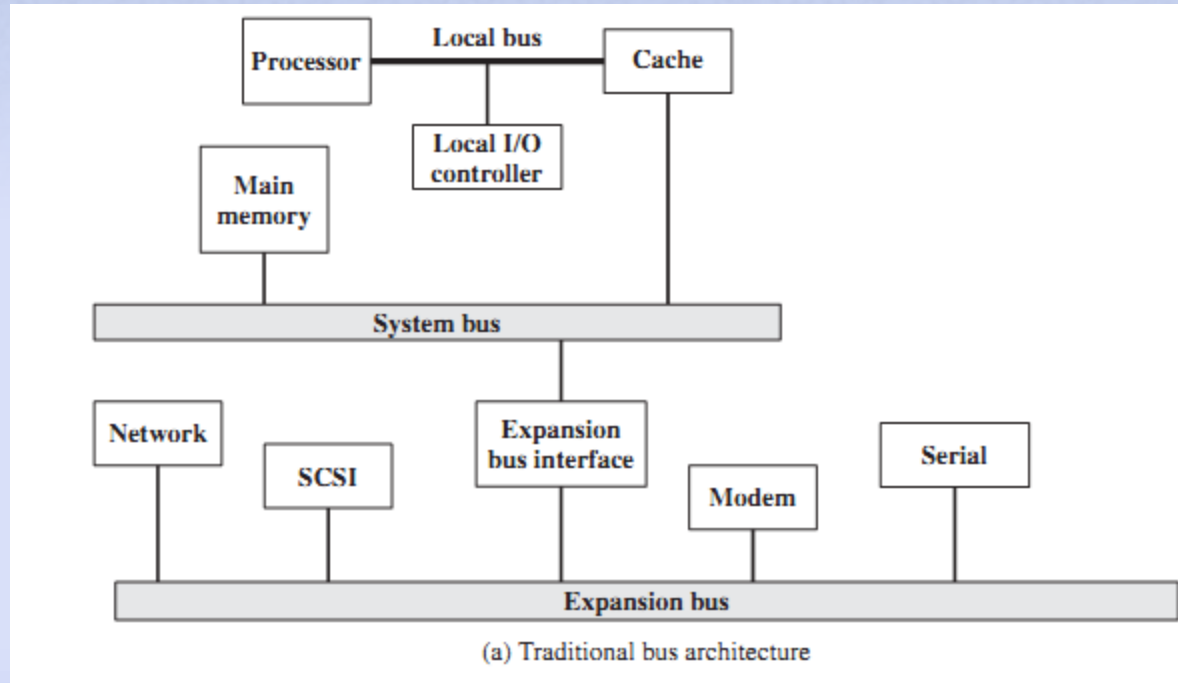
Si un gran número de dispositivos están conectados al bus, el rendimiento se verá afectada por dos causas principales:

1. Cuando los dispositivos están conectados al bus, la longitud del bus causa un retardo en la propagación. Este retardo determina el tiempo que será necesario para que los dispositivos coordinen el uso del autobús.
2. El bus puede convertirse en un cuello de botella ya que la demanda de transferencia de datos se aproxima a la capacidad del bus. Este problema puede ser contrarrestado en cierta manera con el uso de buses mas amplios.



# 4.- Buses de Interconexión

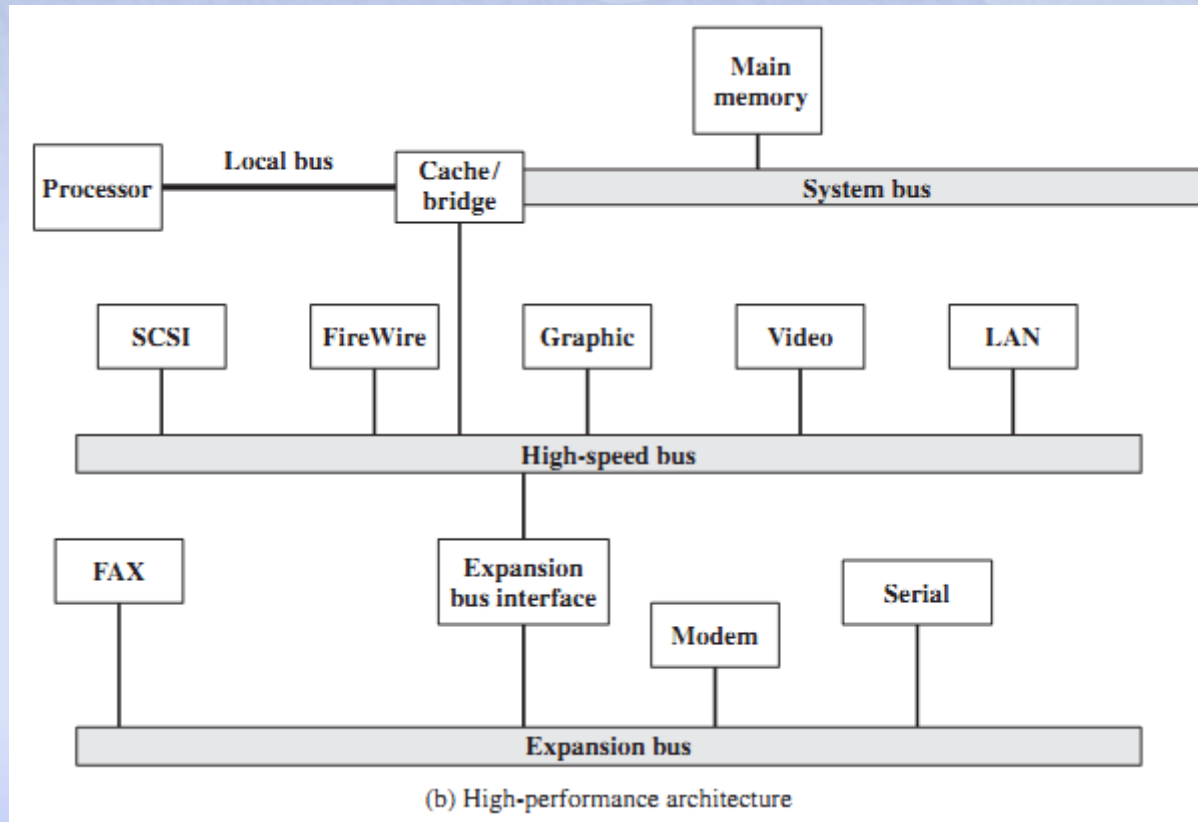
## 4.2 Buses de Múltiples Jerarquías.-





# 4.- Buses de Interconexión

## 4.2 Buses de Múltiples Jerarquías.-



# 4.- Buses de Interconexión

## 4.3 Elementos de Diseño del Bus.-

Aunque existen diferentes implementaciones de buses, hay algunos parámetros básicos o elementos de diseño que sirven para clasificar y diferenciar los buses.

<b>Tipo</b>	<b>ancho de bus</b>
Dedicada	dirección
Multiplexado	datos
<b>Método de arbitraje</b>	<b>tipo de datos de transferencia</b>
Centralizado	leer
Distribuido	escribir
<b>Sincronización</b>	leer-modificar-escribir
Sincrónico	leer-después-escribir
Asincrónico	bloquear

# 4.- Buses de Interconexión

## 4.3 Elementos de Diseño del Bus.-

**TIPOS BUS.-** Se puede separar en dos tipos genéricos: dedicadas y multiplexadas.

Una **línea de bus dedicada** esta de forma permanente asignado a una función o a un subconjunto de componentes físicos del ordenador.

Una **línea multiplexada** se conoce como multiplexado por división de tiempo usa un menor número de líneas, todo lo que ahorra espacio le cuesta en una compleja circuitería. Hay un potencial de reducción en el rendimiento porque ciertos eventos que comparten la misma línea no puede tener lugar en paralelo.





# 4.- Buses de Interconexión

## 4.3 Elementos de Diseño del Bus.-

**Método de arbitraje.-** En los sistemas más sencillos, más de un módulo necesita el control del bus.

Los métodos se pueden clasificar como sea centralizado o distribuido.

- En un esquema centralizado, un único dispositivo físico como un controlador de bus o árbitro responsable de asignar el tiempo en el bus.
- En un esquema de distribución, no hay un controlador central. Por el contrario, cada módulo contiene la lógica de control de acceso y los módulos de actuar en conjunto para compartir el bus.

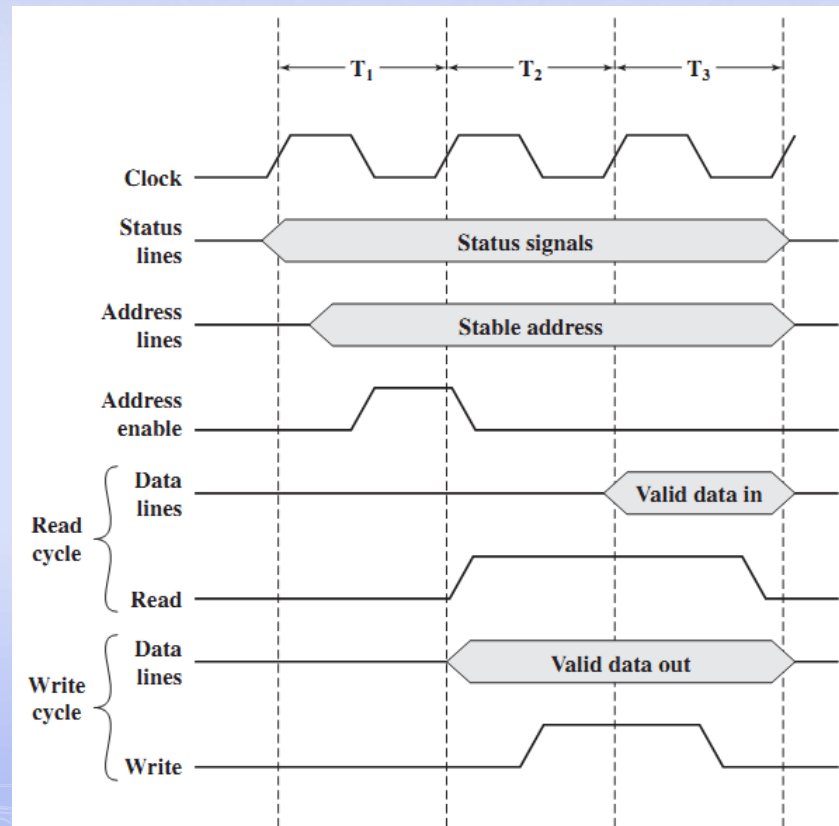


# 4.- Buses de Interconexión

## 4.3 Elementos de Diseño del Bus.-

**Tiempo.**- El tiempo se refiere a la forma en que los eventos son coordinados en el bus. Los buses usan el tiempo de modo síncrono o asíncrono.

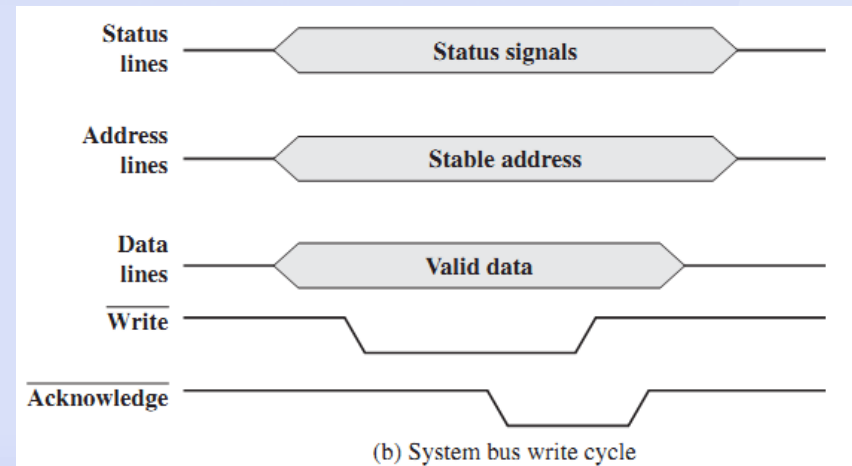
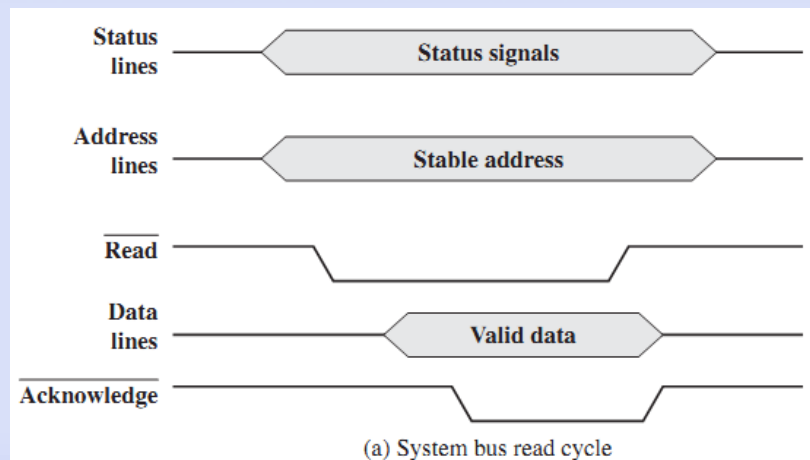
**Sincrónico.**- La ocurrencia de eventos en el bus se determina por el reloj. El bus incluye una línea de reloj (transmite una secuencia regular de alterna 1 y 0 de igual duración)



# 4.- Buses de Interconexión

## 4.3 Elementos de Diseño del Bus.-

Sincronización asíncrona.- La ocurrencia de un evento en un bus depende de la ocurrencia de un evento anterior.



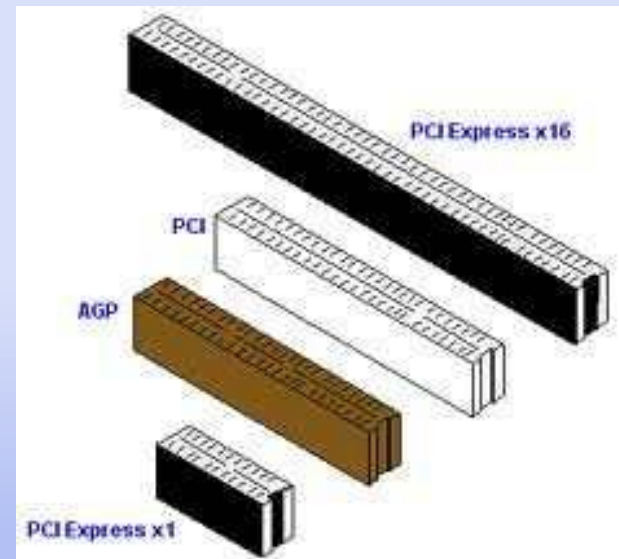


## 5.- PCI

La interconexión de componentes periféricos (PCI) es una popular banda ancha, independiente del bus del procesador que puede funcionar como un bus periférico. PCI ofrece un mejor rendimiento del sistema de alta - velocidad de E / S subsistemas. El estándar actual permite el uso de un máximo de 64 líneas de datos a 66 MHz, con una tasa de transferencia en bruto de 528 MBytes / s o 4,224 Gbps.

El resultado es que PCI ha sido ampliamente adoptado y está encontrando un uso cada vez mayor en el ordenador personal, estación de trabajo y sistemas de servidores.

Se hace uso de temporización síncrona y un esquema de arbitraje centralizado.



# 5.- PCI

## 5.1 Estructura del Bus.-

PCI configurable como un bus de 32 o 64 bits. Que define las 49 líneas de señal obligatorias para PCI. Se dividen en los siguientes grupos funcionales:

- Las patillas del sistema: Incluye el reloj y contactos de reajuste.
- Dirección y pines de datos: Incluye 32 líneas que son el tiempo multiplexadas para direcciones y datos. Las otras líneas en este grupo se utilizan para interpretar y validar las líneas de señal que llevan las direcciones y datos.
- Los pines de control de la interfaz: Controlar el tiempo de las transacciones y facilitar la coordinación entre los iniciadores y destinos.
- Pines de Arbitraje: A diferencia de las líneas de señal PCI , estas no son líneas compartidas. Más bien, cada maestro PCI tiene su propio par de líneas de arbitraje que se conectan directamente al árbitro de bus PCI.
- Las patillas de presentación de informes de error: Se utiliza para informar de la paridad y los errores de otros. Además, la especificación PCI define 51 líneas de señales opcionales (Tabla 3.4), divididas en los siguientes grupos funcionales:
  - Las patillas de interrupción: Estos se proporcionan para los dispositivos PCI que deben generar las solicitudes de servicio. Al igual que con los pasadores de arbitraje, no son líneas compartidas.

Por el contrario, cada dispositivo PCI tiene su propia línea de interrupción o de líneas a una interrupción controlador.

# 5.- PCI

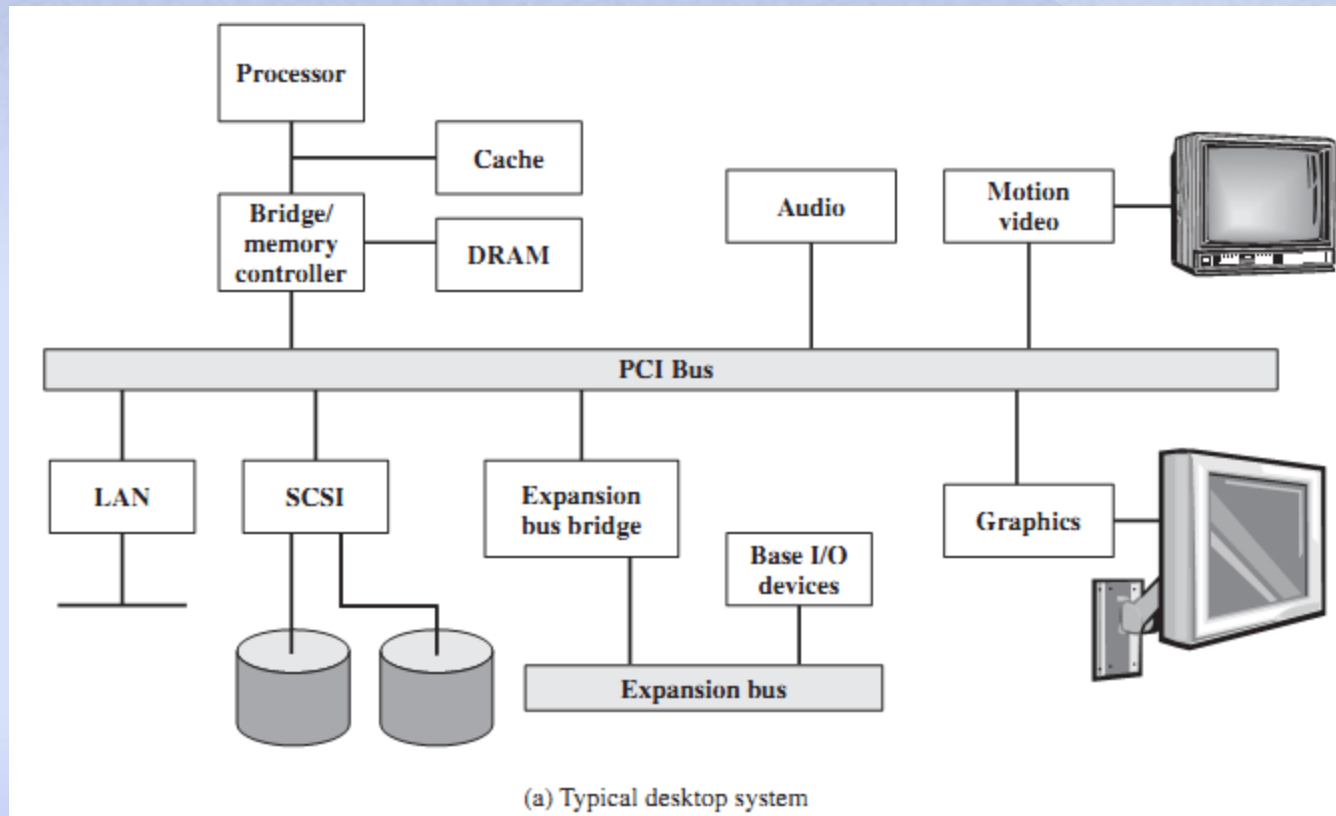
## 5.1 Estructura del Bus.-

- Las patillas de caché de apoyo: Estos pines son necesarios para apoyar una memoria en PCI que pueden almacenar en caché en el procesador u otro dispositivo. Estos pines apoyan a snoopy protocolos de caché (véase el Capítulo 18 para una discusión de los protocolos de este tipo).
- Los pasadores de 64 bits de extensión del bus: Incluye 32 líneas que son el tiempo multiplexadas para direcciones y datos y que se combinan con las obligatorias dirección / datos en líneas para formar una dirección de 64 bits / líneas de datos bus. Other en este grupo se utilizan para interpretar y validar las líneas de señal que llevan las direcciones y datos. Por último, hay dos líneas que permiten que dos dispositivos PCI de acuerdo a la utilización de la capacidad de 64 bits.
- JTAG / límite pasadores de análisis: Estas líneas de señal de apoyo a los procedimientos de prueba de los una multa en el estándar IEEE 1149.1.



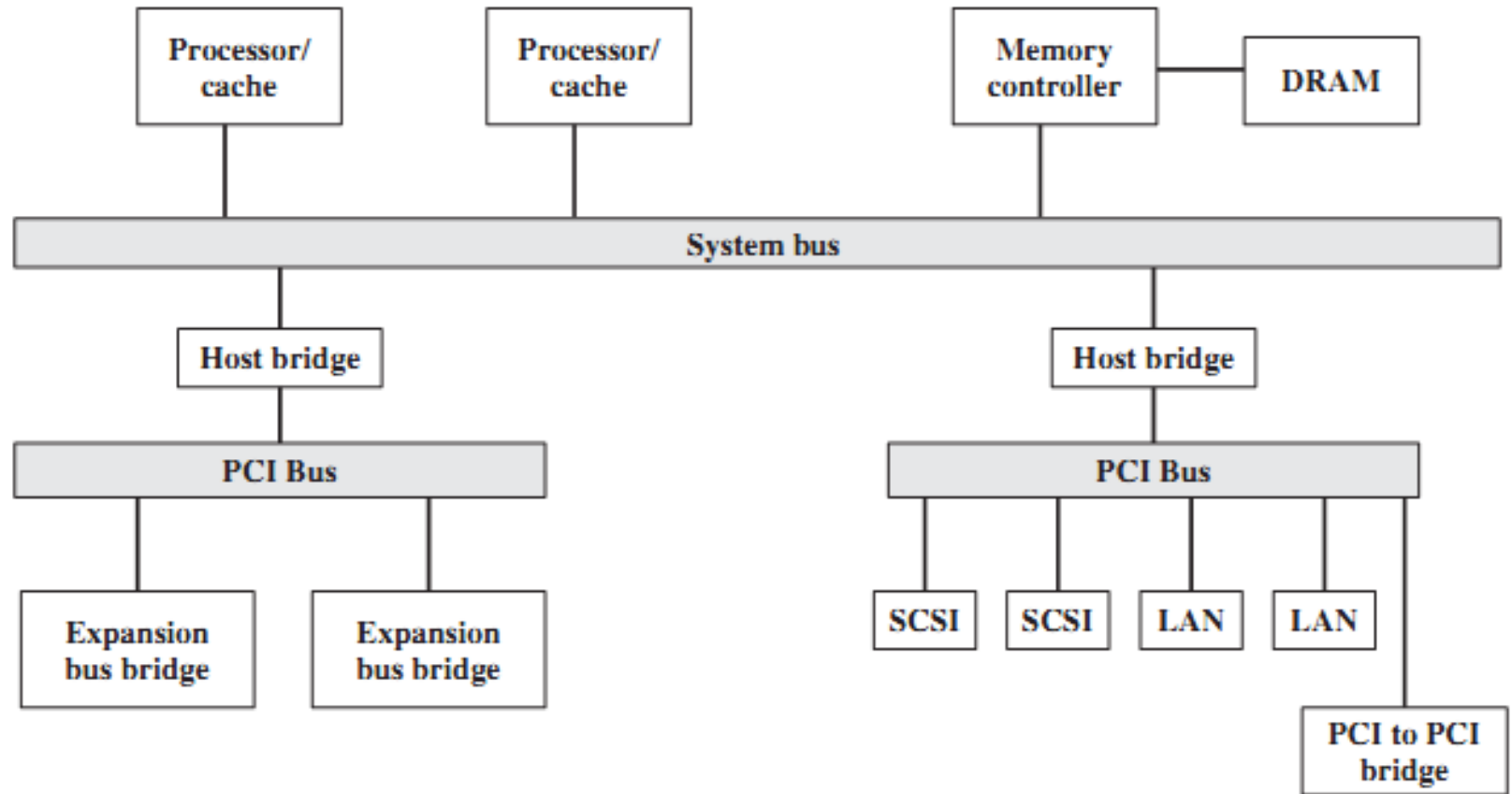
# 5.- PCI

## 5.1 Estructura del Bus.-



# 5.- PCI

## 5.1 Estructura del Bus.-



(b) Typical server system

# 5.- PCI

## 5.2 Comandos PCI.-

Actividad del bus se produce en forma de transacciones entre un iniciador o maestro y un objetivo. Cuando un maestro del bus adquiere el control del bus, que determina el tipo de transacción que se producirá siguiente. Durante la fase de direccionamiento de la operación, las líneas C / BE se utilizan para indicar el tipo de transacción:

- Reconocimiento de interrupción
- Ciclo Especial
- E / S de lectura
- E / S de escritura
- Lectura de memoria
- Lectura de memoria de línea
  - Lectura múltiple
- Escritura de memoria
- Memoria Escribir e invalidar
- Configuración de lectura
- Configuración de escritura
- Ciclo de doble dirección



# 5.- PCI

## 5.3 Transferencia de Datos.-

Cada transferencia de datos en el bus PCI es una transacción que consiste en una línea de dirección y una o más líneas de datos.

a.- Un Master bus se ha ganado el control del bus, se puede iniciar la transacción de la TRAMA asegurada. Se mantiene asegurada hasta completar la transferencia de la trama. El iniciador pone la dirección de inicio en la dirección del bus y lo lee con el comando en la líneas C / BE.

b. Al comienzo del reloj 2, el dispositivo de destino reconocerá su dirección en las líneas de AD.

c. El iniciador deja de conducir el bus AD. A giro (indicado por el dos flechas circulares) es necesario en todas las líneas de señal que puede ser accionado por más de un dispositivo, de modo que la caída de la señal de dirección preparará el bus para su uso por el iniciador dispositivo. El objetivo cambia la información sobre la relación C / BE líneas para designar las líneas AD se van a utilizar para la transferencia de la actualidad los datos tratados (de 1 a 4 bytes). El iniciador también afirma IRDY para indicar que está listo para el primer elemento de datos.

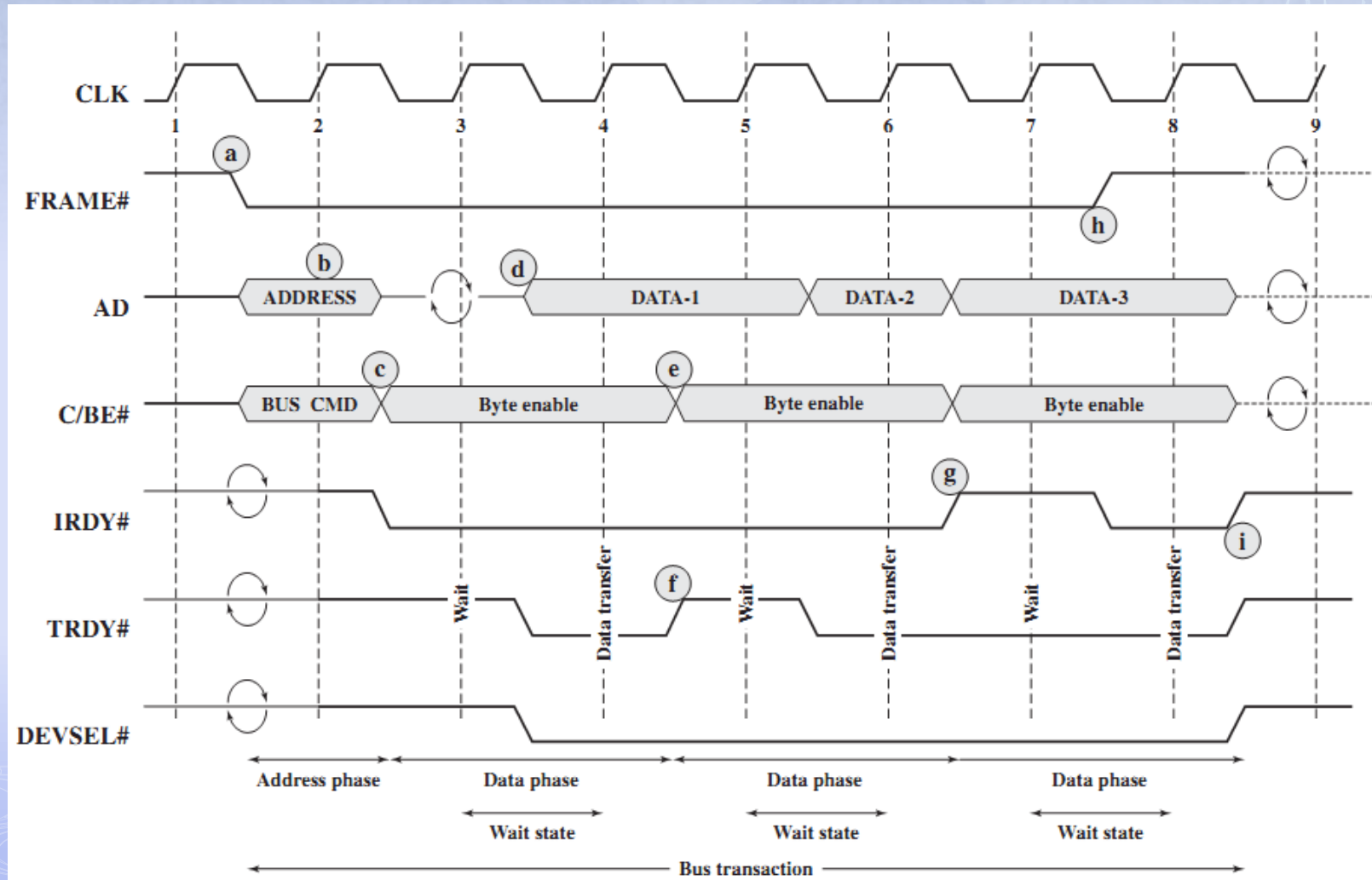
# 5.- PCI

## 5.3 Transferencia de Datos.-

- d. El objetivo seleccionado afirma DEVSEL para indicar que se ha reconocido su address y responderá. Coloca los datos que se solicitan en las líneas AD y, como Sert TRDY para indicar que los datos válidos están presentes en el bus.
- e. El iniciador lee los datos al comienzo de reloj 4 y cambia el byte habilitar líneas como sea necesario en la preparación para la próxima lectura.
- f. En este ejemplo, la meta necesita algún tiempo para preparar el segundo bloque de datos para transmission. Therefore, se deasserts TRDY para señalar el iniciador que hay No habrán nuevos datos durante el cycle. Accordingly que viene, el iniciador no leer las líneas de datos al comienzo del ciclo de reloj quinta y no cambia byte de permitir que durante bloque cycle. The de datos se lee al comienzo del reloj 6.

# 5.- PCI

## 5.3 Transferencia de Datos.-





# 5.- PCI

## 5.4 Arbitraje.-

PCI hace uso de un esquema centralizado, el arbitraje síncrono en el que cada maestro tiene una solicitud única (REQ) y la señal de concesión (GNT). Estas líneas de señales se unen a un árbitro central y una simple solicitud de la concesión apretón de manos se utiliza para conceder acceso al bus.

El algoritmo de arbitraje puede utilizar un enfoque de primer llegado, primer servido, una ronda - enfoque de todos contra todos, o algún tipo de esquema de prioridades. Un maestro PCI debe arbitrar para cada transacción que desea realizar, en donde una sola transacción consiste en una fase de dirección seguida por una o más fases de datos contiguos.

