

MEMORIA INTERNA

QUINTA UNIDAD

Sumario

I. Memoria principal Semiconductor

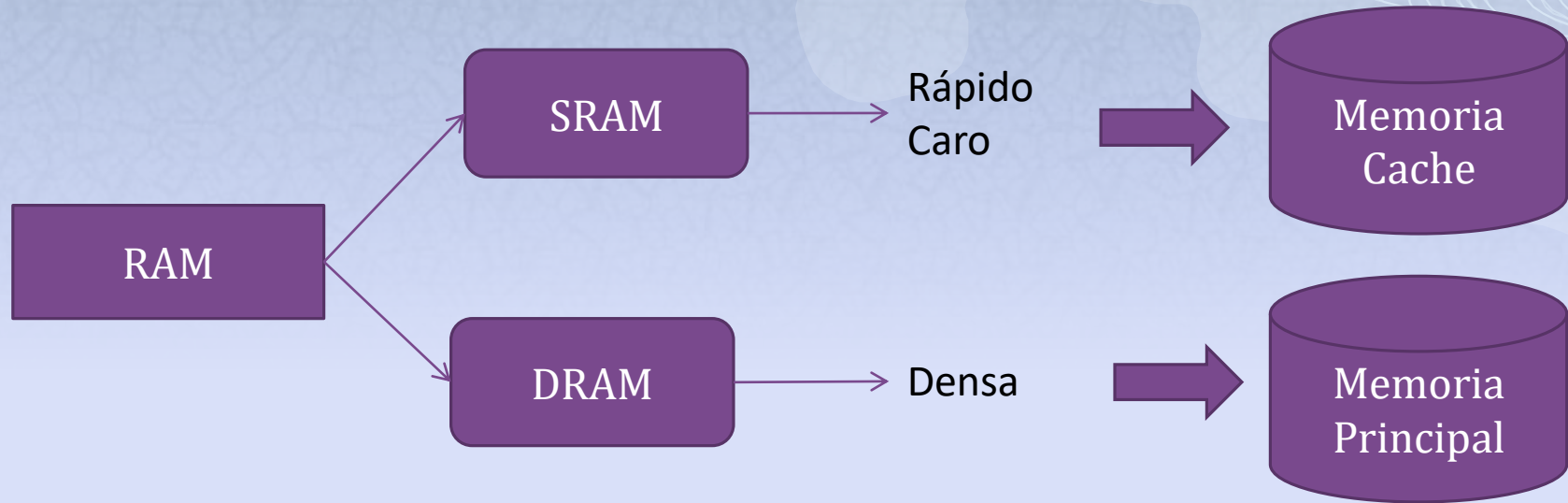
- i. Organización
- ii. DRAM y SRAM
- iii. Tipos de ROM
- iv. Chip lógico
- v. Chip de embalaje
- vi. Módulo de Organización
- vii. Memoria intercalada

II. Corrección de errores

III. Organización Avanzada DRAM

- i. Sincrona DRAM
- ii. Rambus DRAM
- iii. DDR SDRAM
- iv. Caché DRAM

Introducción



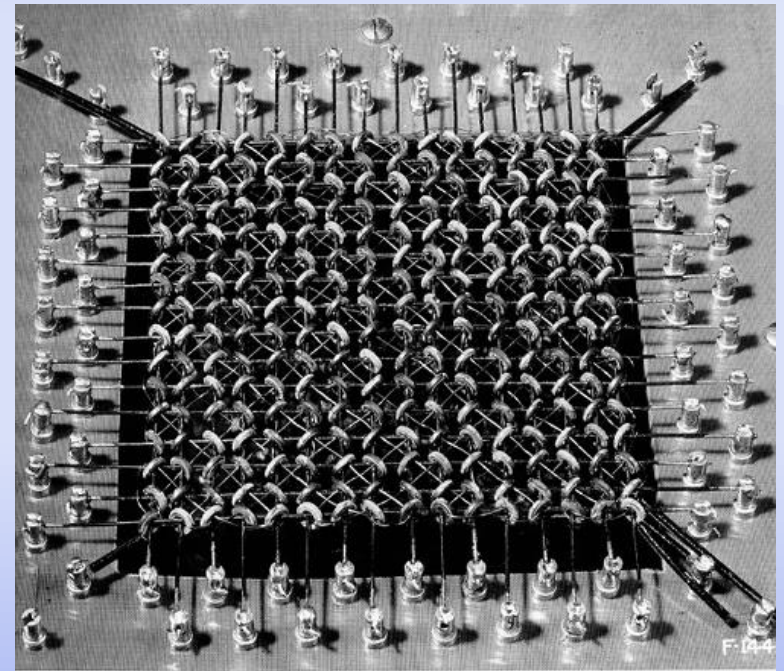
Corrección de Errores → Insertando bits



I. Memoria principal Semiconductor

Antes, la forma más común de almacenamiento de acceso aleatorio para memoria principal empleaba una serie de bucles en forma de rosquilla-ferro magnéticos conoce como núcleos. (1955 - 1975)

Con las ventajas de la microelectrónica el uso de chips de semiconductores para la memoria principal es casi universal.



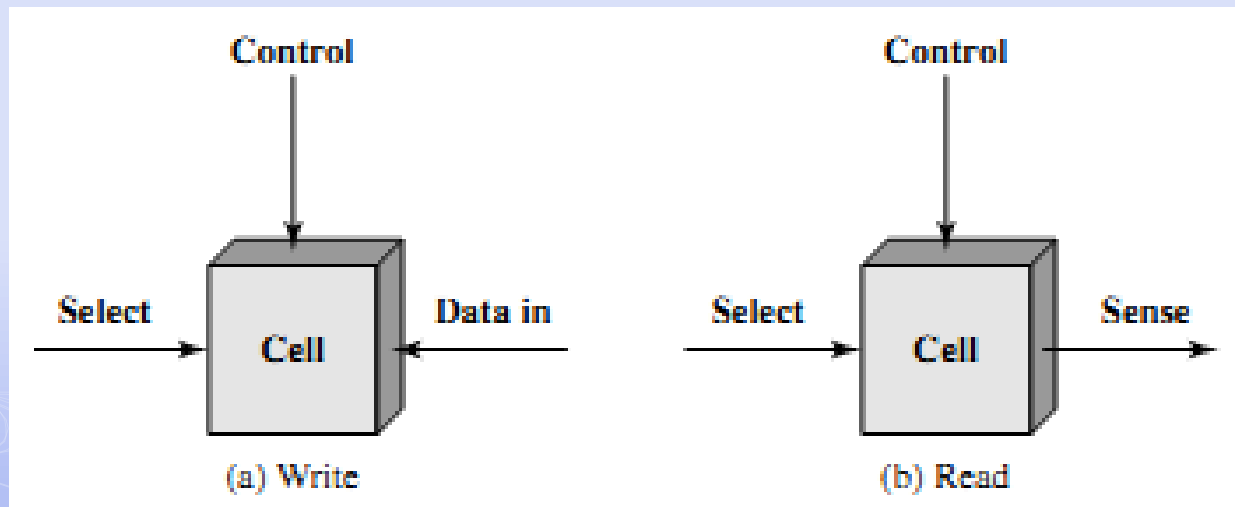
I. Memoria principal Semiconductor

i. Organización

El elemento básico de una memoria de semiconductor es la celda de memoria y comparten ciertas propiedades:

- Exhiben dos estados estables(o semiestables), que pueden ser utilizados para representar binario 1 y 0.
- Son capaces de ser escritos para establecer un estado.
- Son capaces de ser leído para detectar un estado.

La célula tiene tres terminales funcionales.



I. Memoria principal Semiconductor

ii. DRAM y SRAM

Una característica de la RAM es que es posible tanto para leer datos de la memoria y para escribir nuevos datos en la memoria con facilidad y rapidez. Tanto la lectura y escritura se logra mediante el uso de señales eléctricas.

Memory Type	Category	Erasure	Write Mechanism	Volatility
Random-access memory (RAM)	Read-write memory	Electrically, byte-level	Electrically	Volatile
Read-only memory (ROM)	Read-only memory	Not possible	Masks	Nonvolatile
Programmable ROM (PROM)			Electrically	
Erasable PROM (EPROM)	Read-mostly memory	UV light, chip-level		
Electrically Erasable PROM (EEPROM)		Electrically, byte-level		
Flash memory		Electrically, block-level		

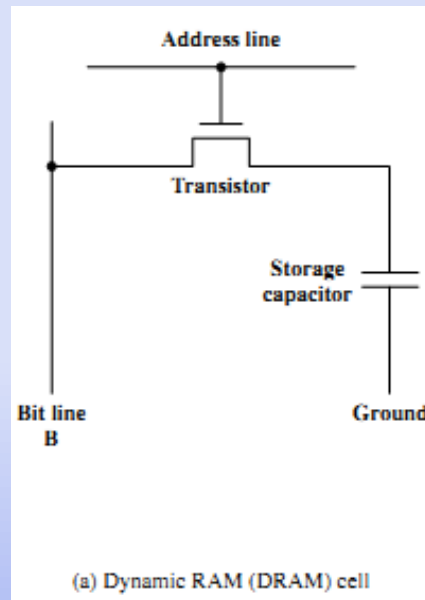
I. Memoria principal Semiconductor

ii. DRAM y SRAM

Las formas de memoria RAM utilizados en las computadoras son DRAM y SRAM.

Una RAM dinámica (DRAM) se almacenan los datos como la carga de capacitor.

La presencia o ausencia de carga en un condensador se interpreta como un binario 1 o 0. Debido a que los condensadores tienen la tendencia natural al vertido, las RAM dinámica requieren carga periódica refrescante para mantener el almacenamiento de datos.

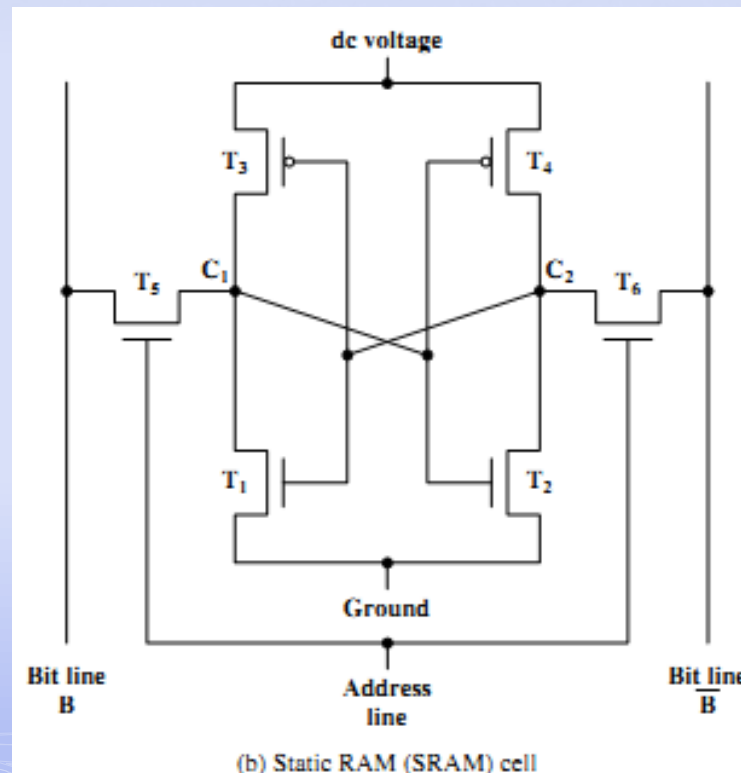


I. Memoria principal Semiconductor

ii. DRAM y SRAM

Una memoria RAM estática mantiene sus datos, siempre y cuando se suministra energía a la misma. Cuatro transistores (T1, T2, T3, T4) se cruzan conectados en una disposición que produce un estado lógico estable.

A diferencia de la DRAM, no hay actualización. Para una operación de lectura, el valor del bit se lee desde la línea B.



I. Memoria principal Semiconductor

iii. Tipos de ROM

Una memoria de sólo lectura (ROM) contiene un patrón permanente de datos que no se pueden cambiar. Una ROM es no volátil; es decir, ninguna fuente de energía se requiere para mantener los valores de bits en memoria. No es posible escribir nuevos datos en ella.

Si el contenido a cargar en la ROM es pequeño una alternativa menos costosa es la ROM programable (PROM). La PROM no es volátil y puede ser escrita en una sola vez. Para la PROM, el proceso de escritura se realiza eléctricamente y puede ser realizado por un proveedor.

Se requiere equipo especial para la escritura o el proceso de "programación".



I. Memoria principal Semiconductor

iii. Tipos de ROM

Una forma más atractiva de la lectura sobre todo la memoria es programable y borrrable eléctricamente memoria de sólo lectura (EEPROM). Se trata de una memoria de lectura-en su mayoría que puede ser escrito en cualquier momento sin borrar el contenido de la técnica; sólo el byte o bytes dirigida

La EEPROM combina la ventaja de no volatilidad con la flexibilidad de ser actualizable



I. Memoria principal Semiconductor

iv. Chip lógico

La memoria de semiconductores viene empaquetado. Cada chip contiene una matriz de celdas de memoria. La memoria de semiconductores, uno de las cuestiones clave de diseño es el número de bits de datos que pueden ser leídos / escritos en un tiempo.

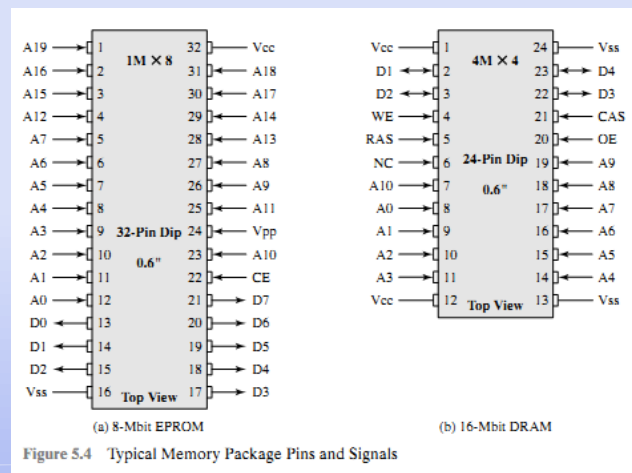
Las líneas de dirección suministra la dirección de la palabra que desea seleccionar.

I. Memoria principal Semiconductor

v. Chip de embalaje

Un circuito integrado está montado en un paquete que contiene patillas para la conexión con el mundo exterior. Los pines soportan las siguientes líneas de señalización:

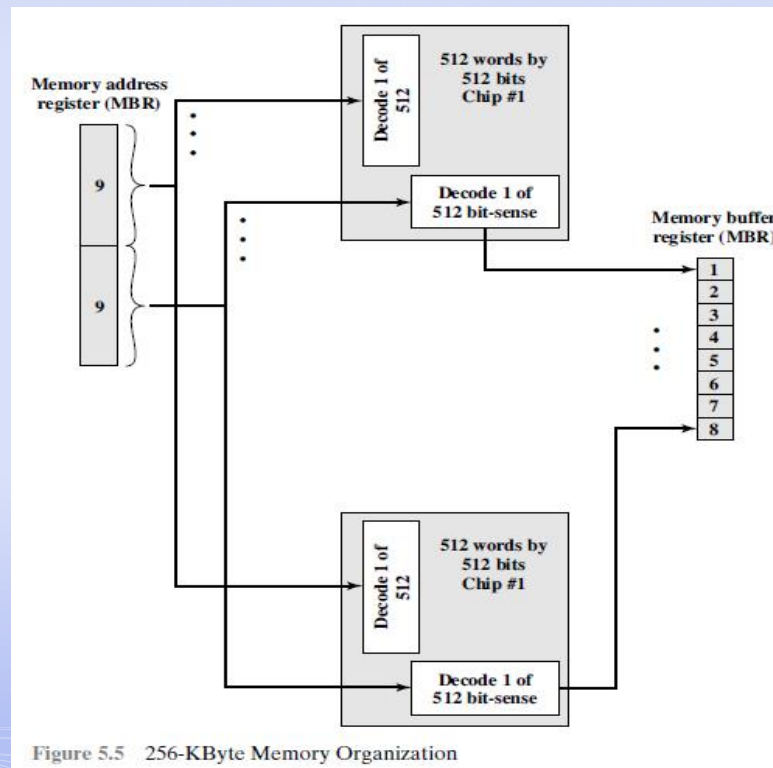
- La dirección de la palabra que se accede. Para las palabras 1M, un total de 20 (220 1M) pines son necesarios (A0-A19).
- Los datos que se leen a cabo, que consta de 8 líneas (D0-D7).
- La fuente de alimentación para el chip (Vcc).
- Un terreno pines (Vss).
- Un pin de chip habilitado (CE) Dado que puede haber más de un chip de memoria, cada uno de ellos está conectado al mismo bus de dirección.



I. Memoria principal Semiconductor

vi. Módulo de Organización

Si un chip de memoria RAM contiene sólo 1 bit por palabra, entonces es claro que vamos a necesitar al menos un número de fichas igual al número de bits por palabra.

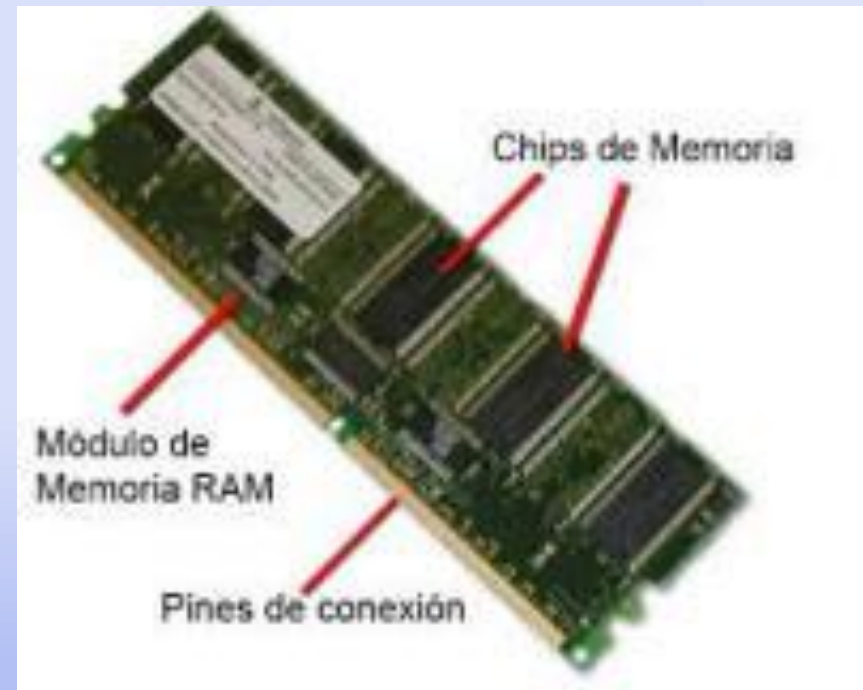
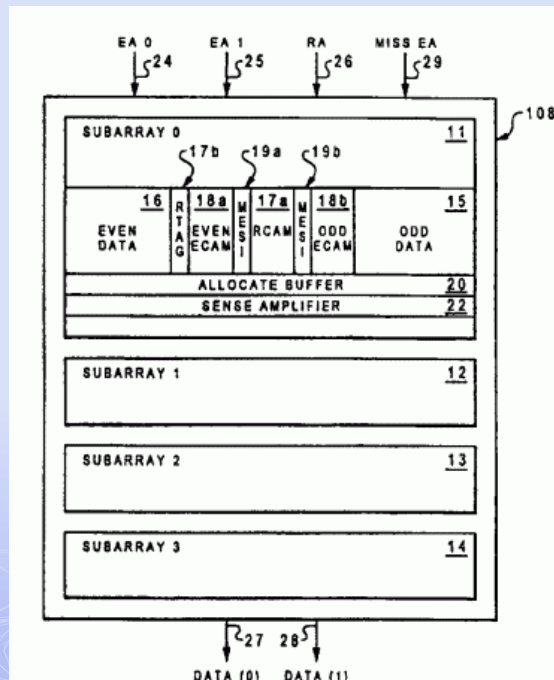


I. Memoria principal Semiconductor

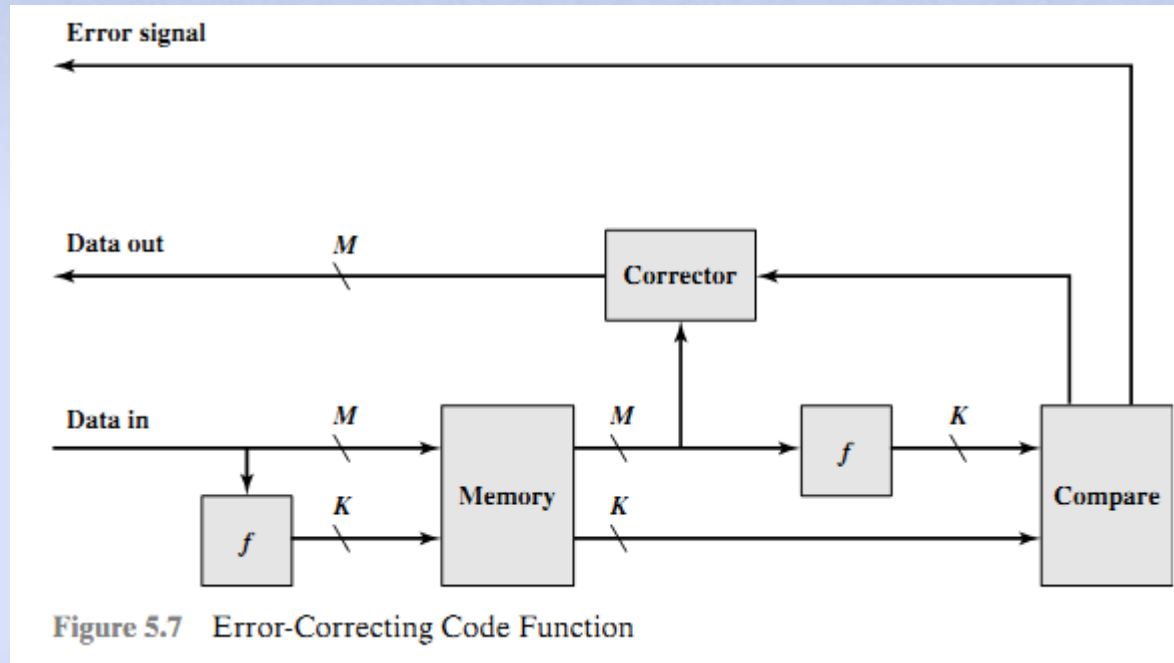
vii. Memoria intercalada

La memoria principal está compuesta por una colección de chips de memorias(DRAM). Es posible organizar la memoria bancos en una forma conocida como memoria intercalada.

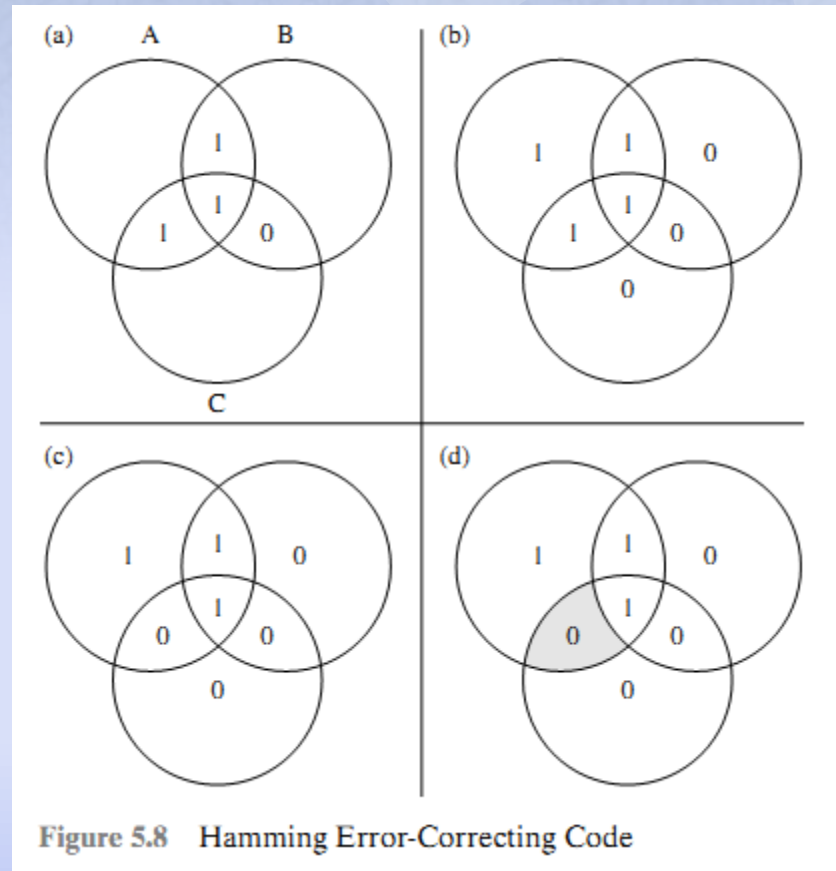
Cada banco es independiente habilitado al servicio de la memoria para atender peticiones de lectura o escritura, por lo que un sistema con bancos K puede atender K solicitudes de K simultáneamente.



II. Corrección de Errores



II. Corrección de Errores



Consideremos la palabra de datos de 7 bits "0110101"

	p₁	p₂	d₁	p₃	d₂	d₃	d₄	p₄	d₅	d₆	d₇
Palabra de datos (sin paridad):			0		1	1	0		1	0	1
p₁	1		0		1		0		1		1
p₂		0	0			1	0			0	1
p₃				0	1	1	0				
p₄								0	1	0	1
Palabra de datos (con paridad):	1	0	0	0	1	1	0	0	1	0	1

Cálculo de los bits de paridad en el código Hamming

P₁ = D₁ exor D₂ exor D₄ exor D₅ exor D₇

P₂ = D₁ exor D₃ exor D₄ exor D₆ exor D₇

P₃ = D₂ exor D₃ exor D₄

P₄ = D₅ exor D₆ exor D₇

Sin error

p_1	p_2	d_1	p_3	d_2	d_3	d_4	p_4	d_5	d_6	d_7	Prueba de paridad	Bit de comprobación
-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------------------	---------------------

Palabra de datos recibida:	1	0	0	0	1	1	0	0	1	0	1	1
----------------------------	---	---	---	---	---	---	---	---	---	---	---	---

p_1	1	0	1	0	1	1	1	Correcto	0
p_2	0	0	1	0	0	1	Correcto	0	
p_3	0	1	1	0	Correcto	0			
p_4	0	1	0	1	Correcto	0			

Comprobación de los bits de paridad (con primer bit de la derecha sin cambiar)

p_1	p_2	d_1	p_3	d_2	d_3	d_4	p_4	d_5	d_6	d_7	Prueba de paridad	Bit de comprobación
-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	----------------------	------------------------

Palabra de datos recibida:	1	0	0	0	1	1	0	0	1	0	0	
----------------------------	---	---	---	---	---	---	---	---	---	---	---	--

P_1

P_2

P_3

P_4

P_1 = D1 exor D2 exor D4 exor D5 exor D7

P_2 = D1 exor D3 exor D4 exor D6 exor D7

P_3 = D2 exor D3 exor D4

P_4 = D5 exor D6 exor D7

Con error

p_1	p_2	d_1	p_3	d_2	d_3	d_4	p_4	d_5	d_6	d_7	Prueba de paridad	Bit de comprobación
-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	----------------------	------------------------

Palabra de datos recibida:	1	0	0	0	1	1	0	0	1	0	0	1
----------------------------	---	---	---	---	---	---	---	---	---	---	---	---

P_1	0	0	1	0	1	0	Error	1
P_2	1	0	1	0	0	Error	1	
P_3	0	1	1	0		Correcto	0	
P_4	1	1	0	0	Error	1		

Comprobación de los bits de paridad (con primer bit de la derecha cambiado)

P1 = D1 exor D2 exor D4 exor D5 exor D7

P2 = D1 exor D3 exor D4 exor D6 exor D7

P3 = D2 exor D3 exor D4

P4 = D5 exor D6 exor D7

III. Organización Avanzada DRAM

i. Síncrona DRAM

Actualmente dominan el mercado son SDRAM, DDR DRAM, y RDRAM

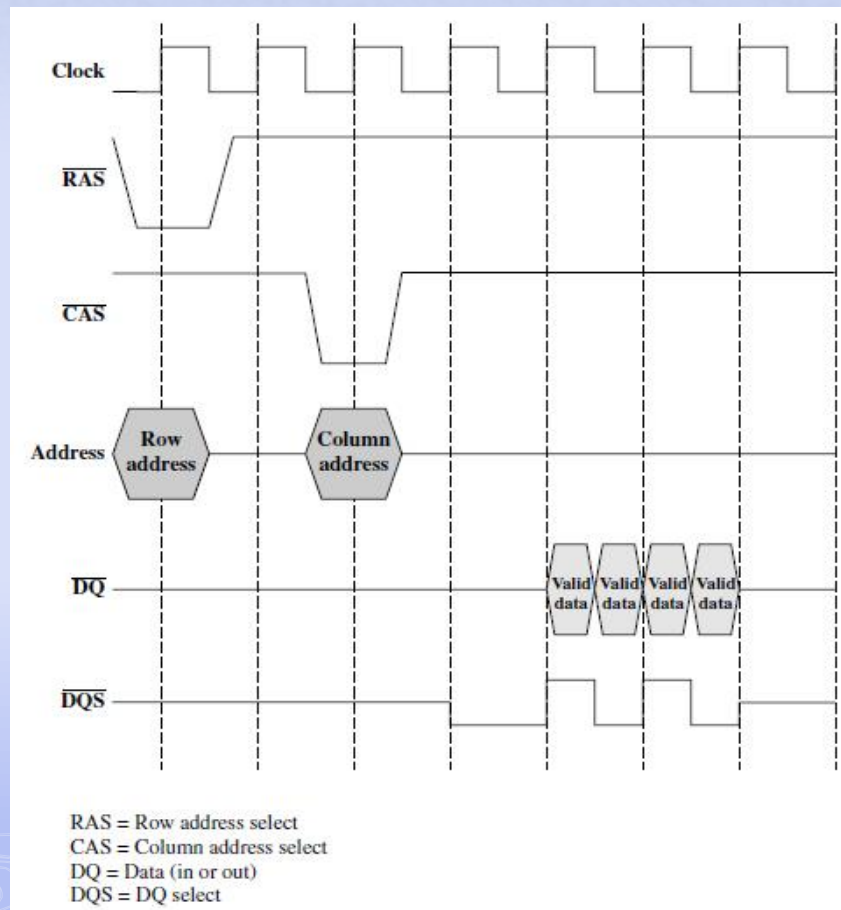
Table 5.3 Performance Comparison of Some DRAM Alternatives

	Clock Frequency (MHz)	Transfer Rate (GB/s)	Access Time (ns)	Pin Count
SDRAM	166	1.3	18	168
DDR	200	3.2	12.5	184
RDRAM	600	4.8	12	162

III. Organización Avanzada DRAM

iii. DDR SDRAM

SDRAM está limitada por el hecho de que sólo puede enviar datos al procesador una vez por reloj del bus Cycle. La nueva versión de SDRAM, conocida como doble velocidad de datos SDRAM puede enviar datos dos veces por ciclo de reloj



III. Organización Avanzada DRAM

iv. Caché DRAM

- DDR3, introducido en 2007, aumenta el tamaño del búfer de captura previa a 8 bits.
- Un módulo DDR puede transferir datos a una velocidad de reloj en el intervalo de 200 a 600 MHz, un módulo DDR2 de transferencias a una velocidad de reloj de 400 a 1066 MHz, y las transferencias de módulos DDR3 a una velocidad de reloj de 800 a 1600 MHz
- El CDRAM es una mezcla de memoria estática (SRAM) y memoria dinámica (DRAM). Similar a la caché de los modernos procesadores, en la CDRAM los datos frecuentemente usados se almacenan en la rápida SRAM, lo que incrementa el rendimiento

