

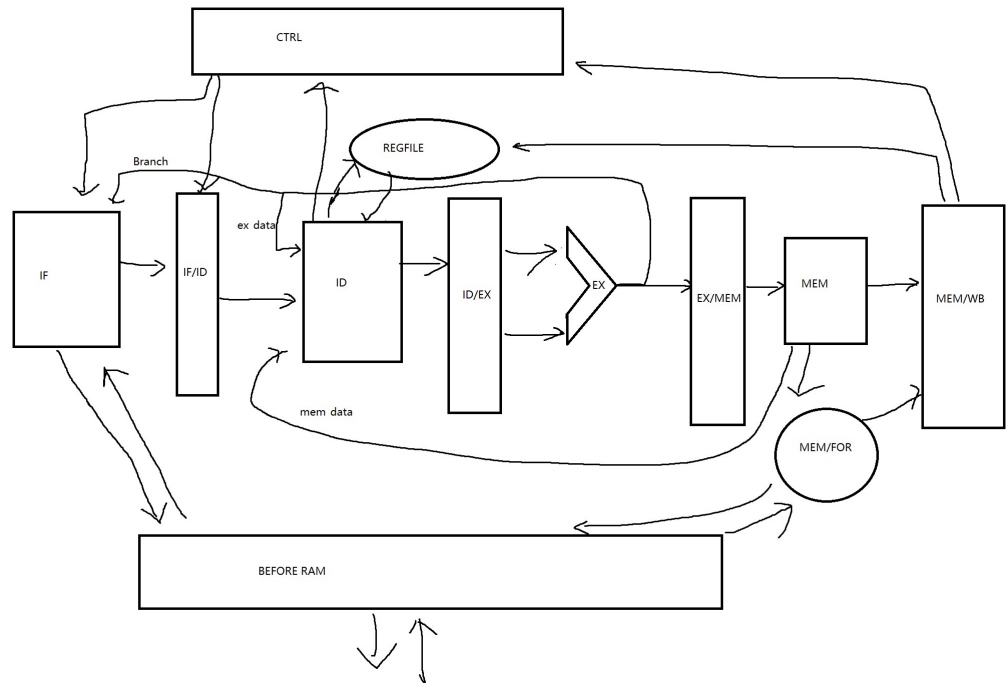
RISC-V简要报告

毛潇涵

2019 年 1 月 7 日

1 Introduction

这个简易CPU的整体架构如图



采用了五级流水和forwarding，对于load和store以及branch等命令使用了stall。

由于内存的特殊性，修改了一下IF和MEM模块，并写了一个管理的模块，总体来说是中规中矩的设计。

2 Problem

开始想在5个周期之内读出4字节，写完后发现有比较严重的时序问题，经常会这个时钟周期拿到上上个周期的数据等等。由于时间原因，这个问题没有解决。无奈只能换成8周期读4个字节。十分影响效率。

此外还想过在另外写一个指令缓冲区，在一边不停地读指令。但是感觉和load/store指令的冲突很难协调，就没有写。

我觉得写CPU时最难得地方在于调试，经常由于某个寄存器的值错了导致后面的错误跳转以及死循环等，花了很多时间去查代码。