

기술명 : 2단계 지연 고정 루프를 이용한 동기식 직류-직류 벡 변환기 및 전파 지연 시간 보상 방법

IPC : H02M 3/156|H02M 1/38|H03K 5/13|H02M 1/08|H03K 17/042

발명자 : 성균관대학교 이강운

요 약

본 발명의 실시예들에 따른 동기식 직류-직류 벡 변환기는, 입력 전압을 제1 스위칭 신호의 듀티 구간 동안 인덕 터에 인가하는 제1 스위치와, 제1 스위칭 신호에 상보적인 제2 스위칭 신호로 스위칭되는 제2 스위치를 이용하여 강압된 출력 전압을 생성하는 동기식 직류-직류 벡 변환기로서, 출력 전압과 기준 전압의 오차 전압의 크기에 상 - 도1 응한 듀티비를 가지는 구동 발진 신호와 구동 제어 신호 사이에 검출된 위상 차이에 따라 n 비트의 지연 조절 신호를 출력하고, 구동 발진 신호에 대해 구동 제어 신호가 대략적으로 동기화되면 대략적 지연 고정 신호를 출력 하는 디지털 지연 보상부, 대략적 지연 고정 신호에 따라, 제1 스위칭 신호 또는 제2 스위칭 신호 중 어느 하나 와 구동 발진 신호 사이에 검출된 위상 차이에 따라 지연 조절 전압을 출력하는 아날로그 지연 보상부, 구동 발 진 신호를 n 비트의 지연 조절 신호 및 지연 조절 전압에 따라 각각의 지연 시간이 결정되는 복수의 직렬 연결된 지연 셀들에 통과시켜 지연된 상기 구동 제어 신호를 출력하는 지연 라인 및 구동 제어 신호에 따라 제1 및 제2 스위칭 신호들을 생성하는 스위칭 신호 생성부를 포함할 수 있다. (72) 발명자 박영준 경상북도 문경시 동로면 석항2리 588번지 이주영 인천 계양구 양지로 50, 301호 (동양동, 낙원아트 빌)

특허청구의 범위

청구항 1

입력 전압을 제1 스위칭 신호의 듀티(duty) 구간 동안 인덕터에 인가하는 제1 스위치와, 제1 스위칭 신호에 상 보적인 제2 스위칭 신호로 스위칭되는 제2 스위치를 이용하여 강압된 출력 전압을 생성하는 동기식 직류-직류 벡 변환기로서, 상기 출력 전압과 기준 전압의 오차 전압의 크기에 상응한 듀티비를 가지는 구동 발진 신호와 구동 제어 신호 사이에 검출된 위상 차이에 따라 n 비트의 지연 조절 신호를 출력하는 디지털 지연 보상부; 상기 제1 스위칭 신호 또는 상기 제2 스위칭 신호 중 어느 하나와 상기 구동 발진 신호 사이에 검출된 위상 차이에 따라 가변하도록 지연 조절 전압을 출력하는 아날로그 지연 보상부; 상기 n 비트의 지연 조절 신호 및 상기 지연 조절 전압에 따라 각각의 지연 시간이 결정되는 복수의 직렬 연결 된 지연 셀들에 상기 구동 발진 신호를 통과시켜, 상기 구동 제어 신호를 출력하는 지연 라인; 및 상기 구동 제어 신호에 따라 상기 제1 및 제2 스위칭 신호들을 생성하는 스위칭 신호 생성부를 포함하고, 상기 지연 라인을 구성하는 각각의 지연 셀의 지연 시간은 상기 n 비트의 지연 조절 신호에 의해 조절되는 상대 적으로 큰 지연 분과, 상기 지연 조절 전압에 의해 조절되는 상대적으로 작은 지연 분으로 구성되는 것을 특징 으로 하는 동기식 직류-직류 벡 변환기.

청구항 2

청구항 1에 있어서, 상기 디지털 지연 보상부는 상기 구동 발진 신호에 대해 상기 구동 제어 신호가 대략적으로 동기화되면 대략적 지연 고정 신호를 생성하고, 상기 아날로그 지연 보상부는 상기 대략적 지연 고정 신호가 생성된 후부터 가변되는 상기 지연 조절 전압을 출력하도록 동작하고, 상기 지연 라인의 각 지연 셀들의 지연 시간은, 상기 대략적 지연 고정 신호가 생성된 시점에 고정되는 상기 n 비트의 지연 조절 신호와, 상기 대략적 지연 고정 신호가 생성된 이후에 지속적으로 조절되는 상기 지연 조절 전압에 따라, 결정되는 것을 특징으로 하는 직류-직류 벡 변환기.

청구항 3

청구항 1에 있어서, 상기 지연 라인을 구성하는 각각의 지연 셀은 상기 n 비트의 지연 조절 신호에 따라 커패시턴스가 가변하는 커패시턴스 बैं크; 및 상기 지연 조절 전압에 따라 바이어스 전류가 가변하는 전류원을 포함하는 것을 특징으로 하는 직류-직류 벡 변환기.

청구항 4

청구항 3에 있어서, 상기 지연 라인을 구성하는 각각의 지연 셀은 상기 n 비트의 지연 조절 신호에 따라 가변하는 커패시턴스에 의한 상대적으로 큰 지연 분을 이용하여 대략적 지연을 수행하고, 상기 지연 조절 전압에 따라 가변하는 바이어스 전류에 의한 상대적으로 작은 지연 분을 이용하여 미세 지연을 수행하는 것을 특징으로 하는 직류-직류 벡 변환기.

청구항 5

입력 전압을 제1 스위칭 신호의 듀티 구간 동안 인덕터에 인가하는 제1 스위치와, 제1 스위칭 신호에 상보적인 제2 스위칭 신호로 스위칭되는 제2 스위치를 이용하여 강압된 출력 전압을 생성하는 동기식 직류-직류 벡 변환기의 전파 지연 시간 보상 방법으로서, 상기 출력 전압과 기준 전압의 오차 전압의 크기에 상응한 듀티비를 가지는 구동 발진 신호와 구동 제어 신호 사이에 검출된 위상 차이에 따라 n 비트의 지연 조절 신호를 출력하는 단계; 상기 제1 스위칭 신호 또는 상기 제2 스위칭 신호 중 어느 하나와 상기 구동 발진 신호 사이에 검출된 위상 차이에 따라 가변하도록 지연 조절 전압을 출력하는 단계; 상기 n 비트의 지연 조절 신호 및 상기 지연 조절 전압에 따라 각각의 지연 시간이 결정되는 복수의 직렬 연결된 지연 셀들에 상기 구동 발진 신호를 통과시켜 상기 구동 제어 신호를 출력하는 단계; 및 상기 구동 제어 신호에 따라 상기 제1 및 제2 스위칭 신호들을 생성하는 단계를 포함하고, 상기 지연 라인을 구성하는 각각의 지연 셀의 지연 시간은 상기 n 비트의 지연 조절 신호에 의해 조절되는 상대적으로 큰 지연 분과, 상기 지연 조절 전압에 의해 조절되는 상대적으로 작은 지연 분으로 구성되는 것을 특징으로 하는 동기식 직류-직류 벡 변환기의 전파 지연 시간 보상 방법.

청구항 6

청구항 5에 있어서, 상기 구동 발진 신호에 대해 상기 구동 제어 신호가 대략적으로 동기화되면 대략적 지연 고정 신호를 출력하는 단계를 더 포함하고, 상기 지연 조절 전압을 출력하는 단계는 상기 대략적 지연 고정 신호가 생성된 후부터, 상기 제1 스위칭 신호 또는 상기 제2 스위칭 신호 중 어느 하나와 상기 구동 발진 신호 사이에 검출된 위상 차이에 따라 가변하도록 지연 조절 전압을 출력하는 단계를 포함하며, 상기 지연 라인의 각 지연 셀들의 지연 시간은, 상기 대략적 지연 고정 신호가 생성되는 시점에 고정되는 상기 n 비트의 지연 조절 신

호와, 상기 대략적 지연 고정 신호가 생성된 이후에 지속적으로 조절되는 상기 지연 조절 전압에 따라, 결정되는 것을 특징으로 하는 직류-직류 벅 변환기의 전파 지연 시간 보상 방법.

청구항 7

청구항 5에 있어서, 상기 지연 라인을 구성하는 각각의 지연 셀은 상기 n 비트의 지연 조절 신호에 따라 커패시턴스가 가변하는 커패시턴스 बैं크; 및 상기 지연 조절 전압에 따라 바이어스 전류가 가변하는 전류원을 포함하는 것을 특징으로 하는 직류-직류 벅 변환기의 전파 지연 시간 보상 방법.

청구항 8

청구항 7에 있어서, 상기 지연 라인을 구성하는 각각의 지연 셀은 상기 n 비트의 지연 조절 신호에 따라 가변하는 커패시턴스에 의한 상대적으로 큰 지연 분을 이용하여 대략적 지연을 수행하고, 상기 지연 조절 전압에 따라 가변하는 바이어스 전류에 의한 상대적으로 작은 지연 분을 이용하여 미세 지연을 수행하도록 구성된 것을 특징으로 하는 직류-직류 벅 변환기의 전파 지연 시간 보상 방법.

기술 분야

본 발명은 직류-직류 변환기에 관한 것으로, 더욱 상세하게는, 동기식 직류-직류 벅 변환기에 관한 것이다.

배경 기술

직류-직류 변환기(DC-DC Converter)는 직류 전압을 다른 레벨의 직류 전압으로 변환하는 회로이다. 입력 전압을 더 낮은 레벨의 출력 전압으로 변환하여 출력하는 직류-직류 변환기를 강압형 직류-직류 변환기라고 하는데, 벅 변환기(buck converter), 또는 DC-DC 벅 변환기라고 하는 인덕터 방식의 벅 변환기가 대표적이다. 동기식 DC-DC 벅 변환기(synchronous DC-DC buck converter)는 인덕터와, 인덕터에 대해 입력 전압으로부터 에너지 공급과 출력 전압으로 에너지 전달을 제어하기 위해 서로 상보적으로 동작하는 두 개의 스위치들, 그리고 강압된 전압을 유지하기 위한 커패시터로 구성된다. 이론적으로 동기식 DC-DC 벅 변환기는 두 스위치들 중 인덕터에 입력 전압을 인가하는 스위치의 듀티비(duty ratio)에 따라 강압비가 결정되는 회로이므로, 간단한 구조로 출력 전압의 레벨을 조절할 수도 있는 직류-직류 변환기이다. 다만, 큰 용량의 인덕터와 커패시터를 집적 회로로 구현하기에는 어렵기 때문에, 집적 회로로 구현하더라도 인덕터는 외부 소자로 하고 나머지 스위칭 회로들만 집적 회로 내에서 구성하는 것이 보통이다. 인덕터의 크기는 듀티비 및 입력 전압과 출력 전압의 차이에 비례하고, 스위칭 주파수와 스위칭 시의 인덕터 리플(ripple) 전류 변화율에는 반비례한다. 또한 커패시터의 크기는 스위칭 시의 인덕터 리플 전류 변화율에 비례하고 스위칭 주파수와 출력 전압의 크기에 반비례한다. 따라서, 인덕터와 커패시터의 크기를 모두 줄여 집적 회로 내에 집적시키기 위해서는, 스위칭 주파수를 높여야 한다. 스위칭 주파수를 높일 경우, 집적 회로에서 스위치로 구현되는 트랜지스터들에 새로운 문제점들이 발생한다. 동기식 DC-DC 벅 변환기의 두 스위치들은 동시에 켜질 경우에 입력 전압 단자에서 스위치들을 관통하여 접지 단 자까지 전류가 흘러버릴(shoot-through) 가능성이 있다. 따라서, 각 스위치들의 상보적인 통전 구간의 앞뒤로 소정의 데드 타임(dead time)을 주어 스위치로 동작하는 트

랜지스터들이 어느 시점에 동시에 턴온되어 있을 가 능성을 줄일 필요가 있다. 또한, 스위칭 주기를 정밀하게 제어하는 데에 있어서, 소정의 발진 신호가 구동 회로를 거쳐 각 트랜지스터의 게이트에 구동 신호로서 이르기까지의 전파 지연(propagation delay)이 있기 때문에, 구동 신호의 에지 부근에 서 데드 타임이 보장되지 않는 회색 구간이 발생할 가능성이 있다. 특히 전파 지연은 소자의 물리적 특성에 관 련되어 대체로 일정하므로, 스위칭 주파수가 높아지면 이러한 전체 통전 구간 중 문제의 회색 구간의 비중은 더 높아진다. 관통 전류를 방지하기 위해 회색 구간과 데드 타임을 모두 고려하면 스위치의 통전 시간 자체가 너 무 줄어들어 오히려 효율이 줄어들 수 있다.

해결하려는 과제

본 발명이 해결하고자 하는 과제는 2단계 지연 고정 루프를 이용한 동기식 직류-직류 벡 변환기 및 전파 지연 시간 보상 방법을 제공하는 데에 있다. 본 발명이 해결하고자 하는 과제는 스위칭 주파수가 높아지면서 영향이 커지는 전파 지연의 문제를 해결하고자 디지털 지연 고정 루프와 아날로그 지연 고정 루프를 지능적으로 적용한 2단계 지연 고정 루프를 이용한 동기식 직류-직류 벡 변환기 및 전파 지연 시간 보상 방법을 제공하는 데에 있다. 본 발명이 해결하고자 하는 과제는 지연 고정 루프가 소모하는 면적과 전력을 줄이면서 정확도를 높일 수 있도록 디지털 지연 고정 루프와 아날로그 지연 고정 루프를 적용한 2단계 지연 고정 루프를 이용한 동기식 직류-직 류 벡 변환기 및 전파 지연 시간 보상 방법을 제공하는 데에 있다. 본 발명의 해결과제는 이상에서 언급된 것들에 한정되지 않으며, 언급되지 아니한 다른 해결과제 들은 아래의 기 재로부터 당업자에게 명확히 이해될 수 있을 것이다.

과제의 해결 수단

본 발명의 일 측면에 따른 동기식 직류-직류 벡 변환기는, 입력 전압을 제1 스위칭 신호의 듀티(duty) 구간 동안 인덕터에 인가하는 제1 스위치와, 제1 스위칭 신호에 상 보적인 제2 스위칭 신호로 스위칭되는 제2 스위치를 이용하여 강압된 출력 전압을 생성하는 동기식 직류-직 류 벡 변환기로서, 상기 출력 전압과 기준 전압의 오차 전압의 크기에 상응한 듀티비를 가지는 구동 발진 신호와 구동 제어 신호 사이에 검출된 위상 차이에 따라 n 비트의 지연 조절 신호를 출력하고, 상기 구동 발진 신호에 대해 상기 구동 제어 신호가 대략적으로 동기화되면 대략적 지연 고정 신호를 출력하는 디지털 지연 보상부; 상기 대략적 지연 고정 신호에 따라, 상기 제1 스위칭 신호 또는 상기 제2 스위칭 신호 중 어느 하나와 상기 구 동 발진 신호 사 이에 검출된 위상 차이에 따라 지연 조절 전압을 출력하는 아날로그 지연 보상부; 상기 구동 발진 신호를 상기 n 비트의 지연 조절 신호 및 상기 지연 조절 전압에 따라 각각의 지연 시간이 결정 되는 복수의 직렬 연결된 지연 셀들에 통과시켜 지연된 상기 구동 제어 신호를 출력하는 지연 라인; 및 상기 구동 제어 신호에 따라 상기 제1 및 제2 스위칭 신호들을 생성하는 스위칭 신호 생성부를 포함할 수 있다. 일 실시예에 따라, 상기 지연 라인을 구성하는 각각의 지연 셀은 상기 n 비트의 지연 조절 신호에 의해 발생하는 상대적으로 큰 지연 분을 이용하여 대략적 지연에 관여하고, 상 기 지연 조절 전압에 의해 발생하는 상대적으로 지연 분을 이용하여 미세 지연에 관여하도록 구성할 수 있다. 일 실시예에 따라, 상기 지연 라인을 구성하는 각각의 지연 셀은 상기 n 비트의 지연 조절 신호에 따라 커패시턴스가 가변하는 커패시턴스뱅크; 및 상기 지연 조절 전압에 따라 바이어스 전류가 가변하는 전류원을 포함할 수 있다. 일 실시예에 따라, 상기 지연 라인을 구성하는 각각의 지연 셀은 상기 n 비트의 지

연 조절 신호에 따라 가변하는 커패시턴스에 의한 상대적으로 큰 지연 분을 이용하여 대략적 지연을 수행하고, 상기 지연 조절 전압에 따라 가변하는 바이어스 전류에 의한 상대적으로 작은 지연 분을 이용하여 미세 지연을 수행할 수 있다. 본 발명의 다른 측면에 따른 동기식 직류-직류 벡 변환기의 전파 지연 시간 보상 방법은, 입력 전압을 제1 스위칭 신호의 듀티 구간 동안 인덕터에 인가하는 제1 스위치와, 제1 스위칭 신호에 상보적인 제2 스위칭 신호로 스위칭되는 제2 스위치를 이용하여 강압된 출력 전압을 생성하는 동기식 직류-직류 벡 변환기의 전파 지연 시간 보상 방법으로서, 상기 출력 전압과 기준 전압의 오차 전압의 크기에 상응한 듀티비를 가지는 구동 발진 신호와 구동 제어 신호 사이에 검출된 위상 차이에 따라 n 비트의 지연 조절 신호를 출력하는 단계; 상기 구동 발진 신호를 상기 n 비트의 지연 조절 신호에 따라 각각의 지연 시간이 결정되는 복수의 직렬 연결된 지연 셀들에 통과시켜 지연이 대략적으로 조절된 상기 구동 제어 신호를 출력하는 단계; 상기 구동 발진 신호에 대해 상기 구동 제어 신호가 대략적으로 동기화되었다고 판정되면 대략적 지연 고정 신호를 출력하는 단계; 상기 대략적 지연 고정 신호가 발생한 후에, 상기 제1 스위칭 신호 또는 상기 제2 스위칭 신호 중 어느 하나와 상기 구동 발진 신호 사이에 검출된 위상 차이에 따라 가변하는 지연 조절 전압을 출력하는 단계; 상기 구동 발진 신호를 상기 대략적 지연 고정 신호가 출력된 시점에 고정된 상기 n 비트의 지연 조절 신호 및 상기 지연 조절 전압에 따라 각각의 지연 시간이 결정되는 상기 지연 셀들에 통과시켜 상기 구동 제어 신호를 출력하는 단계; 및 상기 구동 제어 신호에 따라 상기 제1 및 제2 스위칭 신호들을 생성하는 단계를 포함할 수 있다. 일 실시예에 따라, 상기 지연 라인을 구성하는 각각의 지연 셀은 상기 n 비트의 지연 조절 신호에 의해 발생하는 상대적으로 큰 지연 분을 이용하여 대략적 지연에 관여하고, 상기 지연 조절 전압에 의해 발생하는 상대적으로 작은 지연 분을 이용하여 미세 지연에 관여하도록 구성될 수 있다. 일 실시예에 따라, 상기 지연 라인을 구성하는 각각의 지연 셀은 상기 n 비트의 지연 조절 신호에 따라 커패시턴스가 가변하는 커패시턴스 뱅크; 및 상기 지연 조절 전압에 따라 바이어스 전류가 가변하는 전류원을 포함할 수 있다. 일 실시예에 따라, 상기 지연 라인을 구성하는 각각의 지연 셀은 상기 n 비트의 지연 조절 신호에 따라 가변하는 커패시턴스에 의한 상대적으로 큰 지연 분을 이용하여 대략적 지연을 수행하고, 상기 지연 조절 전압에 따라 가변하는 바이어스 전류에 의한 상대적으로 작은 지연 분을 이용하여 미세 지연을 수행하도록 구성될 수 있다.

발명의 효과

본 발명의 2단계 지연 고정 루프를 이용한 동기식 직류-직류 벡 변환기 및 전파 지연 시간 보상 방법에 따르면, 디지털 지연 고정 루프와 아날로그 지연 고정 루프를 지능적으로 적용함으로써 스위칭 주파수가 높아지면서 영향이 커지는 전파 지연의 문제를 해결할 수 있다. 본 발명의 2단계 지연 고정 루프를 이용한 동기식 직류-직류 벡 변환기 및 전파 지연 시간 보상 방법에 따르면, 지연 고정 루프가 소모하는 면적과 전력을 줄이면서 정확도를 높일 수 있다. 본 발명의 효과는 이상에서 언급된 것들에 한정되지 않으며, 언급되지 아니한 다른 효과들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 2단계 지연 고정 루프를 이용한 동기식 직류-직류 벡 변환기를 예시한 블록 도이다. 도 2는 본 발명의 일 실시예에 따른 2단계 지연 고정 루프를 이

용한 동기식 직류-직류 벡 변환기의 제어 신호들의 파형들을 예시한 타이밍도이다. 도 3은 본 발명의 일 실시예에 따른 2단계 지연 고정 루프를 이용한 동기식 직류-직류 벡 변환기를 위한 전파 지연 시간 보상 방법을 예시한 순서도이다.

발명을 실시하기 위한 구체적인 내용

본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시 예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다. 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다. 도 1은 본 발명의 일 실시예에 따른 2단계 지연 고정 루프를 이용한 동기식 직류-직류 벡 변환기를 예시한 블록 도이다. 도 1을 참조하면, 동기식(synchronous) 직류-직류 벡 변환기(10)는 입력 전압(V_{IN})을 제1 스위칭 신호(SW1)의 듀티(duty) 구간 동안 인덕터(L)에 인가하는 제1 스위치(M0)와, 제1 스위칭 신호(SW1)에 상보적인, 또는 중첩되지 않는(non-overlapping) 제2 스위칭 신호(SW2)로 스위칭되는 제2 스위치(M1)를 이용하여 강압된 출력 전압 (V_{OUT})을 생성하는 동기식 직류-직류 벡 변환기이다. 이를 위해, 동기식 직류-직류 벡 변환기(10)는 구동 발진 신호 생성부(11), 디지털 지연 보상부(12), 아날로그 지연 보상부(13), 지연 라인(14), 스위칭 신호 생성부(15) 및 스위치 구동부(16)를 포함할 수 있다. 도 1의 동기식 직류-직류 벡 변환기(10)는 출력 전압(V_{OUT})의 레벨을 기초로 제1 및 제2 스위칭 신호들(SW1, SW2)의 듀티 구간을 가변함으로써 출력 전압(V_{OUT})의 레벨을 원하는 레벨로 자동으로 조절할 수 있는 피드백 방식이다. 만약 전압 강하된 출력 전압(V_{OUT})의 레벨이 원하는 레벨보다 높으면 입력 전압(V_{IN})이 인덕터(L)에 인가되는 제1 스위칭 신호(SW1)의 듀티 구간이 너무 긴 것이므로, 제1 스위칭 신호(SW1)의 듀티 구간은 좀더 짧아져야 하고 제2 스위칭 신호(SW2)의 듀티 구간은 좀더 길어져야 한다. 반대로, 전압 강하된 출력 전압(V_{OUT})의 레벨이 원하는 레벨보다 낮으면 제1 스위칭 신호(SW1)의 듀티 구간은 좀더 길어져야 하고 제2 스위칭 신호(SW2)의 듀티 구간은 좀더 짧아져야 한다. 출력 전압(V_{OUT})의 레벨에 따라, 구동 발진 신호 생성부(11)는 제1 스위칭 신호(SW1) 및 제2 스위칭 신호(SW 2)의 듀티 결정의 기준이 되는 구동 발진 신호(V_{OSC})를 생성한다. 이를 위해, 구동 발진 신호 생성부(11)는 전압 강하된 출력 전압(V_{OUT})을 연산 증폭기(111)에서 기준 전압 (V_{REF})에 비교하여 오차 전압(V_{ERR})을 출력하고, 제2 비교기(112)에서 제1 및 제2 스위칭 신호들(SW1, SW2)의 스위칭 주파수와 동일한 주파수를 가지고 톱니파 생성기(113)에서 생성되는 톱니파 파형(V_{SAW})에 오차 전압 (V_{ERR})을 비교하여, 펄스 폭 변조(PWM)된 구동 발진 신호(V_{OSC})를 생성한다. 구동 발진 신호(V_{OSC})는 그 듀티비가 오차 전압(V_{ERR})의 크기에 상응하여 결정되고, 그 주파수는 제1 및 제2 스위칭 신호들(SW1, SW2)의 주파수와 동일하다. 기준 전압(V_{REF})은 동작 전압, 온도 및 공정에 영향을 받지 않는 주지의 밴드갭 기준 전압(BGR, Bandgap Reference) 회로로부터 얻을 수 있다. 다만 밴드갭 기준 전압 회로에서 얻은 기준 전압(V_{REF})은 보통 1.25V 정도의 레벨이므로, 출력 전압(V_{OUT})을 이 기준 전압(V_{REF})의 레벨에 비교할 수 있도록 증폭비가 결정된 연산 증폭기(111)를 이용한다. 만약 출력 전압(V_{OUT})에서 얻은 피드백 전압(V_{FB})의 레벨이 소정의 기준 전압(V_{REF})보다 높으면, 오차 전압 (V_{ERR})은 높아질 것이고, 구동 발진 신호(V_{OSC})의 듀티비도 증가한다. 반대로 만약 출력 전압(V_{OUT})에서 얻은 피드백 전압(V_{FB})의 레벨이

소정의 기준 전압(V_{REF})보다 낮으면, 오차 전압(V_{ERR})은 낮아질 것이고, 구동 발진 신호(V_{OSC})의 듀티비는 감소한다. 종래의 동기식 DC-DC 벅 변환기는 구동 발진 신호(V_{OSC})를 곧바로 스위칭 신호 생성부(15)에 인가하여 제1 및 제2 스위칭 신호들($SW1$, $SW2$)을 생성한다. 앞서 설명하였듯이, 스위칭 주파수가 증가함에 따라 스위칭 주기가 짧아지며, 한 스위칭 주기 내에서 스위치 구동부(16) 및 스위치들($M0$, $M1$) 등이 일으키는 전파 지연이 점점 두드러지게 된다. 이에 비해, 본 발명의 동기식 DC-DC 벅 변환기(10)는 구동 발진 신호(V_{OSC})의 매 에지를 거의 한 주기 정도 지연시켜 다음 에지에서 스위칭 신호($SW1$, $SW2$)의 타이밍에 일치시킴으로써 전파 지연의 영향을 제거할 수 있다. 이러한 지연 동기화를 설명하기 위해 잠시 도 2를 참조하면, 도 2는 본 발명의 일 실시예에 따른 2단계 지연 고정 루프를 이용한 동기식 직류-직류 벅 변환기의 여러 신호들의 파형들을 예시한 타이밍도이다. 도 2에서, 좌측의 타이밍도는 종래의 동기식 DC-DC 벅 변환기에 관한 것으로, 스위칭 주파수가 증가함에 따라 한 스위칭 주기 내에서 구동 발진 신호(V_{OSC})와 인덕터 스위칭 노드의 전압(V_x) 파형 사이에, 스위치 구동부(16) 등이 일으키는 전파 지연 회색 구간(T_{don} , T_{doff})이 점점 두드러지는 것을 볼 수 있다. 반면에, 우측의 타이밍도는 본 발명의 동기식 DC-DC 벅 변환기(10)에 관한 것으로, 구동 발진 신호(V_{OSC})를 거의 한 주기에 가깝게 지연시키면서, 구동 발진 신호(V_{OSC})와 인덕터 스위칭 노드의 전압(V_x) 파형을 동기화시켰기 때문에, 스위치 구동부(16) 등이 일으키는 전파 지연 회색 구간이 완전히 제거된 것을 볼 수 있다. 이에 따라, 구동 발진 신호(V_{OSC})를 기준으로 데드 타임을 고려한 스위칭 신호들($SW1$, $SW2$)을 생성하면 회색 구간없이 원하는 대로 스위치들($M0$, $M1$)이 스위칭될 수 있다. 통상적으로, 디지털 지연 고정 루프는 지연의 해상도를 높이기 어렵지만, 지연 회로의 구조나 면적이 상대적으로 간단하고 지연 가능한 시간이 큰 장점이 있다. 반면에 아날로그 지연 고정 루프는 지연을 매우 정밀하게 제어할 수 있지만 지연 가능한 시간을 늘리려면 필요한 회로의 면적이 커지고 소비 전력도 커지는 문제가 있다. 따라서, 통상적인 동기식 DC-DC 벅 변환기가 아날로그 지연 고정 루프를 이용하여 거의 한 주기에 가까운 지연으로 전파 지연을 보상한다면, 전파 지연의 보상으로 높은 약간의 효율은 아날로그 지연 고정 루프가 소비하는 전력으로 모두 상쇄될 것이다. 또한, 통상적인 동기식 DC-DC 벅 변환기가 디지털 지연 고정 루프를 이용하여 거의 한 주기에 가까운 지연으로 전파 지연을 보상한다면, 지연의 해상도가 충분히 정밀하지 못하기 때문에 효과가 반감할 수밖에 없다. 나아가 해상도를 높인 정밀한 디지털 지연 고정 루프를 이용한다면 구조가 복잡해지기 때문에 디지털 지연 고정 루프의 장점이 희석된다. 이러한 종래의 문제점에 비해, 본 발명의 동기식 DC-DC 벅 변환기(10)는 구동 발진 신호(V_{OSC})를 먼저 디지털 지연 보상부(12)에 인가하여 대략 한 주기 정도 지연시켜 구동 제어 신호를 생성하는 대략적 지연을 수행하고, 대략적 지연이 완료되면, 구동 발진 신호(V_{OSC})를 아날로그 지연 보상부(13)에 인가하여 스위칭 신호에 동기화 하는 미세 지연을 수행하는 2 단계의 지연 고정 루프 동작을 통해 간단하고 긴 지연 시간을 얻을 수 있는 디지털 지연 고정 루프의 장점과 정밀한 지연을 할 수 있는 아날로그 지연 고정 루프의 장점을 모두 얻을 수 있다. 또한, 본 발명의 동기식 DC-DC 벅 변환기(10)는 단순히 디지털 지연 고정 후 아날로그 지연 고정을 수행하는 것이 아니라, 디지털 지연 고정 루프를 통해 구동 발진 신호를 대략적으로 1 주기를 지연한 후에, 구동 발진 신호를 실제 동기화가 필요한 스위칭 신호에 대해 정밀하게 아날로그 지연한다. 이를 위해, 먼저 디지털 지연 보상부(12)는 구동 발진 신호(V_{OSC})를, 이 구동 발진 신호(V_{OSC})가 복수의 직렬 연결된 지연 셀들을 통과하여 얻어지는 구동 제어 신호(V_{DELAY})와 대략적으로 동기화한다. 구체적으로, 디지털 지연 보상부(12)는 대략적 위상

검출부(121) 및 지연 조절 신호 생성부(122)를 포함한다. 대략적 위상 검출부(121)는 구동 발진 신호(V_OSC)의 위상과 지연된 구동 제어 신호(V_DELAY)의 위상을 비교하여 위상차를 검출하고 대략적 업/다운 신호(UP_C/DN_C)를 생성한다. 이어서, 지연 조절 신호 생성부(122)는 대략적 업/다운 신호(UP_C/DN_C)에 기초하여 증감하는 n 비트의 지연 조절 신호(DEL<n:0>)를 생성하여 출력한다. 이렇게 하여, 디지털 지연 보상부(12)는 구동 발진 신호(V_OSC)를 약 한 주기 정도 지연시키도록 n 비트의 지연 조절 신호(DEL<n:0>)로써 지연 라인(14)을 설정할 수 있다. 디지털 지연 보상부(12)는 구동 발진 신호(V_OSC)의 위상과 지연된 구동 제어 신호(V_DELAY)의 위상의 차이가 해상도보다 적게 검출되면, 구동 제어 신호(V_DELAY)의 위상이 구동 발진 신호(V_OSC)의 위상에 정착(settling)되었다고, 즉 대략적으로 동기화되었다고 판정하고, 대략적 지연 고정 신호(COARSE_LOCK)를 생성한다. 대략적 지연 고정 신호(COARSE_LOCK)가 생성되면, 아날로그 지연 보상부(13)가 동작을 시작한다. 아날로그 지연 보상부(13)는 제1 스위칭 신호(SW1) 또는 제2 스위칭 신호(SW2) 중 어느 하나와 구동 발진 신호(V_OSC) 사이에 검출된 위상 차이에 따라 지연 조절 전압(V_CTRL)을 출력한다. 구체적으로, 아날로그 지연 보상부(13)는 미세 위상 검출부(131), 전하 펌프(132) 및 루프 필터(133)를 포함할 수 있다. 미세 위상 검출부(131)는 제1 스위칭 신호(SW1) 또는 제2 스위칭 신호(SW2) 중 어느 하나의 위상과 구동 발진 신호(V_OSC)의 위상을 비교하여, 미세 업/다운 신호(UP_F/DN_F)를 생성한다. 전하 펌프(132)는 미세 업/다운 신호(UP_F/DN_F)에 따라 증감하는 전하 펌프 전류(I_CP)를 생성하여 출력한다. 루프 필터(133)는 전하 펌프 전류(I_CP)에 따라 내부의 커패시터를 충전시키고, 충전된 전압으로써 지연 조절 전압(V_CTRL)을 출력한다. 지연 라인(14)은 전압 조절 지연 라인(VCDL, Voltage Controlled Delay Line)이면서 동시에 디지털 제어 지연 라인(DCDL, Digitally Controlled Delay Line)이기도 하며, 이에 따라, 구동 발진 신호(V_OSC)를 입력받고, 디지털 지연 보상부(12)로부터 수신되는 n 비트의 지연 조절 신호(DEL<n:0>) 및 아날로그 지연 보상부(13)로부터 수신되는 지연 조절 전압(V_CTRL)에 따라, 각각의 지연 시간이 결정되는 복수의 직렬 연결된 지연 셀들에 구동 발진 신호(V_OSC)를 통과시켜 지연된 구동 제어 신호(V_DELAY)를 출력할 수 있다. 지연 라인(14)은 대략적 지연 고정 신호(COARSE_LOCK)이 발생하기 전까지는 디지털 지연 보상부(12)로부터 수신되는 n 비트의 지연 조절 신호(DEL<n:0>)만 가지고 각 지연 셀의 지연 시간을 대략적으로 조절하면서 지연된 구동 제어 신호(V_DELAY)를 출력할 수 있다. 지연 라인(14)은 대략적 지연 고정 신호(COARSE_LOCK)이 발생한 후부터는, 디지털 지연 보상부(12)로부터 고정된 n 비트의 지연 조절 신호(DEL<n:0>)와 아날로그 지연 보상부(13)로부터 수신되는 지연 조절 전압(V_CTRL)에 따라, 각 지연 셀의 지연 시간을 미세하게 조절하면서 지연된 구동 제어 신호(V_DELAY)를 출력할 수 있다. 이에 따라, 지연 라인(14)의 지연 셀(141)은 n 비트의 지연 조절 신호(DEL<n:0>)에 의해 발생하는 상대적으로 큰 지연 분을 이용하여 대략적 지연(coarse delay)에 관여하고, 지연 조절 전압(V_CTRL)에 의해 발생하는 상대적으로 작은 지연 분을 이용하여 미세 지연(fine delay)에 관여하도록 구성될 수 있다. 이를 위해, 구체적으로, 지연 라인(14)의 지연 셀(141)은 예를 들어, MOS 트랜지스터로 구현되는 인버터 회로 기반의 지연 셀로서, 지연 조절 신호(DEL<n:0>)와 같은 이진 코드에 의해 가변 커패시턴스를 결정할 수 있는 커패시터 뱅크(1411)와, 지연 조절 전압에 따라 인버터 회로에 흐르는 바이어스 전류가 가변하는 전류원(1412)을 포함할 수 있다. 이러한 구성에 기초하여, 지연 라인(14)의 지연 셀(141)은 n 비트의 지연 조절 신호에 따라 가변하는 커패시터 뱅크(1411)의 가변 커패시턴스에 의한 상대적으로 큰 지연 분을 이용하여 대략적 지연을 수행하고, 지연 조

절 전압(V_CTRL)에 따라 가변하는 인버터 회로의 바이어스 전류에 의한 상대적으로 작은 지연 분을 이용하여 미세 지연을 수행할 수 있다. 이렇듯, 지연 라인(14)은 디지털 지연 보상부(12)에서 고정된 n 비트의 지연 조절 신호(DEL<n:0>) 및 아날로그 지연 보상부(13)로부터 지속적으로 수신되는 지연 조절 전압(V_CTRL)에 따라, 제1 또는 제2 스위칭 신호(SW1, SW2)에 대해 정밀하게 위상이 추종되는 구동 제어 신호(V_DELAY)를 출력할 수 있다. 마지막으로, 스위칭 신호 생성부(15)는 구동 제어 신호(V_DELAY)에 따라 제1 및 제2 스위칭 신호들(SW1, SW2)을 생성할 수 있다. 도 3은 본 발명의 일 실시예에 따른 2단계 지연 고정 루프를 이용한 동기식 직류-직류 벡 변환기를 위한 전파 지연 시간 보상 방법을 예시한 순서도이다. 도 3을 참조하면, 입력 전압(V_IN)을 제1 스위칭 신호(SW1)의 듀티 구간 동안 인덕터(L)에 인가하는 제1 스위치 (M0)와, 제1 스위칭 신호(SW1)에 상보적인 제2 스위칭 신호(SW2)로 스위칭되는 제2 스위치(M1)를 이용하여 강압 된 출력 전압(V_OUT)을 생성하는 동기식 직류-직류 벡 변환기(10)의 전파 지연 시간 보상 방법은 단계(S31)에서 시작할 수 있다. 단계(S31)에서, 출력 전압(V_OUT)과 기준 전압(V_REF)의 오차 전압(V_ERR)의 크기에 상응한 듀티비를 가지는 구동 발진 신호(V_OSC)와 구동 제어 신호(V_DELAY) 사이에 검출된 위상 차이에 따라 n 비트의 지연 조절 신호 (DEL<n:0>)를 출력한다. 단계(S32)에서, 구동 발진 신호(V_OSC)를 n 비트의 지연 조절 신호(DEL<n:0>)에 따라 각각의 지연 시간이 결정 되는 복수의 직렬 연결된 지연 셀들(141)에 통과시켜 지연이 대략적으로 조절된 구동 제어 신호(V_DELAY)를 출력할 수 있다. 단계(S33)에서, 구동 발진 신호(V_OSC)에 대해 구동 제어 신호(V_DELAY)가 대략적으로 동기화되었다고 판정되면 대략적 지연 고정 신호(COARSE_LOCK)를 출력한다. 단계(S34)에서, 대략적 지연 고정 신호(COARSE_LOCK)가 발생한 후에, 제1 스위칭 신호(SW1) 또는 제2 스위칭 신호(SW2) 중 어느 하나와 구동 발진 신호(V_OSC) 사이에 검출된 위상 차이에 따라 가변하는 지연 조절 전압 (V_CTRL)을 출력한다. 단계(S35)에서, 구동 발진 신호(V_OSC)를 대략적 지연 고정 신호(COARSE_LOCK)가 출력된 시점에 고정된 n 비트의 지연 조절 신호(DEL<n:0>) 및 지연 조절 전압(V_CTRL)에 따라 각각의 지연 시간이 결정되는 지연 셀들(141)에 통과시켜 구동 제어 신호(V_DELAY)를 출력한다. 단계(S36)에서, 지연된 구동 제어 신호(V_DELAY)에 따라 제1 및 제2 스위칭 신호들(SW1, SW2)을 생성할 수 있다. 위 단계들(S31 ~ S36)은 무한히 반복될 수 있다. 실시예들에 따라, 지연 라인(14)의 지연 셀(141)은 n 비트의 지연 조절 신호(DEL<n:0>)에 의해 발생하는 상대적으로 큰 지연 분을 이용하여 대략적 지연에 관여하고, 지연 조절 전압(V_CTRL)에 의해 발생하는 상대적으로 지연 분을 이용하여 미세 지연에 관여하도록 구성될 수 있다. 이를 위해, 구체적으로, 지연 라인(14)의 지연 셀(141)은 예를 들어, MOS 트랜지스터로 구현되는 인버터 회로 기반의 지연 셀로서, 지연 조절 신호(DEL<n:0>)와 같은 이진 코드에 의해 가변 커패시턴스를 결정할 수 있는 커패시터 뱅크(1411)와, 지연 조절 전압에 따라 인버터 회로에 흐르는 바이어스 전류가 가변하는 전류원(1412)을 포함할 수 있다. 이러한 구성에 기초하여, 지연 라인(14)의 지연 셀(141)은 n 비트의 지연 조절 신호에 따라 가변하는 커패시터 뱅크(1411)의 가변 커패시턴스에 의한 상대적으로 큰 지연 분을 이용하여 대략적 지연을 수행하고, 지연 조절 전압(V_CTRL)에 따라 가변하는 인버터 회로의 바이어스 전류에 의한 상대적으로 작은 지연 분을 이용하여 미세 지연을 수행할 수 있다. 본 실시예 및 본 명세서에 첨부된 도면은 본 발명에 포함되는 기술적 사상의 일부를 명확하게 나타내고 있는 것에 불과하며, 본 발명의 명세서 및 도면에 포함된 기술적 사상의 범위 내에서 당업자가 용이하게 유추할 수 있는 변형예와 구체적인 실시예는 모두 본 발명의 권리범위에 포함되는 것이 자명하다

고 할 것이다.