

1 目的

ゲートレベルの IC を使って実際に基本デジタル回路を作成し、動作原理について学び、理解して応用できるようにする。また、ブレッドボードの使い方を習得し、コンデンサーを用いたノイズ除去方法を学ぶ。さらに、フリップフロップを用いたカウンタ回路や DRAM 回路の動作を確認し、デジタル回路の基本的な回路の動作原理を理解する。

2 原理

NOT,NAND,NOR,JK-FF,D-FF について回路図と真理値表を用いて、動作や閾値などを簡潔に説明する。NOT,NAND,NOR は CMOS トランジスタを用いて記載し、JK-FF に関しては NAND を用いて記載する。

2.1 NOT ゲート

NOT ゲートは、式 (2.1) のように、入力信号を反転させる基本的な論理ゲートである。入力が HIGH 閾値以上のとき出力は LOW に、入力が LOW 閾値未満のときは出力は HIGH になる。

$$Y = \bar{A} \quad (2.1)$$

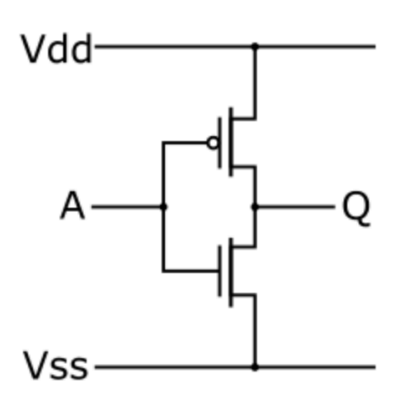


表 2.1: NOT ゲートの真理値表

入力 A	出力 Y
0	1
1	0

図 2.1: CMOS トランジスタを用いた NOT ゲートの回路図

2.2 NAND ゲート

NAND ゲートは、AND ゲートの出力を反転させたものである。両方の入力が高レベル以上のときのみ出力が低レベルとなる。

$$Y = \overline{A \cdot B} \quad (2.2)$$

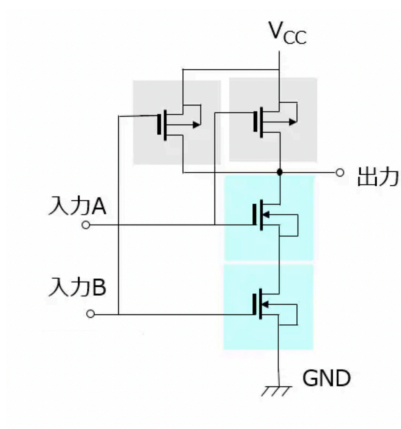


図 2.2: CMOS トランジスタを用いた NAND ゲートの回路図

表 2.2: NAND ゲートの真理値表

入力 A	入力 B	出力 Y
0	0	1
0	1	1
1	0	1
1	1	0

2.3 NOR ゲート

NOR ゲートは、OR ゲートの出力を反転させたものである。両方の入力が低レベル未満のときのみ出力が高レベルとなる。

$$Y = \overline{A + B} \quad (2.3)$$

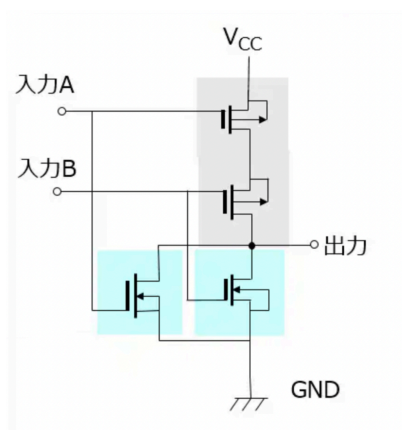


図 2.3: CMOS トランジスタを用いた NOR ゲートの回路図

表 2.3: NOR ゲートの真理値表

入力 A	入力 B	出力 Y
0	0	1
0	1	0
1	0	0
1	1	0

2.4 JK-FF

JK-FF は、2つの入力信号 J と K を持つフリップフロップである。クロック信号により状態が変化し、J と K の値に応じて出力 Q が変化する。

$$Q_{next} = J \cdot \overline{Q} + \overline{K} \cdot Q \quad (2.4)$$

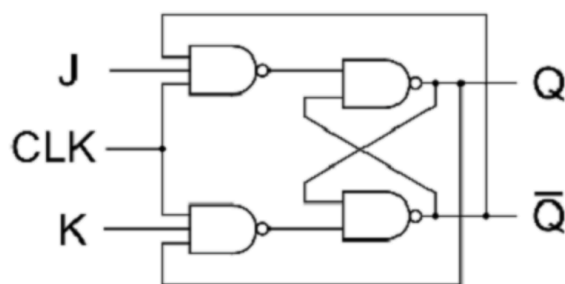


図 2.4: JK-FF (74HC107) の回路図

表 2.4: JK-FF の真理値表

初期状態 Q	J	K	次状態 Q(t+1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

クロックが立ち上がりエッジのときに、J と K の値に応じて出力 Q が変化する。J と K が両方とも HIGH の場合、出力は反転する。J が HIGH で K が LOW の場合、出力は HIGH になり、J が LOW で K が HIGH の場合、出力は LOW になる。

2.5 D-FF

D-FF は、1つのデータ入力 D を持つフリップフロップである。クロック信号により D の値が出力 Q に転送される。JK-FF を用いて D-FF を構成できる。

$$Q_{next} = D \quad (2.5)$$

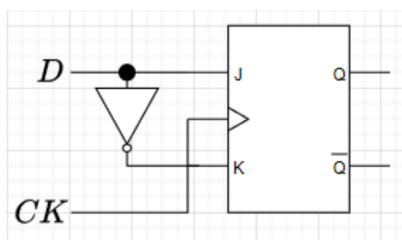


表 2.5: D-FF の真理値表

CK	D	Q	\overline{Q}
↑	0	0	1
↑	1	1	0

図 2.5: D-FF (JK-FF と NOT で) の回路

図

D-FF は、クロック信号の立ち上がりエッジで D の値を出力 Q に転送する。クロック信号が LOW のとき、出力は前回の状態を保持する。

2.6 シュミットトリガについて

シュミットトリガは、入力信号の変化に対して出力信号が遅延する特性を持つ。これにより、ノイズに強く、安定した動作が可能となる。また、入力信号の上昇エッジと下降エッジで異なる閾値を持つため、ヒステリシス効果を利用しスイッチングの安定性を高めている。

3 実験手順

3.1 ド・モルガンの法則の確認

1. ベン図での確認

2. 真理値表での確認
3. 論理回路での確認- NOT ゲートと NAND ゲートを使用した場合- NOT ゲートと NOR ゲートを使用した場合
4. 半加算器 (HA) - 図 3.1 の回路の真理値表を完成させる。 - 図 3.1 の回路を NAND ゲートと NOT ゲートのみを用いて設計し、設計した回路の真理値表が同様であることを確認する。

3.2 信号発声器の設計と製作

図 3.2 の回路の各部をオシロスコープで測定し、A 点, CLK, 1Q, $\overline{1Q}$, S, R のタイミングチャートを作成する。

3.3 同期式 SR-FF の動作と特性

図 3.3 の回路を制作し、CLK, S, R, a, b, Q, \overline{Q} のタイミングチャートを作成する。

3.4 JK-FF の動作と特性

図 3.4 の回路を制作し、CLK, S, 1Q のタイミングチャートを作成する。

3.5 D-FF の動作と特性

1. D-FF の真理値表を完成させる。
2. JK-FF と NOT ゲートを用いて D-FF を構成する。
3. 図 3.5 の回路を制作し、CLK, D, Q, \overline{Q} のタイミングチャートを作成する。

3.6 カウンタの設計

3.6.1 非同期式 1/3 カウンタ

図 3.6 の回路を制作し、CLK, 1J, Q_0 , Q_1 のタイミングチャートを作成する。

3.6.2 同期式 1/3 カウンタ

図 3.7 の回路を制作し、CLK, 1J, Q_0 , Q_1 のタイミングチャートを作成する。

3.7 メモリ機能

図 3.8 の回路を作成し、表 3.1 の操作をしたときの結果を測定する。なお、1 は 5V 電位、0 は GND 電位とする。

1. WRITE=0, CTRL=1, ワード線=1 にすることで 2SK679A はどのような状態になるか
2. WRITE=1, CTRL=1, ワード線=1 にすることで 2SK679A はどのような状態になるか
3. 呼び出し操作をした際の B 点の電圧はいくらになるか

4 実験結果

4.1 ド・モルガンの法則の確認

4.1.1 ベン図での確認

図 4.1 に斜線で示す。

4.1.2 真理値表での確認

4.1.1 で作成したベン図をもとに、ある要素 x が集合 A または B に属しているとき○、属していないとき×で表したものを、表 4.1 に示す。

4.1.3 論理回路での確認

1. NOT ゲートと NAND ゲートを使用した場合、図 4.2 のように変換でき、その回路を制作し測定した結果を表 4.2 に示す。
2. NOT ゲートと NOR ゲートを使用した場合、図 4.3 のように変換でき、その回路を制作し測定した結果を表 4.3 に示す。

4.1.4 半加算器 (HA) の設計

図 3.1 の回路の真理値表を表 4.4 に示す。

また、図 3.2 の回路を NAND ゲートと NOT ゲートのみを用いて設計すると、図 4.4 のようになる。

図 4.4 の回路の真理値表は表 4.5 のようになり、表 4.4 と同様であることが確認できた。

4.2 信号発生器の設計と製作

図 3.2 の回路の各部のオシロスコープで観測した波形を図 4.5 に示す。

図 4.5 より、A 点での正弦波が CLK 信号では矩形波として現れており、1Q ではその矩形波の周期の 2 倍の矩形波が、 $\overline{1Q}$ ではそれが反転したものが、S では 1Q の矩形波の周期がさらに 2 倍になった矩形波が、R ではそれが反転したものが現れていることが確認できた。

4.3 同期式 SR-FF の動作と特性

図 3.3 の回路を制作し、各測定点 (CLK, S, R, a, b, Q, \overline{Q}) のオシロスコープで観測した波形を図 4.6 に示す。

図 4.6 より、S では CLK の 4 倍の周期の矩形波が、R ではそれが反転したものが現れていることが確認できた。また、Q では位相がずれた CLK の 4 倍の周期の矩形波が現れ、 \overline{Q} ではそれが反転したものが現れていることが確認できた。さらに、a と b では S, R の 2 倍周期で大きなものと小さなものの 2 種類がある矩形波が現れていることが確認できた。

4.4 JK-FF の動作と特性

図 4.7 に JK-FF の回路を、表 4.5 に真理値表を示す。図 3.4 の回路を制作し、各測定点 (CLK, S, 1Q) のオシロスコープで観測した波形を図 4.7 に示す。

図 4.7 より、S では CLK の 4 倍の周期の矩形波が、1Q では S が HIGH になった次の CLK の周期で HIGH になっていることが確認できた。

4.5 D-FF の動作と特性

1. D-FF の真理値表を図 4.8 に示す。
2. JK-FF と NOT ゲートを用いて D-FF を構成したものを図 4.9 に示す。

3. 図 3.5 の回路を制作し、各測定点 (CLK, D, Q, \overline{Q}) のオスロスコープで観測した波形を図 4.10 に示す。図 4.10 より、D では CLK の 4 倍の周期の矩形波が現れ、Q では位相が D と半周期遅れた矩形波が現れ、 \overline{Q} ではそれが反転したものが現れていることが確認できた。

4.6 カウンタの設計

4.6.1 非同期式 1/3 カウンタ

図 3.6 の回路の各測定点 (CLK, 1J, Q_0 , Q_1) のオスロスコープで観測した波形を図 4.11 に示す。図 4.11 より、 Q_0 がクロックの立ち上がりで反転し、 Q_1 は Q_0 の立ち上がりに応じて反転することで 3 通りの状態 ($00 \rightarrow 01 \rightarrow 11$) を順に繰り返していることが確認できる。また、CLR 信号が LOW になると、即座に Q_0 と Q_1 の出力が 00 にリセットされる動作が確認できる。

4.6.2 同期式 1/3 カウンタ

図 3.7 の回路を制作し、各測定点 (CLK, 1J, Q_0 , Q_1) のオスロスコープで観測した波形を図 4.12 に示す。図 4.12 より、1J, Q_0 , Q_1 はそれぞれ CLK の 3 倍周期で規則的に変化していることが確認できる。

4.7 メモリ機能

表 4.6 に TC74HC126 の真理値表を示す。図 3.8 の回路を作成し、表 3.1 の操作を実施した結果を以下に示す。

1. WRITE=0, CTRL=1, ワード線=1 の場合
 - 2SK679A のドレインにかかる電圧：0.00V
 - ゲートにかかる電圧：5.03V
 - 状態：オフ状態
2. WRITE=1, CTRL=1, ワード線=1 の場合
 - 2SK679A のドレインにかかる電圧：5.03V
 - ゲートにかかる電圧：5.03V

- A 点の電圧：3.92V
- 理由：ドレインにかかる電圧が 5.03V であるため、2SK679A はオン状態となり、他の素子に分圧され、A 点の電圧は下がる。
- 読み出し操作をしたときの B 点の電圧：5.03V

5 考察

5.1 半加算器 (HA)

5.1.1 ド・モルガンの法則についての説明

ド・モルガンの法則は、以下の 2 式で表される。

$$\overline{A \cdot B} = \overline{A} + \overline{B} \quad (5.1)$$

$$\overline{A + B} = \overline{A} \cdot \overline{B} \quad (5.2)$$

今回の実験では、ド・モルガンの法則を用いて、NOT ゲートと NAND ゲートを使用した OR ゲートの構成と、NOT ゲートと NOR ゲートを使用した AND ゲートの構成を確認した。これにより、ド・モルガンの法則が成り立つことが実験的に確認できた。

5.1.2 ド・モルガンの法則が成り立つメリット

ド・モルガンの法則が成り立つことで、論理式の簡略化や、論理回路の設計が容易になる。特に、ディジタル回路の設計においては、NAND ゲートや NOR ゲートを用いて他のゲートを構成することで、部品数を節約し、回路の集積度を高めることができる。これにより、回路のコスト削減や、動作速度の向上が期待できる。

5.1.3 全加算機 (FA) と半加算器 (HA) の動作・真理値表の記載

半加算器は、2つの入力信号 A と B を持ち、出力は和 S とキャリー C である。半加算器の動作は以下の論理式で表される：

$$S = A \oplus B \quad (5.3)$$

$$C = A \cdot B \quad (5.4)$$

ここで、 \oplus は XOR (排他的論理和)、 \cdot は AND (論理積) を表す。

半加算器の真理値表は以下の表 5.1 のようになる。

表 5.1: 半加算器の真理値表

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

全加算器は、2つの入力信号 A と B に加えて、前回の計算結果を表すキャリー入力 C を持つ。全加算器の出力は、和 S とキャリー出力 Cout である。全加算器の真理値表は以下の表 5.2 ようになる。

表 5.2: 全加算器の真理値表

A	B	C	S	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

全加算器は、2つの半加算器と1つのORゲートを組み合わせて構成される。最初の半加算器は入力AとBを受け取り、和S1とキャリー出力C1を生成する。次に、S1とキャリー入力Cを2つ目の半加算器に入力し、最終的な和Sとキャリー出力C2を生成する。最後に、C1とC2をORゲートに入力して最終的なキャリー出力Coutを得る。

全加算器の動作を数式で表すと以下のようになる。

$$S1 = A \oplus B \quad (5.5)$$

$$C1 = A \cdot B \quad (5.6)$$

$$S = S1 \oplus C \quad (5.7)$$

$$C2 = S1 \cdot C \quad (5.8)$$

$$Cout = C1 + C2 \quad (5.9)$$

全加算器の真理値表は以下のようになる：

表 5.3: 全加算器の真理値表

A	B	C	S	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

このように、全加算器は2つの半加算器と1つのORゲートを用いることで、3つの入力信号（A, B, C）に対して和Sとキャリー出力Coutを計算することができる。

5.1.4 キャリールックアヘッドに関して

5.2 信号発生器の設計と作成

5.2.1 信号発生器 (SG) からデジタル波形が生じる流れについて

信号発生器は、アナログ信号を 0 と 1 のデジタル信号に変換するための装置である。図 4.5 のタイミングチャートより、A 点の正弦波が 0V を閾値として、NOT ゲートが HIGH と LOW を判定し、出力信号を反転させアナログ信号をデジタル信号に変換して出力していることがわかる。また NOT ゲートを直列に繋ぐことで、もとの正弦波と位相を合わせている。図 4.5 より、タイミングチャートを図 5.1 に示す。1 つ目の JK-FF によって CLK 信号を Q_1 と $\overline{Q_1}$ に分け、周期を 2 倍にしており、2 つ目の JK-FF によって Q_1 信号を S と R に分け、周期をさらに 2 倍にしている。これにより、最終的に S と R の信号は CLK 信号の 4 倍の周期となる。

5.2.2 部品 (50 Ω 、0.1 μ F、470 μ F) の名称と役割についての説明

50 Ω 抵抗は信号発生回路のインピーダンス整合に用いられている。0.1 μ F コンデンサは高周波信号に対するバイパスコンデンサとして機能している。470 μ F コンデンサは、電源からの信号をフィルタリングし、安定した出力信号を得るために使用されている。さらに低周波信号に対するバイパスコンデンサとしても機能している。

5.3 同期式 SR-FF の動作と特性

5.3.1 同期式 SR-FF の動作についての説明

同期式 SR-FF (Set-Reset フリップフロップ) は、2 つの入力 (S: Set, R: Reset) によって出力 Q とその反転 \overline{Q} を制御する記憶素子である。今回は NAND ゲートを用いて構成した。真理値表を表 5.4 に示す。

表 5.4: 同期式 SR-FF の真理値表

S	R	Q(next)	備考
1	0	1	セット状態
0	1	0	リセット状態
1	1	Q	無変化（保持）
0	0	不定	禁止状態

このように、同期式 SR-FF は入力 S と R の組み合わせによって出力状態を制御し、記憶素子として機能する。ただし、S と R が同時に 0 になる禁止状態は避ける必要があるため、実際の回路設計ではこの状態が発生しないように工夫される。

5.3.2 エッジトリガについて

図 4.6 のタイミングチャートより、表 5.4 の真理値表のとおり、CLK の立ち上がりエッジで S と R の状態に応じて出力 Q と \bar{Q} が変化することが確認できた。

5.4 JK-FF の動作と特性

5.5 D-FF の動作と特性

5.6 1/3 カウンタ

5.7 メモリ機能

5.8 使用機材

表 5.5: 使用機材一覧

名称	型式	製造元	管理番号
直流電流源	PMC35-1.2DU	KIKUSUI	UK002986
ファンクションジェネレータ	FG-274	TEXIO	17073061
オシロスコープ	TDS 2004B	Tektronix	C100578
デジタルマルチメータ	CD731	Sanwa	0152985

6 参考文献

<https://ushitora.net/archives/546>
<https://toshiba.semicon-storage.com/jp/semiconductor/knowledge/e-learning/cmos-logic-basics/chap2/chap2-2.html>
<https://www.marutsu.co.jp/contents/shop/marutsu/datasheet/74HC107.pdf>
<http://www.ctleec.sakura.ne.jp/2024/01/31/15-フリップフロップ/>
<https://ushitora.net/archives/570>
<https://ushitora.net/archives/588>
https://tonarism.co.jp/media/media_detail.php?b_id=72

<https://www.ques10.com/p/14914/draw-the-circuit-of-jk-ff-using-nand-gates-and-wri/>