



Technische
Universität
Braunschweig



Informatik für Ingenieure – VL 10

Letztes Mal:

Addierer und Multiplizierer

ALU

Speicher

Heute:

Speicher

Mikrorechner

Teile des heutigen Vortrags basiert auf der Vorlesungen von
Prof. H Michalik (TU Braunschweig)
Prof. M. Luisier (ETH Zurich)

Flüchtige Speicher



Was gibt es für Speichermedien?

10.4

Einteilung nach der Bauart des Speichermediums:

Magnetbänder (Speicherkapazität: >100 TBytes pro Band, Zugriffszeit: bis 3 Minuten): wichtig für die Speicherung von ‚Cloud-Daten‘ oder als Backup Speicher

Plattenlaufwerke (magnetisch oder optisch, Speicherkapazität im TByte Bereich, Zugriffszeit von einigen ms): Daten werden auf die Oberfläche von Scheiben geschrieben

Halbleiter (Silizium integrierte Schaltung, **DRAM**, Kapazität im GBytes Bereich, Zugriff innerhalb 50 ns): flüchtiger elektronischer Speicherbaustein mit wahlfreiem Zugriff

Halbleiter (Silizium integrierte Schaltung, **Flash**, Speicherkapazität von >2 TBytes, Zugriff in dem μs Bereich): nichtflüchtige Speicherung mit niedrigem Energieverbrauch

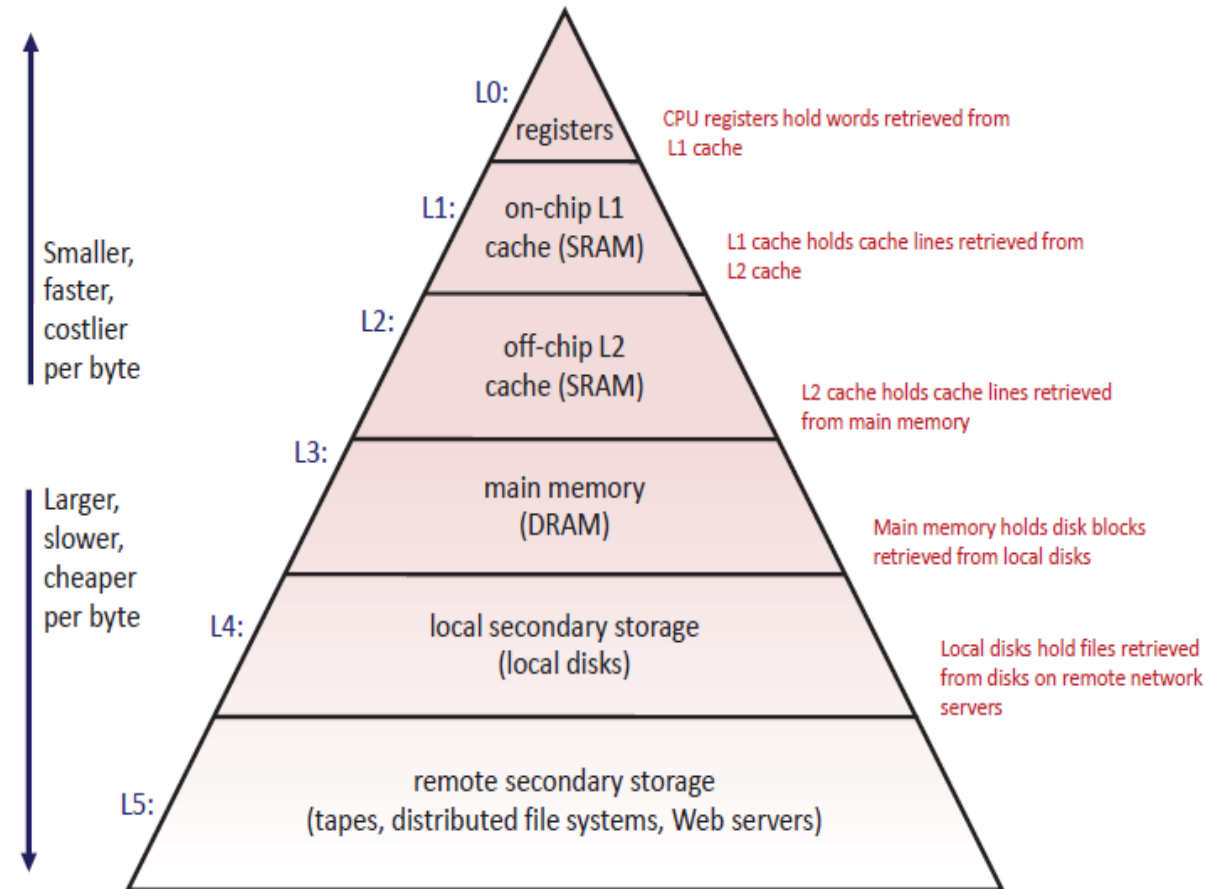
Speicher Hierarchie

10.5

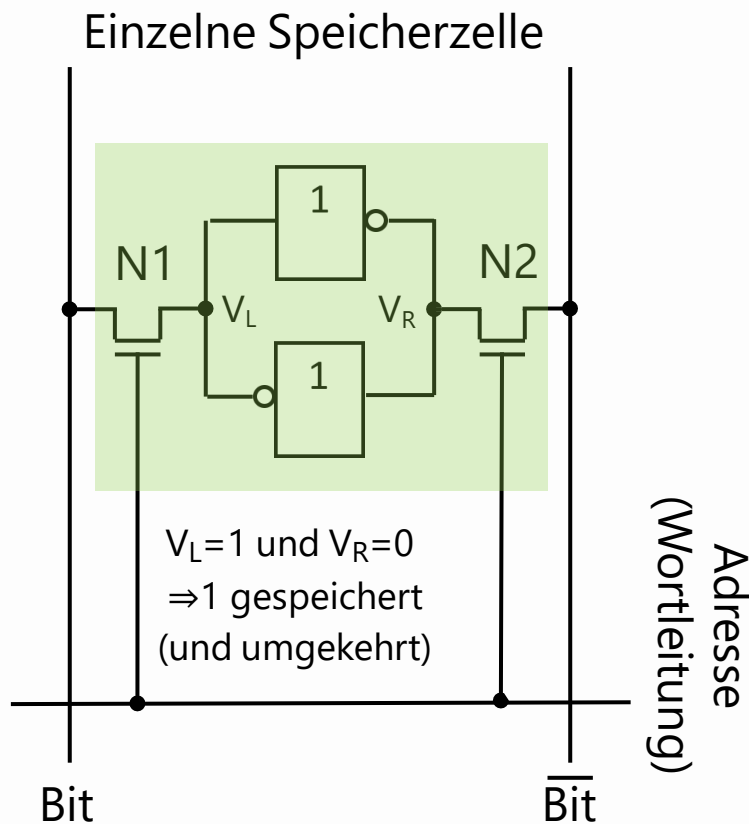
Beständige Eigenschaften von Hardware- und Softwaresystemen:

Schnellere Speichertechnologien sind in der Regel teurer und haben eine geringere Kapazität

Die Geschwindigkeitsunterschiede werden größer (Register vs. DRAM, DRAM vs. Festplatte)



Es gibt zwei Gruppen von flüchtigen Speichern: SRAM und DRAM. Statische 'random access memories' (**SRAMs**) können Information speichern, solange die Versorgungsspannung angelegt ist. SRAMs finden überall Anwendung, wo Daten **schnell** im Zugriff sein müssen, wie in Prozessoren als Cache



SRAM Eigenschaften:

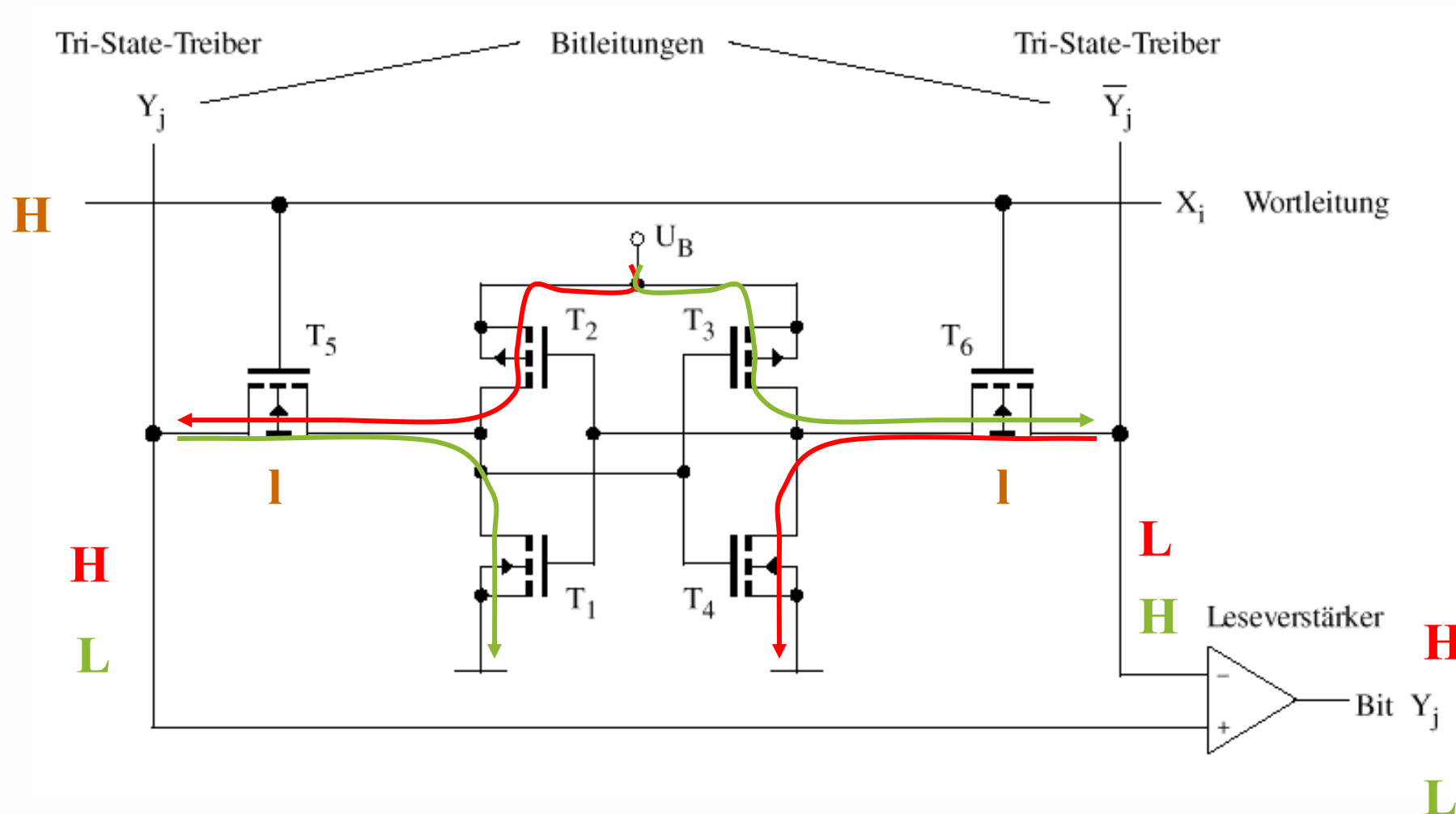
Eine Zelle besteht aus 6 Transistoren (2 pro Inverter, 2 Schalttransistoren N1 und N2)

Mit der **Wortleitung** kann eine Speicherzelle ausgewählt werden

Über die **Bitleitungen** kann der Speicherinhalt gelesen oder gesetzt werden

Statischer Schreib-/Lesespeicher (SRAM)

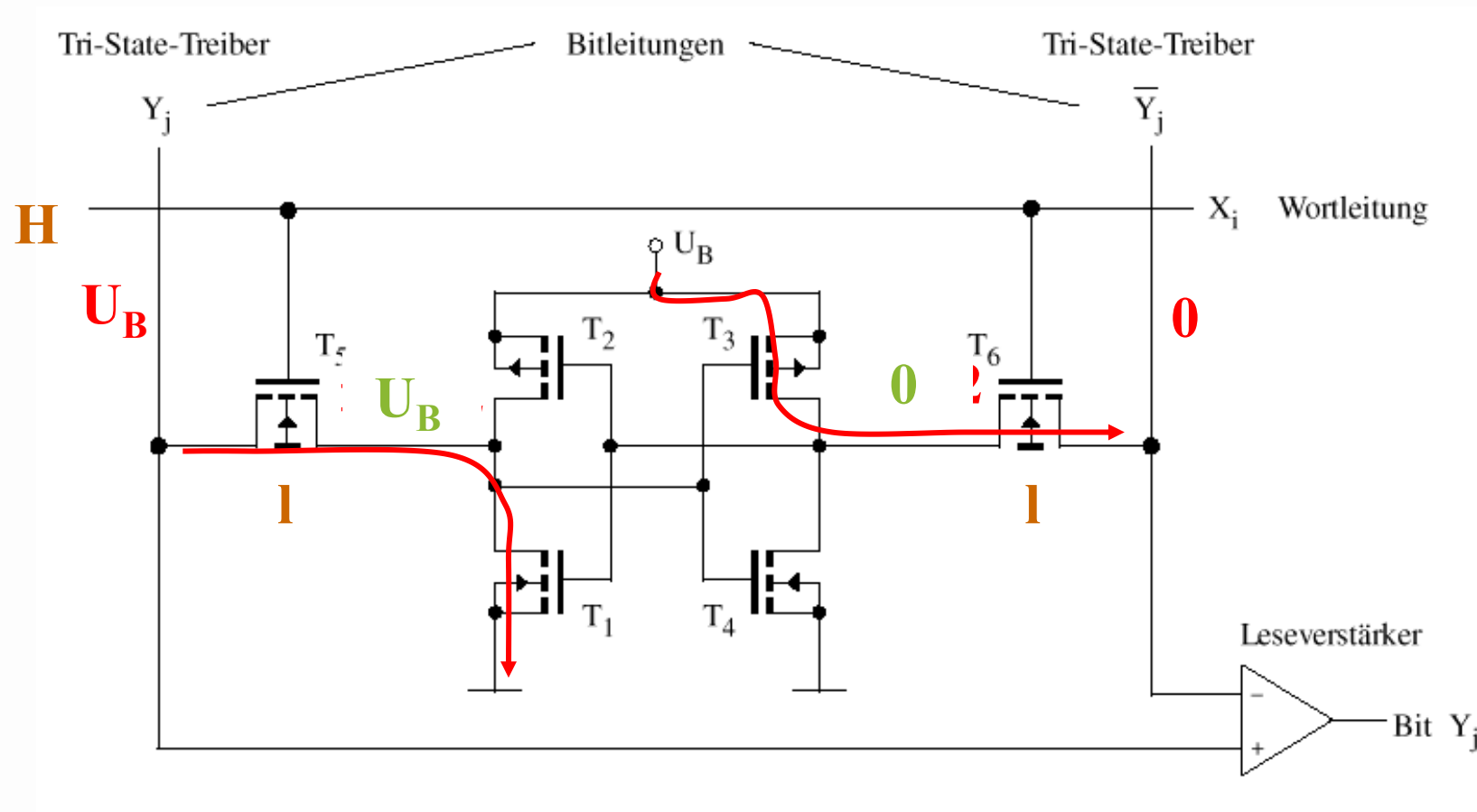
SRAM-Speicherzelle in statischer CMOS-Technik



SRAM - Speicherzelle: Schreiben

10.8

⇒ die Spannungen in der Speicherzelle werden von aussen eingeprägt

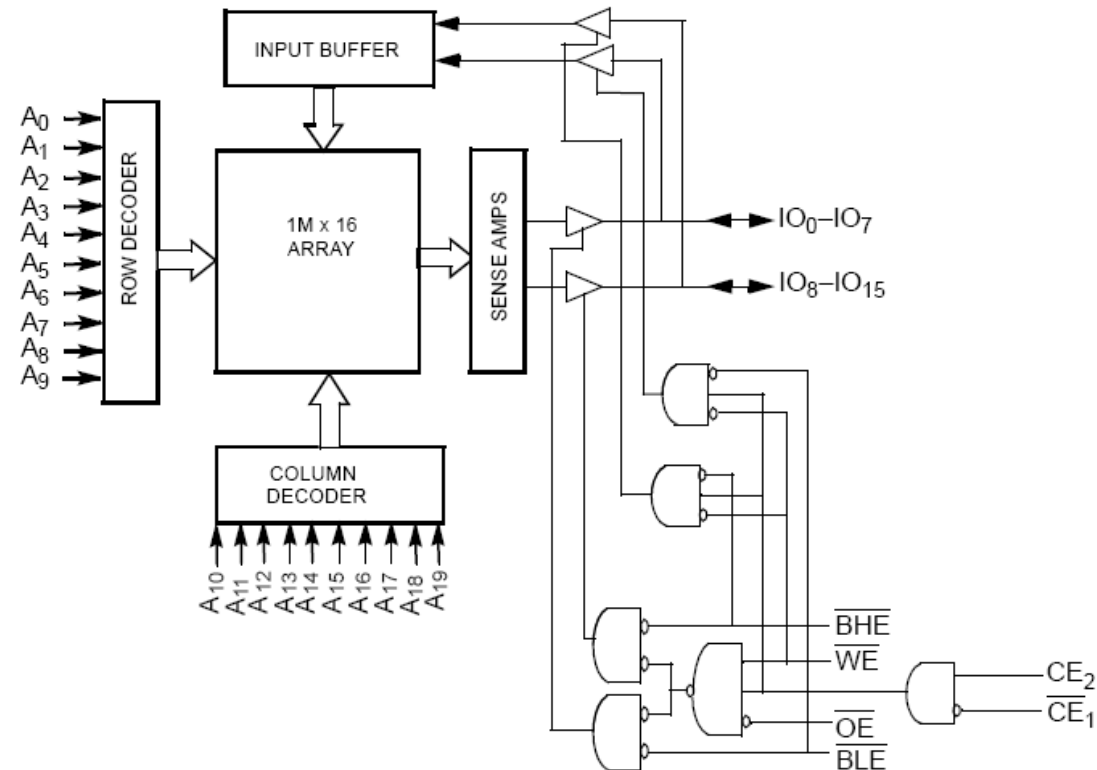


Beispiel SRAM

10.9

Features

- High speed
 - $t_{AA} = 10 \text{ ns}$
- Low active power
 - 990 mW (max)
- Operating voltages of $3.3 \pm 0.3\text{V}$
- 2.0V data retention
- Automatic power down when deselected
- TTL compatible inputs and outputs
- Easy memory expansion with \overline{CE}_1 and CE_2 features
- Available in Pb-free and non Pb-free 54-pin TSOP II package and non Pb-free 60-ball fine pitch ball grid array (FBGA) package



Sonderformen von SRAMs

10.10

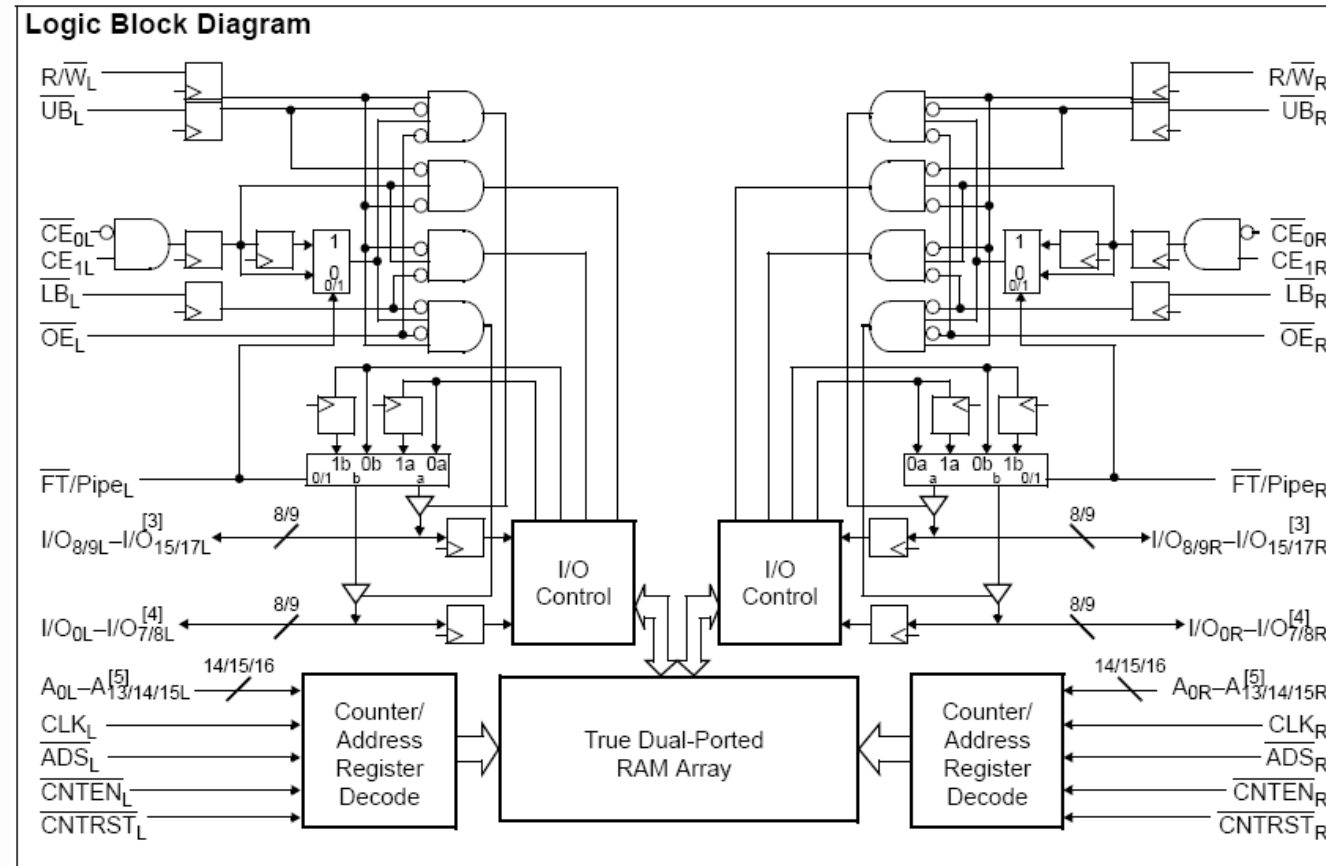
Synchrone SRAMs: Speicherung geschieht synchron zu einem externen Takt

Dual Port RAMs: Speichermatrix mit zwei unabhängigen Schreib/Lese adressierungen und I/O Datenports. Interne Arbitrierung zur Zugriffssteuerung

FIFO-Speicher (First In First Out), meist intern basierend auf Dual Port RAM aber ohne externe Adressleitungen

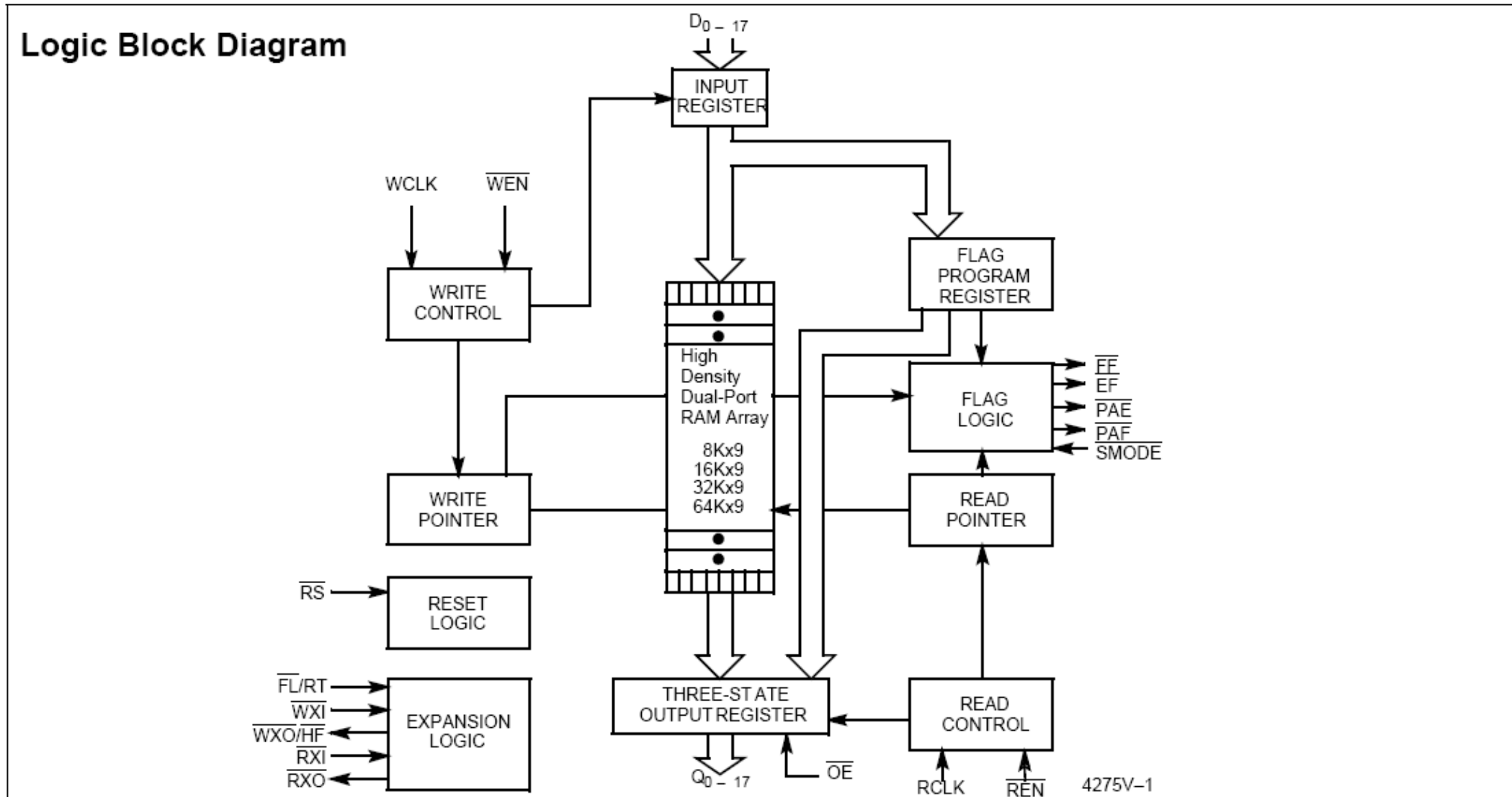
Beispiel DPRAM (Cypress)

10.11

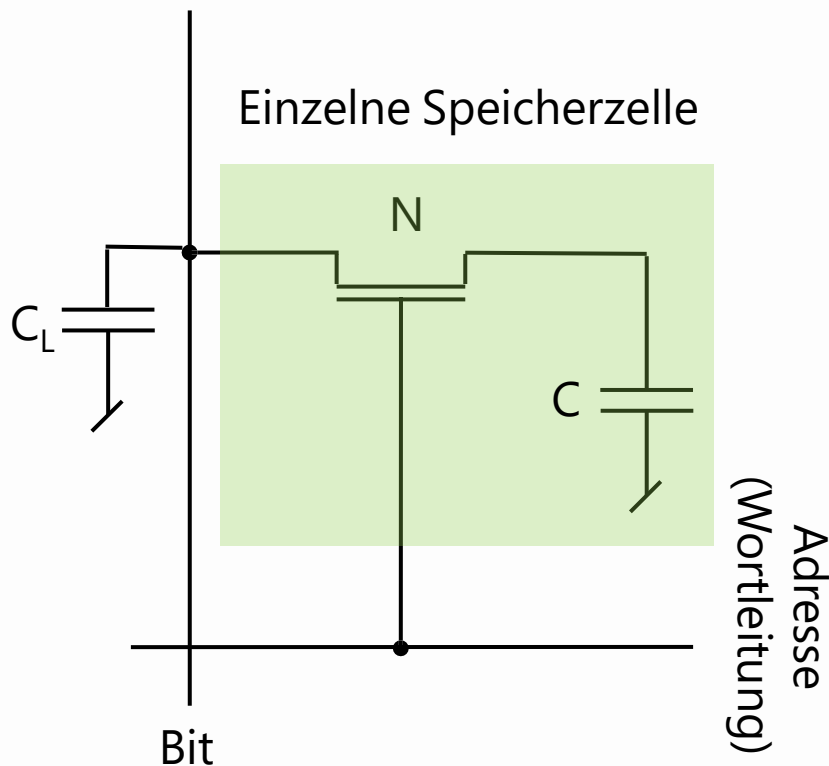


Beispiel FIFO (Cypress)

10.12



Dynamische 'random access memories' (**DRAMs**) können Daten speichern, die während des Betriebs periodisch (20 ms) wieder aufgefrischt werden müssen. DRAMs werden oft als Arbeitsspeicher in Prozessoren eingesetzt. Eine DRAM Zelle besetzt 4 Mal weniger Platz als eine SRAM Zelle (mehr Dichte) aber die Zugriffszeiten sind länger (langsamer)



DRAM Eigenschaften:

Eine Zelle besteht aus einem Schalttransistor (N) und einem Kondensator (C). Wenn C geladen (leer) ist, ist eine 1 (0) gespeichert

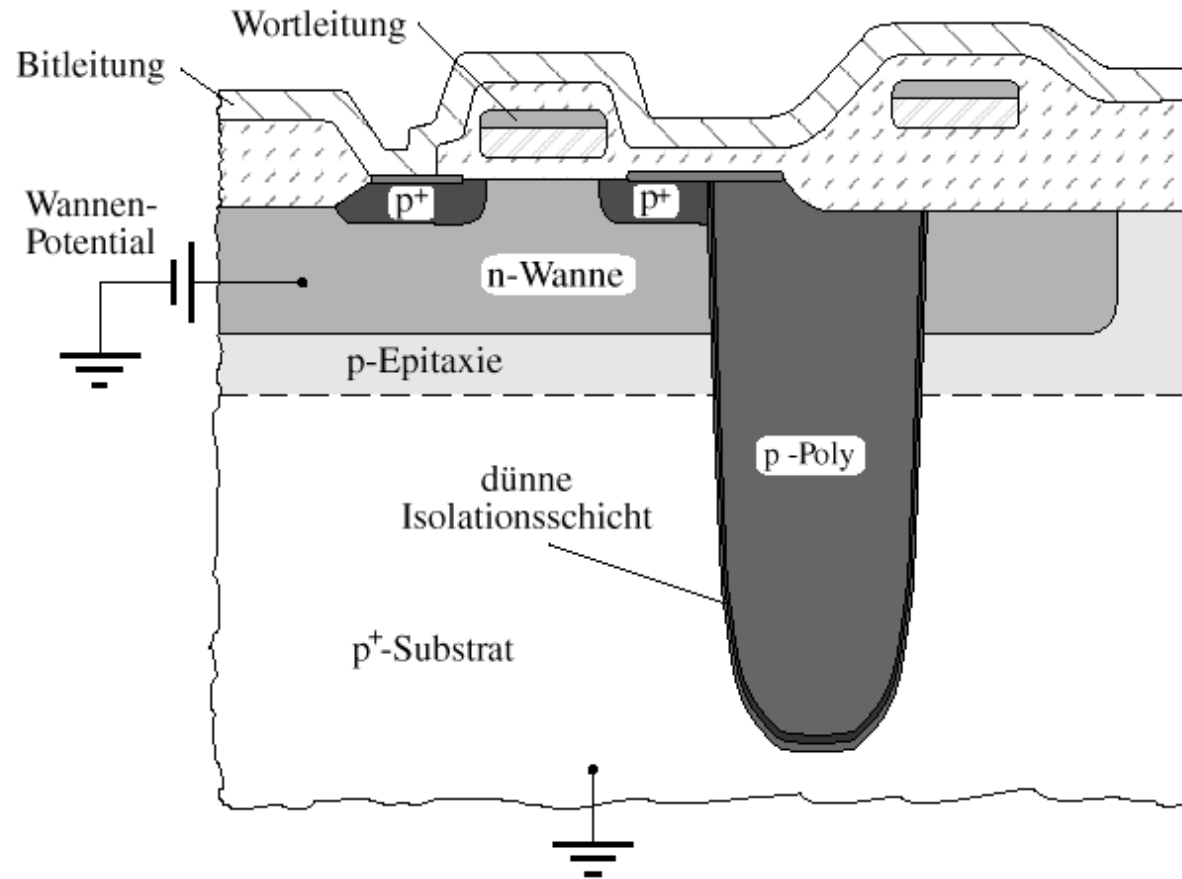
Über die Bitleitungen kann der Speicherinhalt gelesen oder gesetzt werden, über die Wortleitung wird eine Zelle selektiert

Zerstörendes Lesen durch Ladungsumverteilung von C auf C_L ($C \ll C_L$)

Aufbau einer Ein-Transistor-Zelle

10.14

Trenchzelle



Ansteuerung des DRAM

10.15

Rückschreiben nach jedem Lesevorgang

$$\Rightarrow t_{\text{CYC}} > t_{\text{AC}}$$

Beispiel: $t_{\text{AC}} = 20\text{ns}$, $t_{\text{CYC}} = 70\text{ns}$
(Samsung KM416S4030C)

Auffrischen der Speicherzellen (Refresh) durch
rechtzeitiges Lesen jeder Speicherzeile

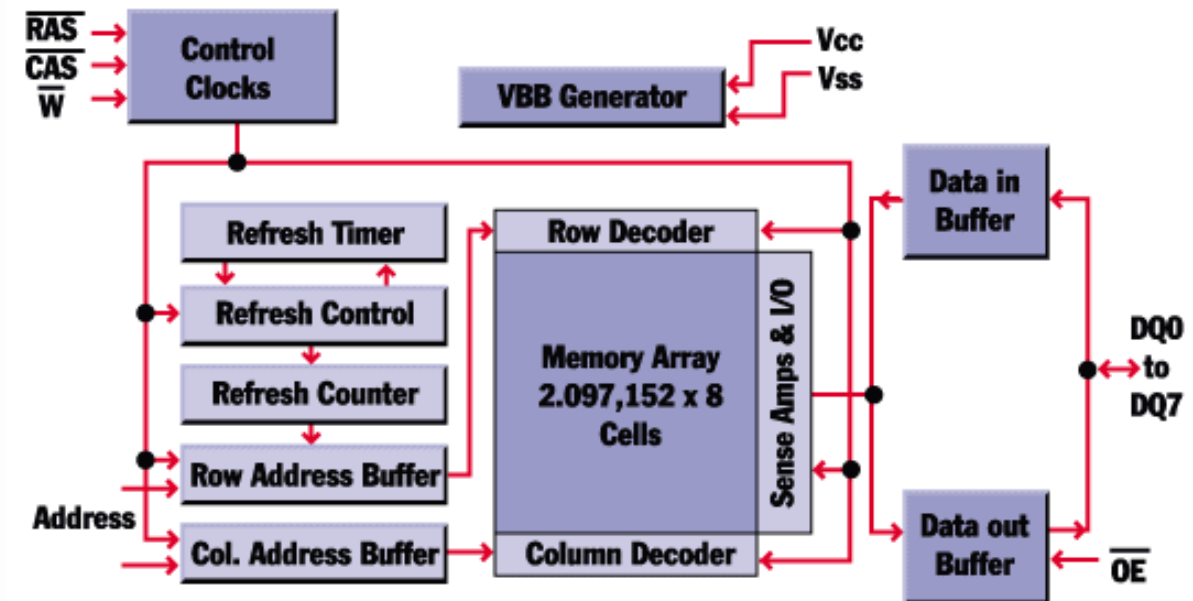
Beispiel:

1024 Zeilen, Refresh alle 16ms @ 1

Refreshvorgang/16ms

d.h. bei $t_{\text{CYC}} = 70\text{ ns}$ tritt in weniger als 1%
der Fälle ein Zugriffskonflikt auf \Rightarrow meist
vernachlässigbar

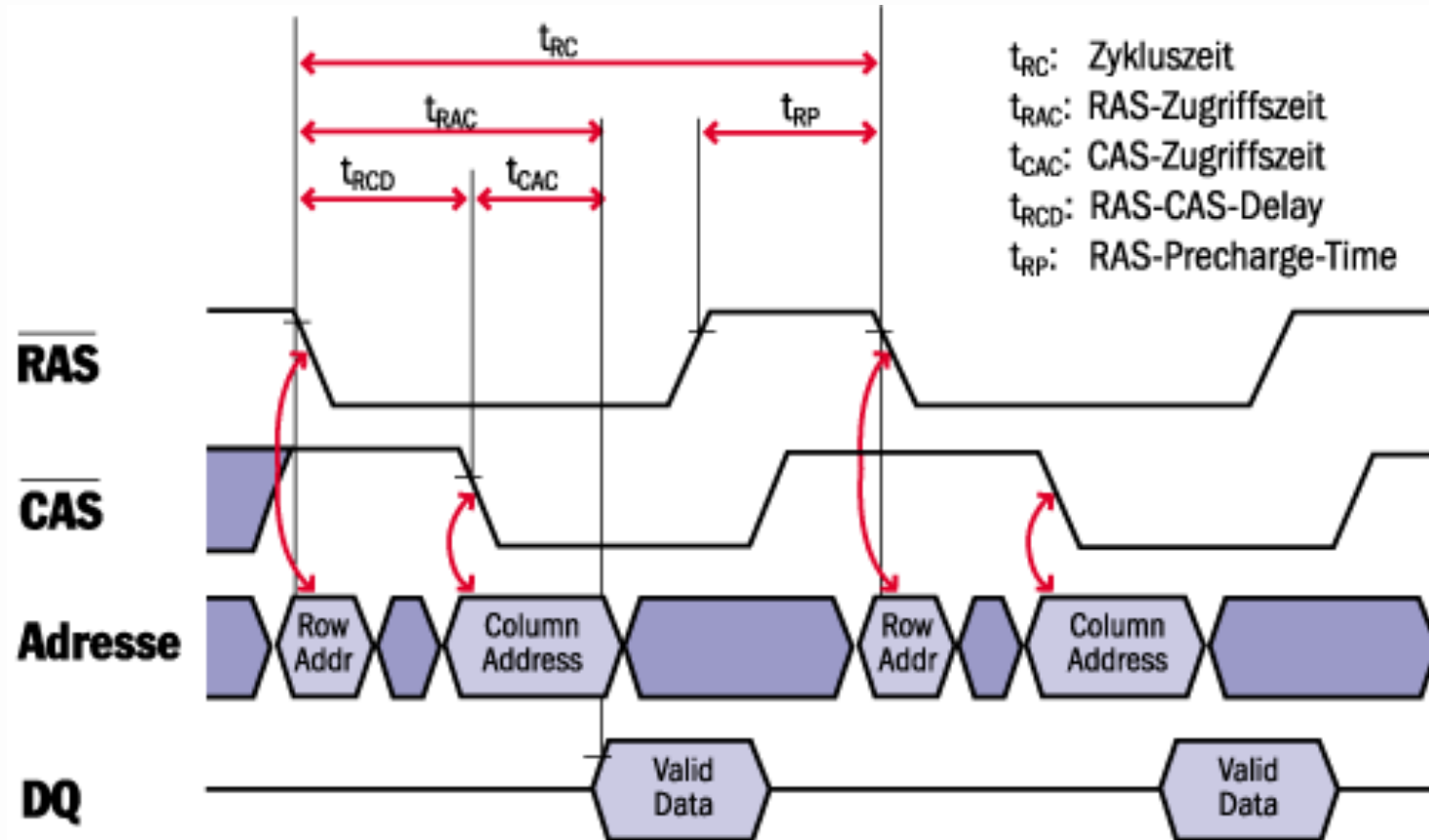
Insgesamt komplexe Steuerung



© tecChannel

Typisches Timing DRAM

10.16



Synchrone DRAMs (SDRAMs)

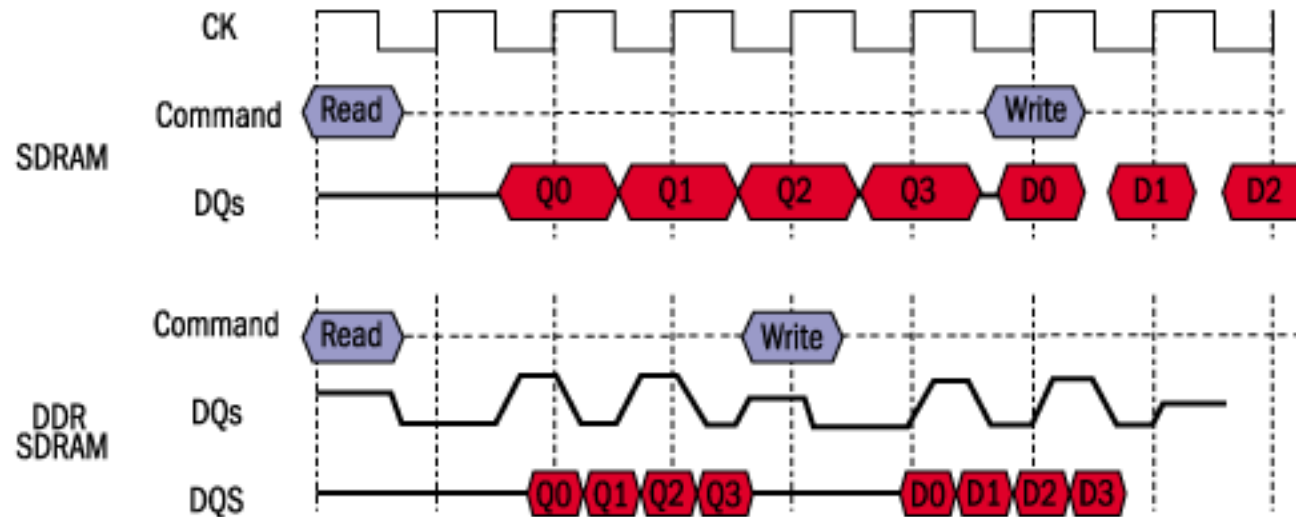
10.17

Speichersystem mit interner Ablaufsteuerung

Benötigt externen Takt

Interner blockweiser Zugriff, z.B. auf 512 Bytes oder 2kbytes (neue Typen)

Zugriff wird per Kommando gesteuert (Lesen, Schreiben, Precharge, Refresh etc.)



Nicht-Flüchtige Speicher



Es gibt folgende Typen:

ROM (Read Only Memory):

Der Speicherinhalt wird bereits bei der Fertigung festgelegt und ist daher nicht änderbar.

PROM (Programmable ROM):

Der Speicherinhalt kann einmalig vom Anwender einprogrammiert werden, ist jedoch danach nicht mehr änderbar.

EPROM (Erasable PROM):

Der Speicherinhalt wird vom Anwender einprogrammiert und kann durch UV-Strahlung wieder gelöscht werden.

EEPROM (Electrically Erasable PROM)

Der Speicherinhalt ist wie beim EPROM löscherbar, allerdings elektrisch.

Flash EPROM:

Der Löschvorgang wird wie beim EEPROM elektrisch aktiviert. Die Löschung erfolgt jedoch sektorenweise.

ROM (Read Only Memory)

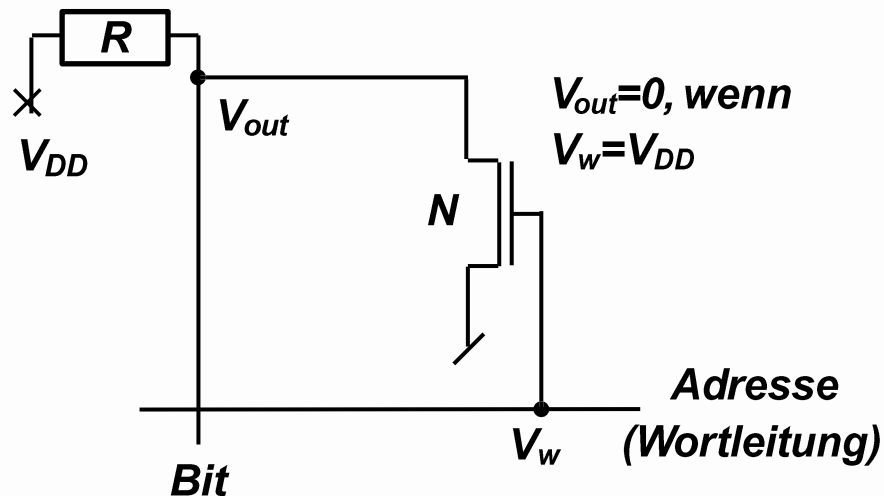
10.20

Nichtflüchtige Speicher werden überall dort benötigt, wo ein System mit unveränderlichen Daten- bzw. Programmstrukturen verwendet werden sollte, z.B. bei Zustandsautomaten.

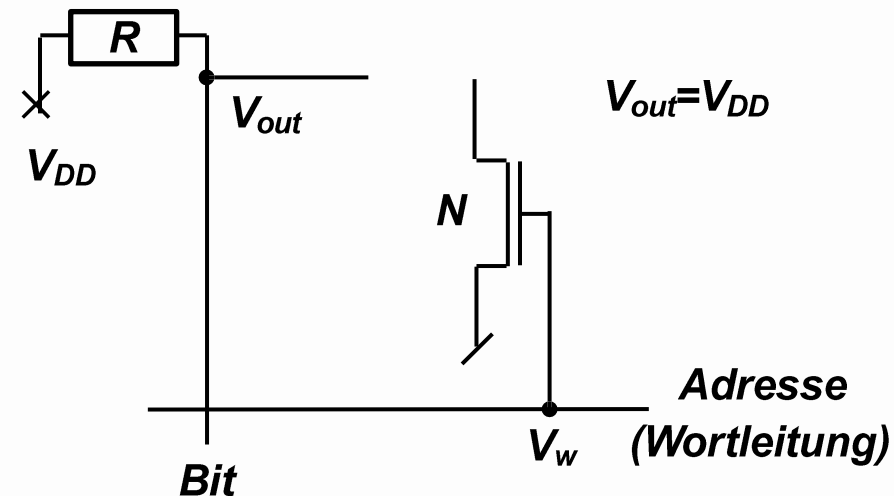
Maskenprogrammierbares ROMs werden zur Herstellungszeit programmiert

Solche Zellen bestehen aus einem einzigen Transistor, der eine 0 speichert, wenn er mit der Bitleitung gekoppelt ist, sonst eine 1

Speicherzelle für eine 0



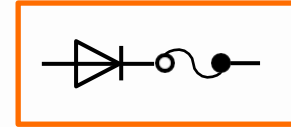
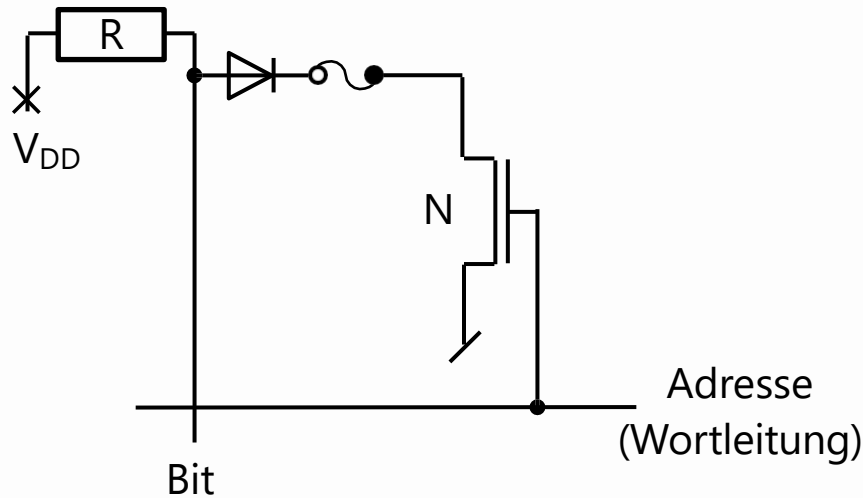
Speicherzelle für eine 1



PROM (Programmable Read Only Memory)

10.21

Noch nicht programmierte Speicherzelle



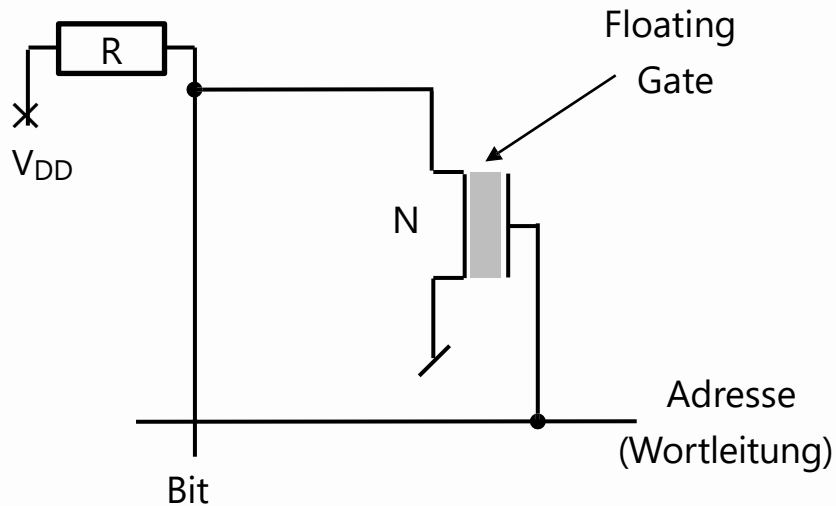
Schmelzsicherung
(Fusible Link)

Die Drain Seite des NMOS ist über eine Schmelzsicherung mit der Bitleitung verbunden. Mit einer hohen programmierenden Spannung kann dieser Link unterbrochen werden

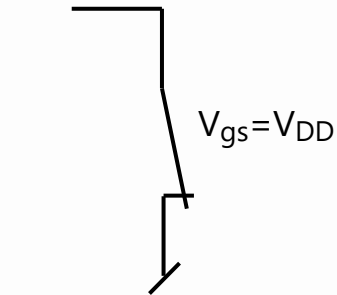
Ohne Fusible Link, wird eine 1 gespeichert, sonst eine 0

EPROM (Erasable PROM)

10.22

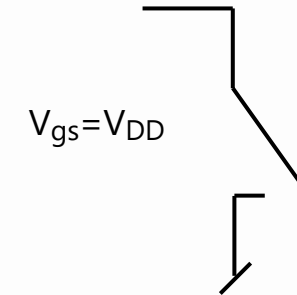


Normaler Betrieb



Transistor leitend
Schalter zu
,0' gespeichert

Betrieb mit geladenem Gate



Transistor gesperrt
Schalter auf
,1' gespeichert

Unterschied zu ROM: Speicherzelle

durch Anlegen einer hohen Spannung U_{DS} (z.B. $U_{DS} = 17V$) entsteht bei $U_{SB} = 0$ eine hohe Feldstärke nahe dem Drain-Bereich, die zur Generierung „heißer“ Elektronen führt

durch Anlegen einer hohen Spannung U_{GS} (z.B. $U_{GS} = 24V$) werden diese Elektronen teilweise durch das Gateoxid auf das isolierte Floating Gate gezogen \Rightarrow Schwellspannung steigt

Entfernen der Elektronen durch UV-Strahlung

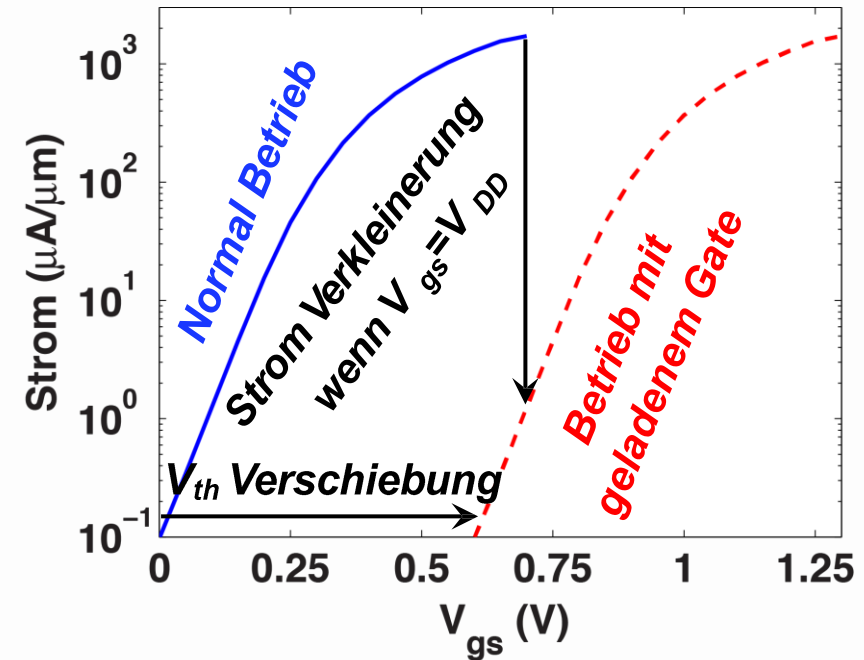
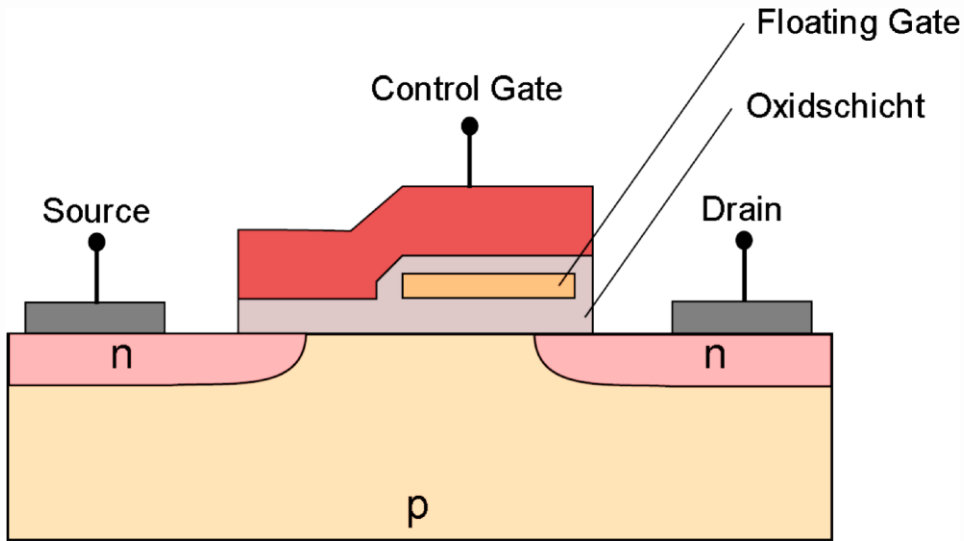
UV-EPROM

10.23



EEPROM (Electrically Erasable PROM)

10.24



Wenn negative Ladungen auf dem Floating-Gate gespeichert werden, verschiebt sich die I-V Kurve des Transistors nach rechts (höhere V_{th}). So ist der NMOS bei $V_{gs} = V_{DD}$ nicht mehr leitend, sondern gesperrt.

Mit einer dünnen Oxidschicht können die Gate Ladungen auch elektrisch gelöscht werden (electrically erasable PROM: EEPROM, Flash Zellen).

Flash-Speicher

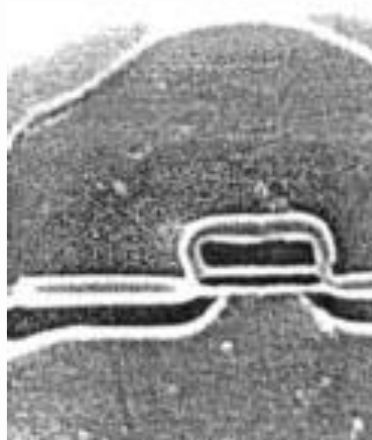
10.25

Flash-Zelle

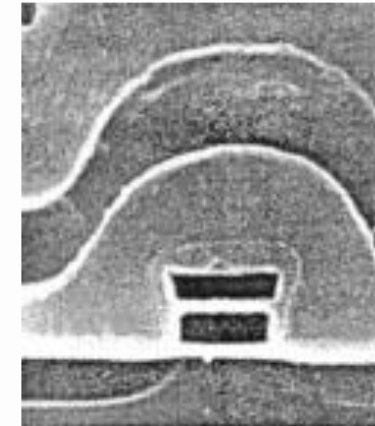
größere Zelle

dünneres Floating Gate

dünneres Oxyd (100-200Å)



CMOS Flash Cell



CMOS EPROM Cell

Photos by ICE

sehr hohe Stückzahlen finanzieren umfangreiche Investitionen in die Zellstruktur

mittlerweile gut beherrschter Zellaufbau und Programmierprozess, der sogar die präzise Programmierung mehrerer Threshold-Spannungen pro Zelle ermöglicht

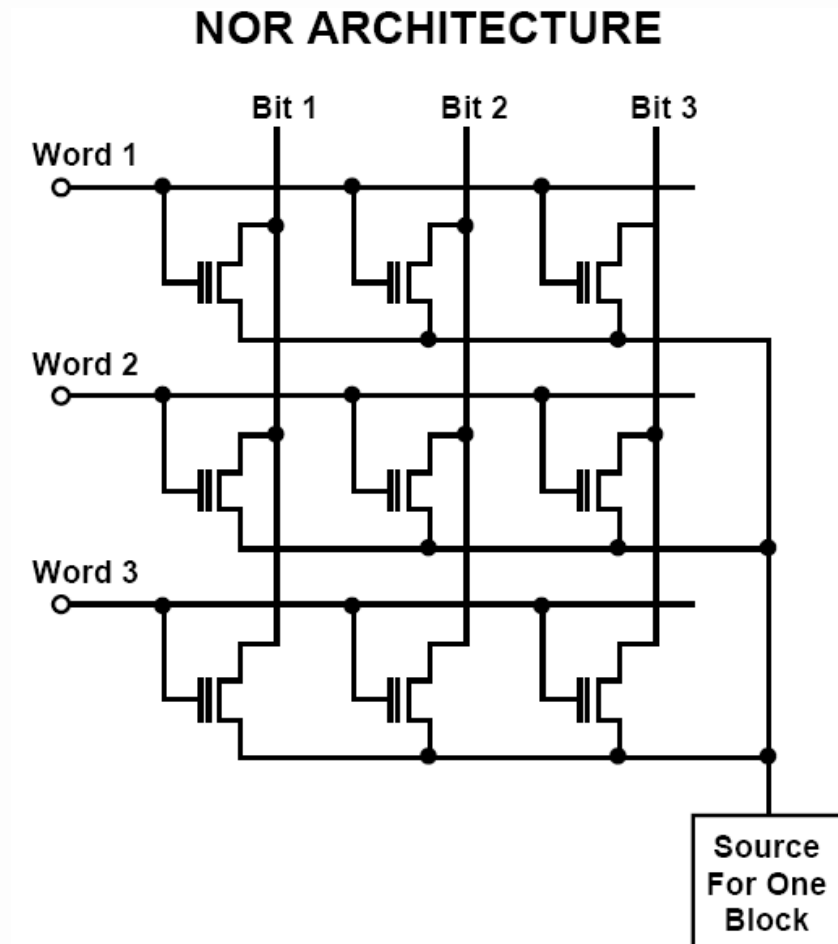
Zellen mit 4 unterschiedlichen U_{th} erlauben Speicherung von 2 bit (Multilevel)

impulsartige Programmierung in mehreren Schritten mit folgender Validierung der erreichten Schwellspannung – bei jedem Programmierpuls steigt die Schwellspannung etwas an

NOR-Struktur

10.26

Parallele Transistoren - frei adressierbar – bekannte Struktur



Programmierung in der Regel durch "heiße Elektronen" - schnell (wenige us), aber hoher Programmierstrom erforderlich

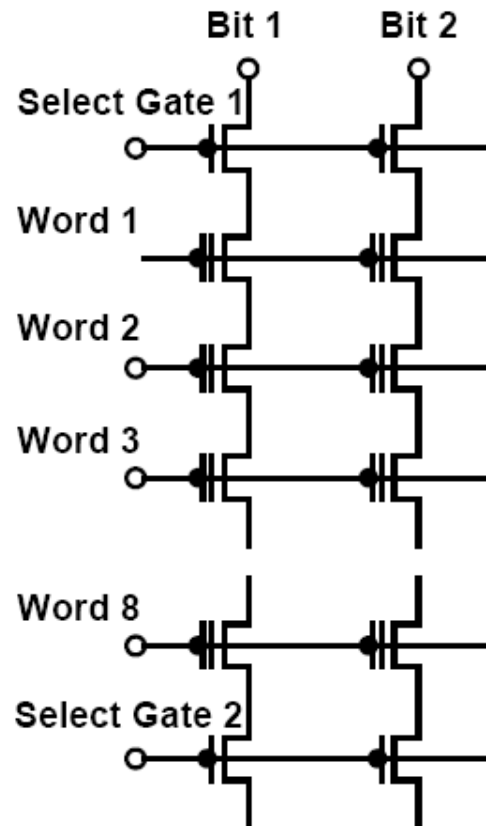
vergleichsweise schneller, wahlfreier Lesevorgang, aber langsamer zu löschen.

größere Fläche pro bit

Haupteinsatzgebiet Programmspeicher in eingebetteten Systemen

Transistoren in Reihe, nur jeweils 1 Bit/Spalte adressiert

NAND ARCHITECTURE



Programmierung durch Tunneleffekt – langsam (einige 100 us), aber geringer Stromverbrauch

langsamer Lesevorgang (Serienschaltung), aber schneller zu löschen

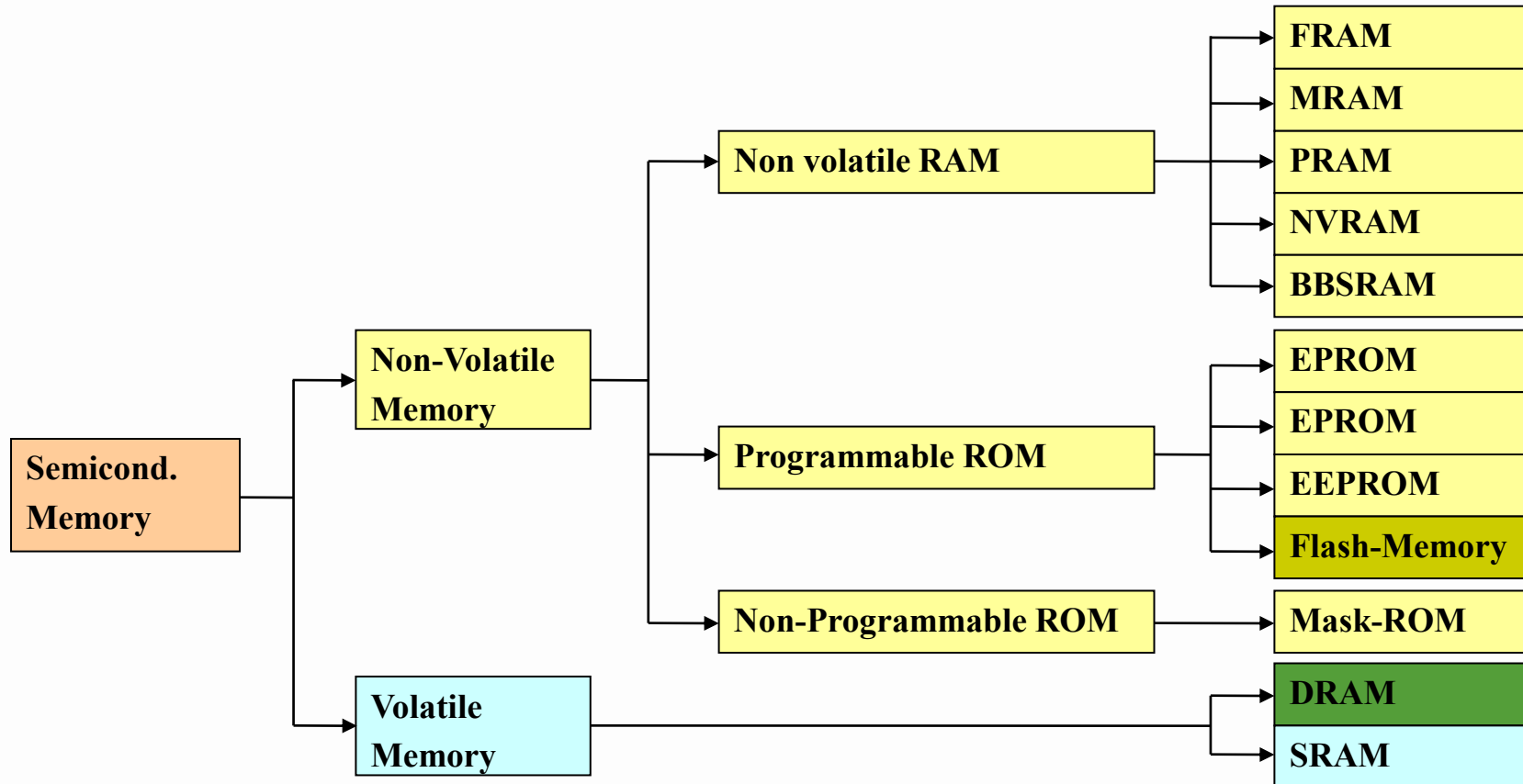
serieller Zugriff, kompliziertere Steuerung

sehr kompakter Aufbau
(Massenspeicher wie SD Karte)

[Video](#)

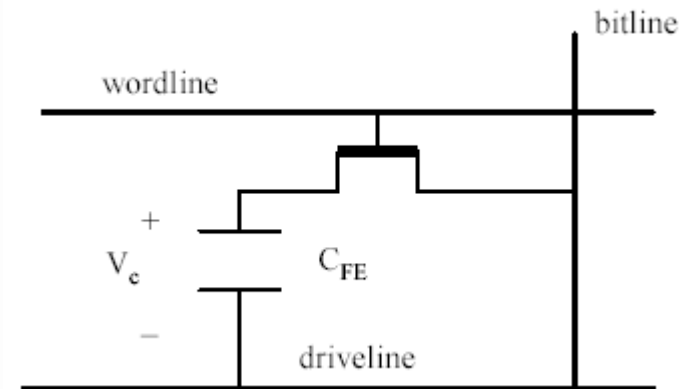
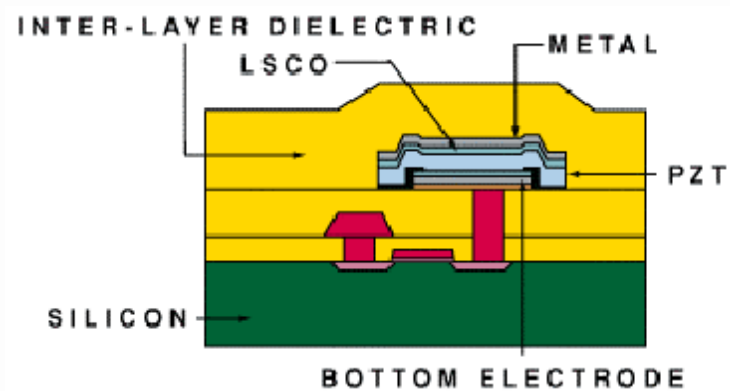
Arten von Halbleiterspeichern

10.28



Ferroelektrische RAMs (1)

10.29



FeRAMs sind im Prinzip aufgebaut wie DRAMs

Statt SiO₂ wird ein ferroelektrisches Isolationsmaterial für die Speicherkapazität verwendet.

Das Dielektrikum zeigt ein Hystereseverhalten über dem angelegten elektrische Feld, d.h. die Polarisierung des Dielektrikums hängt von der vorher angelegten Feldrichtung ab.

Als Material werden Strukturen ähnlich den PZT Keramiken verwendet (PZT = Pb Zr_x Ti_{1-x} O₃).

Ferroelektrische RAMs (2)

10.30

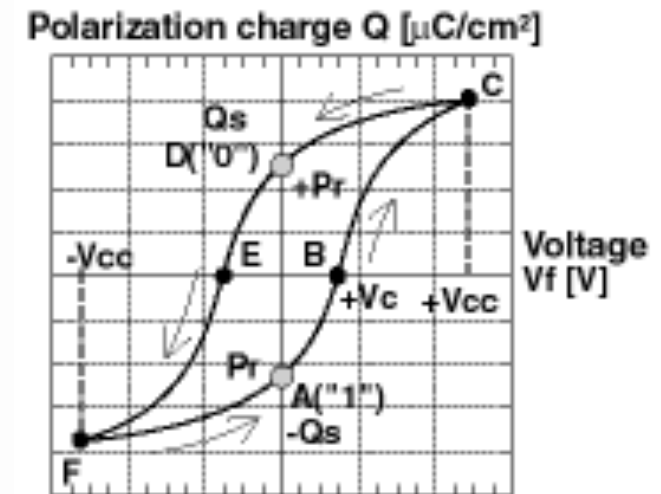
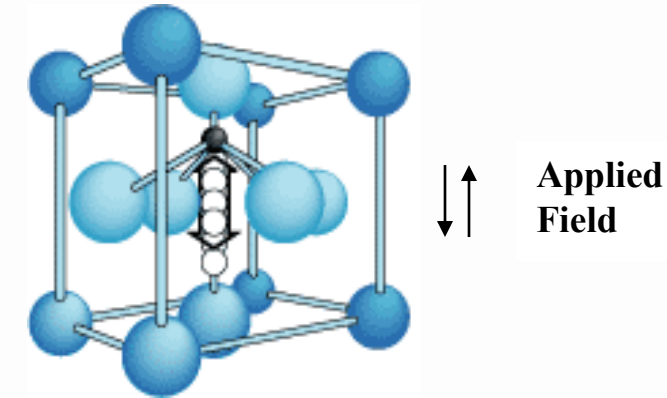
Das Beschreiben der Zelle geschieht durch die Polarität eines angelegten Spannungspulses

Beim Lesen wird ein Referenzpuls angelegt. War die Polarität beim Schreiben gleich der des Referenzpulses, gibt es nur eine geringe Änderung der Polarisationsladung. Bei unterschiedlicher Polarität wird entsprechend der Hysteresekurve das Material umpolarisiert. D.h der Lesebetrieb ist zerstörend wie beim DRAM

Das Material degradiert langsam mit der Zahl der Schreib/Lesezyklen, da lokale hohe Feldstärken zur Umpolarisierung notwendig sind.

Heute benutzt weil die schneller ist und braucht weniger Energie als Flash.

Texas Instrument's FRAM



Magnetoresistive RAMs

10.31

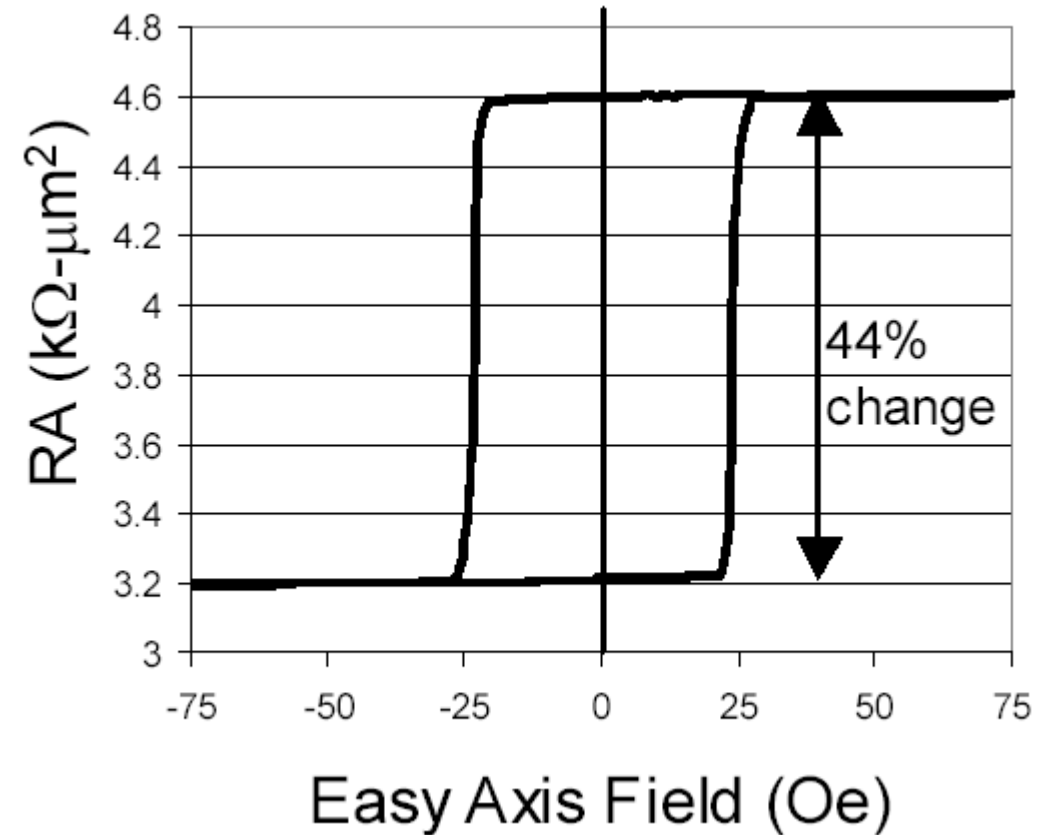
MRAMs sind im Prinzip aufgebaut wie SRAMs

Die Speicherung erfolgt in einem dünnen magnetisierbaren Film

Die Zelle besteht aus einem Stapel von verschiedenen Schichten. Der Stapel enthält eine frei magnetisierbare Schicht (Einprägen durch Strompulse) sowie eine fest magnetisierte Referenzschicht.

Der spezifische Widerstand des Stapels ändert sich mit der Magnetisierungsrichtung der Speicherschicht (Lesen)

Ambiq MRAM

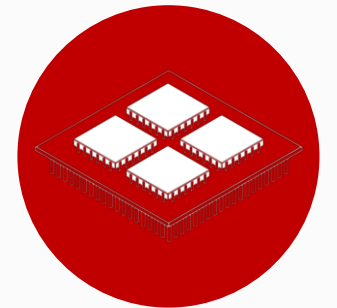


Parametervergleich verschiedener HL Speicher

10.32

Type	Storage density	Access-Time (Random Access)	Data Retention	# Cycles (R/W)	Typical Use
SRAM	16Mbit/cm ³	<10ns	Only with power backup	inf	WM, special
DRAM	512Mbit/cm ³	<100ns	Only with power backup	inf	WM, Special MM
Flash	4Gbit/cm ³	<100ms	10 Y	>1M	PM MM
FERAM	128Mbit/cm ³	<100ns	30 Y	>10G	WM PM
MRAM	32Mbit/cm ³	<50ns	inf	inf	WM PM
PRAM	512Mbit/cm ³	<50ns	30 Y	?	WM PM

Mikrorechner



Wie muss ein Computer gebaut werden,
der logische Verknüpfungen von binären Zahlen durchführt,
der die Grundrechenarten wie Addition/Subtraktion beherrscht
der Abläufe steuert,
dessen Verhalten durch den Benutzer bestimmt und verändert (programmiert) werden kann?

Sie besteht aus den folgenden Einheiten:

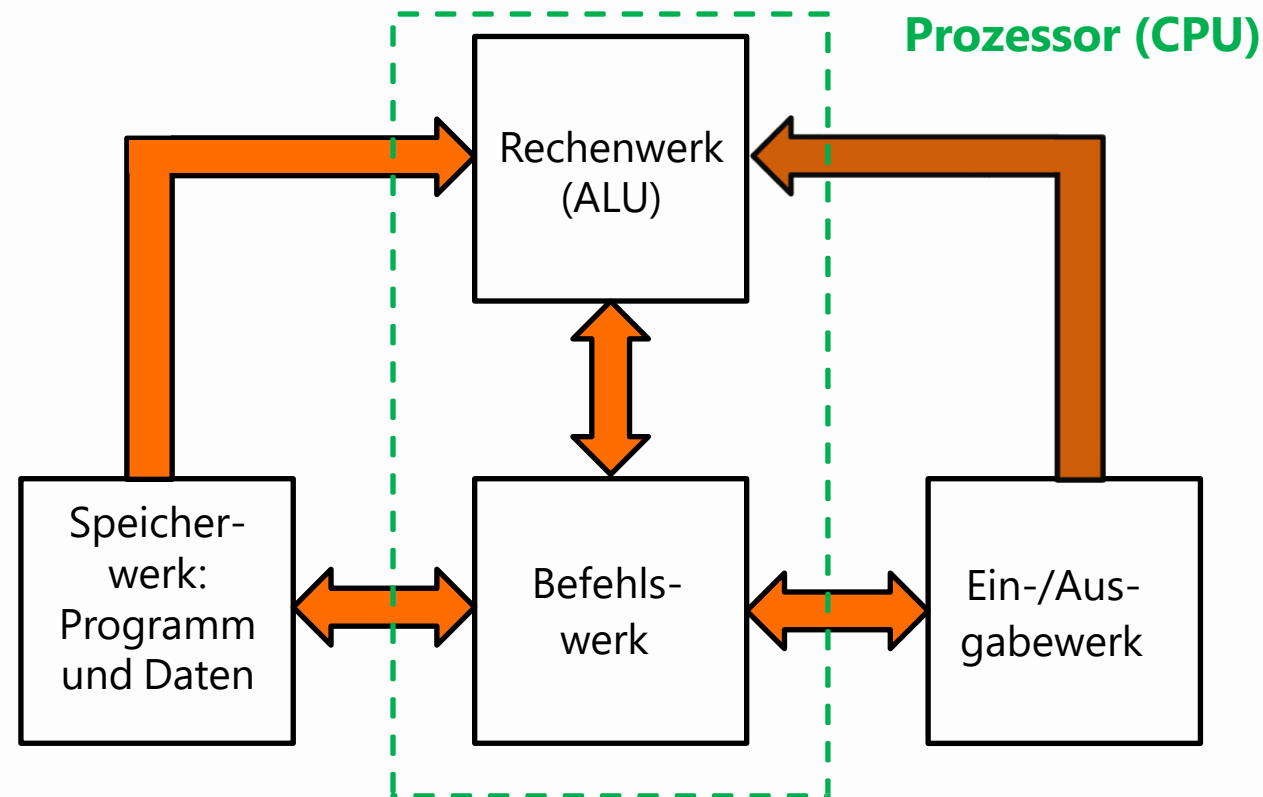
- a) der **zentralen Recheneinheit (CPU)**, in der die Befehle eines Programms interpretiert und ausgeführt werden;
- b) dem **Speicher**, in dem das auszuführende Maschinenprogramm und seine Rechendaten gespeichert sind;
- c) der **Ein-/Ausgabe-Einheit**, welche die Verbindung mit den peripheren Ein-/Ausgabegeräten und die Kommunikation zwischen dem Rechner und seiner Umwelt besorgt;
- d) dem internen **Systembus**, der den Informationsaustausch zwischen den Komponenten ermöglicht (allgem. Verbindungen, z.B. Punkt zu Punkt oder Bus).

Die ‚von Neumann‘ Architektur

10.35

Im Jahre 1945 hat der Mathematiker **John von Neumann** eine Architektur vorgeschlagen, deren Grundstruktur die Computertechnik bis heute geprägt hat. Die von Neumann Architektur ist ein Schaltungskonzept zur Realisierung **universeller Rechner**

von Neumann'scher
Universalrechenautomat



Mikrorechner- Übersicht

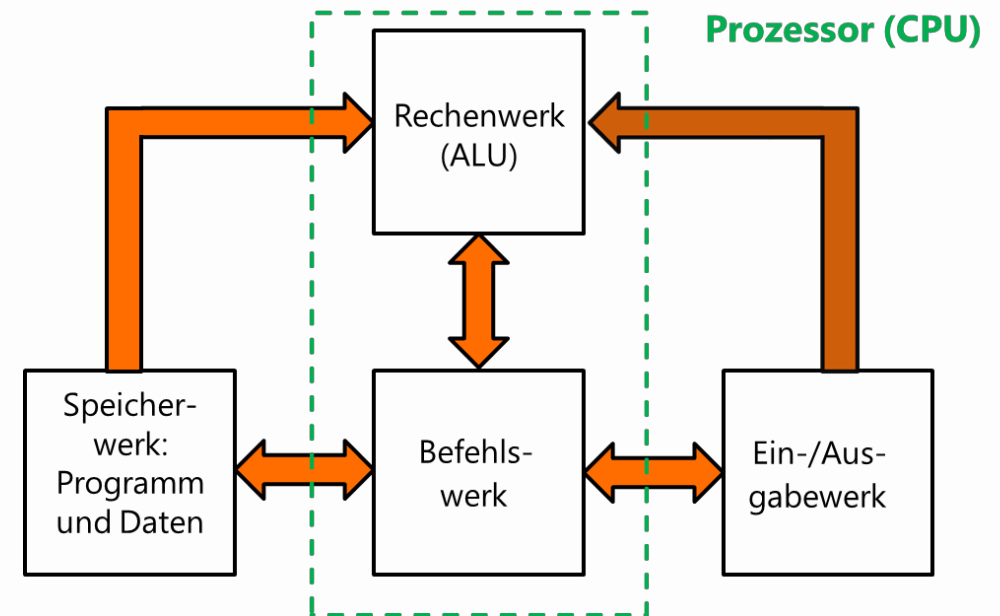
10.36

Die CPU besteht aus dem Befehls- und Rechenwerk.

Das **Befehlswerk** (auch Steuerwerk genannt) organisiert den Speicherzugang zu Befehlen und Daten, entschlüsselt die Befehle und löst die Fortschaltung zum nächsten Befehl und die einzelnen Operationen aus.

Das **Rechenwerk** ist eine autonome Ablaufsteuerung z.B. für die Bearbeitung arithmetischer Operationen, das mit dem Befehlsablaufnetz kommuniziert.

Beide Werke sind dem Prinzip nach Schaltwerke nach Kapitel 3, die man allgemein als Mikroprogrammsteuerwerke bezeichnet.



von Neumann vs. einfache Maschine

10.37

Wie unterscheidet sich die von Neumann'sche Computer Architektur von einer einfachen Rechenmaschine?

Die Wahl des nächsten Befehls kann von dem aktuellen Ergebnis aus der ALU abhängen:

Konditionalabfragen möglich: *if* <Wert a> grösser 0, *then* ...

Schleifen mit variabler Anzahl an Durchläufen möglich

Gleichartige Speicherung von Daten und Befehlen

Befehlsadressen können wie Daten abgespeichert und zu einem späteren Zeitpunkt zurückgeholt werden, um den Programmablauf an einer bestimmten Stelle weiterlaufen zu lassen. → Unterprogramme (*Subroutines*) sind möglich

Programme können andere Programme erzeugen

Compiler