



DASAR SISTEM

PERTEMUAN 3
GERBANG LOGIKA DASAR

AGENDA

1. Tabel kebenaran
2. Gerbang Logika Dasar (OR, AND, NOT)
3. Mendeskripsikan Rangkaian Logika
4. Mengevaluasi Output Persamaan Logika
5. Mengimplementasikan Rangkaian Logika
6. Gerbang NOR dan Gerbang NAND
7. Perancangan dan Analisis Rangkaian Logika

Tabel Kebenaran

- Tabel yang menunjukkan pengaruh pemberian level logika pada input suatu rangkaian logika terhadap keadaan level logika outputnya
- Jumlah seluruh kemungkinan input = 2^n

- Satu input

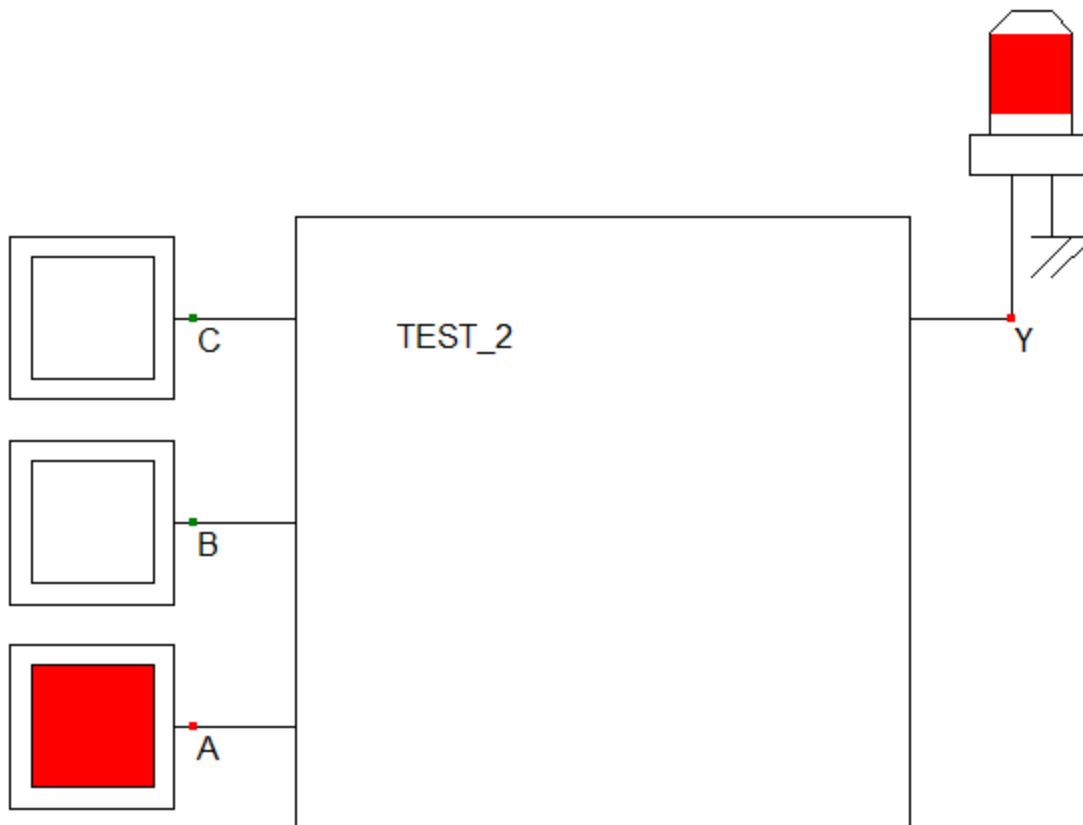
INPUT	OUTPUT
A	Y
0	...
1	...

- Dua input

INPUT		OUTPUT
A	B	Y
0	0	...
0	1	...
1	0	...
1	1	...

Simulasi DSCH2

- Jalankan file TEST_2.SCH



Membuat tabel kebenaran

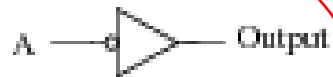
- Tentukan tabel kebenaran rangkaian logika dengan 3 variabel input (A,B,C) dan sebuah output (Y) yang memberikan keadaan level logika 1 pada outputnya jika jumlah bit-bit inputnya genap! Dengan A sebagai MSB, dan C sebagai LSB

INPUT			OUTPUT
A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

Gerbang Logika Dasar

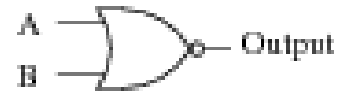
- Gerbang OR, jalankan file ORSIM.SCH
- Gerbang AND, jalankan file ANDSIM.SCH
- Gerbang NOT, jalankan file NOTSIM.SCH

NOT



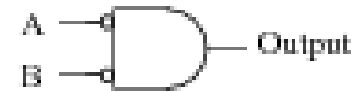
A	Output
0	1
1	0

NOR



A	B	Output
0	0	1
0	1	0
1	0	0
1	1	0

Neg-AND



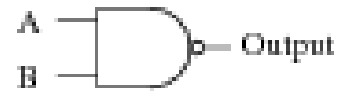
A	B	Output
0	0	1
0	1	0
1	0	0
1	1	0

XNOR



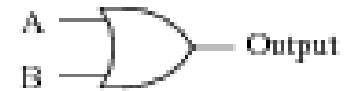
A	B	Output
0	0	1
0	1	0
1	0	0
1	1	1

NAND



A	B	Output
0	0	1
0	1	1
1	0	1
1	1	0

OR



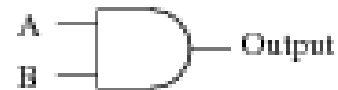
A	B	Output
0	0	0
0	1	1
1	0	1
1	1	1

XOR



A	B	Output
0	0	0
0	1	1
1	0	1
1	1	0

AND



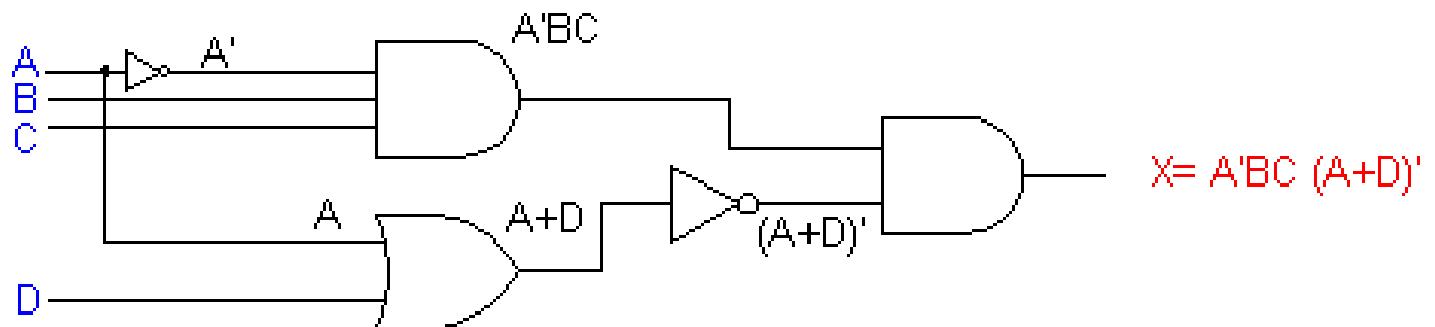
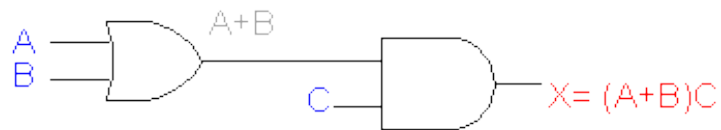
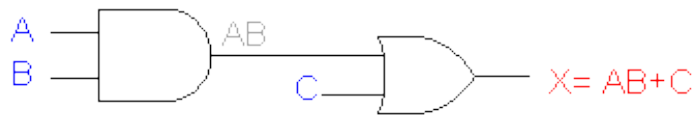
A	B	Output
0	0	0
0	1	0
1	0	0
1	1	1

Neg-OR

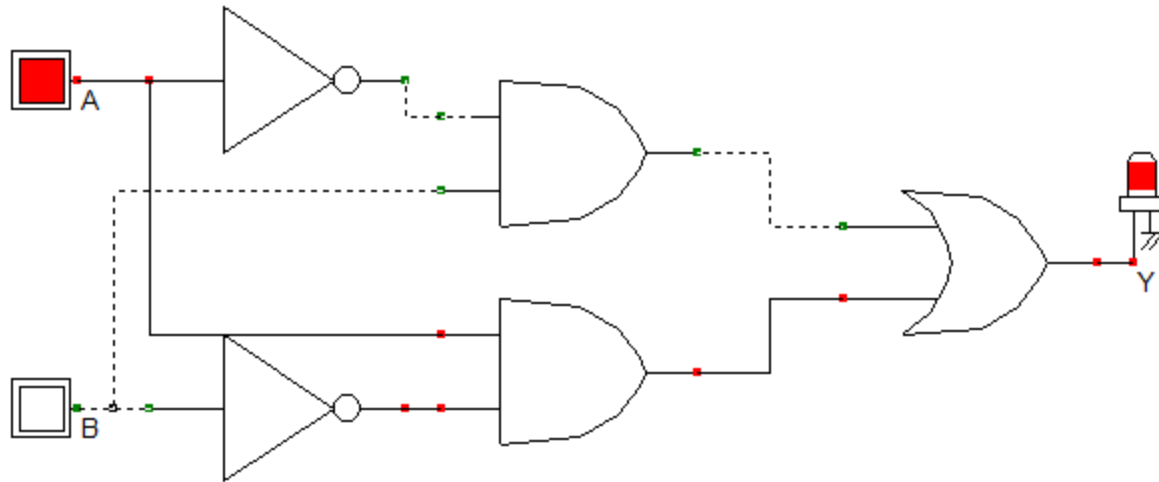


A	B	Output
0	0	1
0	1	1
1	0	1
1	1	0

Mendesripsikan Rangkaian Logika



D. Mengevaluasi Output Persamaan Logika

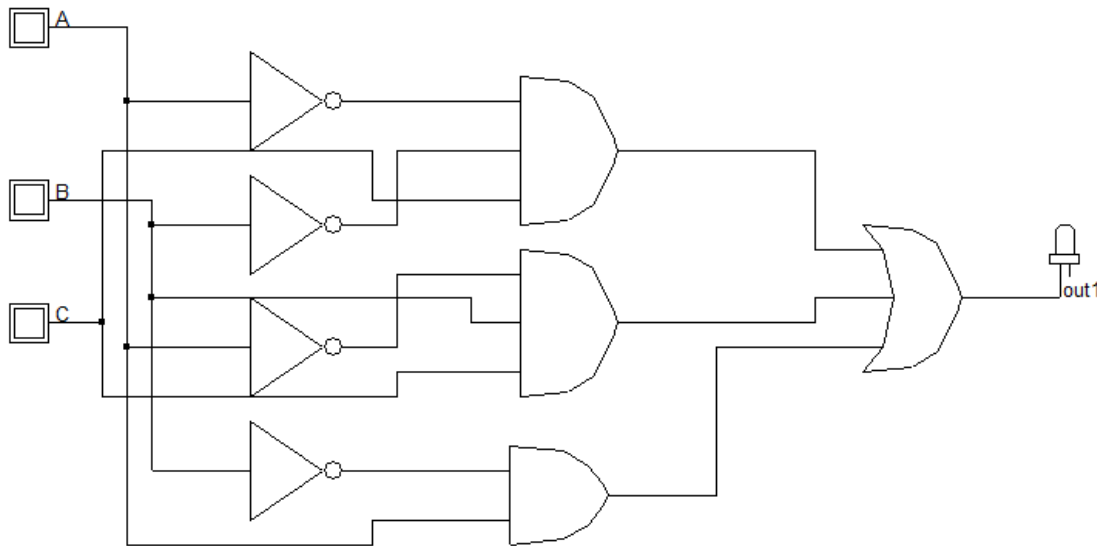


Tugas 8 (a), hal 76

$$Y = (A'B) + (AB')$$

E. Mengimplementasikan Rangkaian Logika

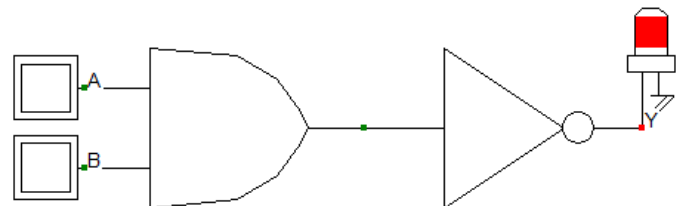
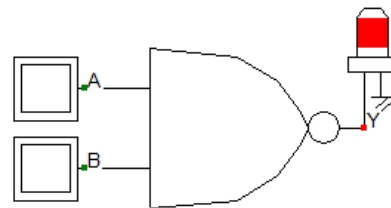
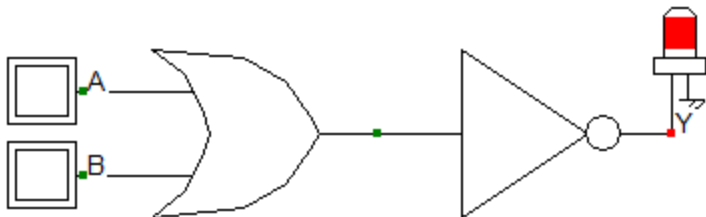
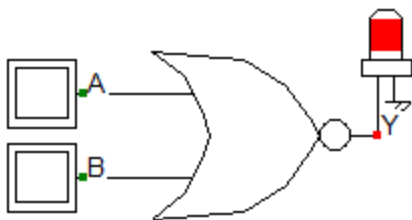
- Implementasikan persamaan logika $Y = A'B'C + A'BC + AB'$ ke dalam bentuk rangkaian logika



Gambar 58

F. Gerbang NOR dan Gerbang NAND

- Gerbang NOR dan NAND memiliki sifat **universal**, yakni dapat menggantikan gerbang logika dasar dalam membangun semua rangkaian logika
- Simulasi DSCH
 - File NORSIM.SCH
 - File NANDSIM.SCH



G. Perancangan dan Analisis Rangkaian Logika

1. Penuangan watak ke dalam tabel kebenaran

Hasil: **Tabel kebenaran**

2. Pemberlakuan kaidah-kaidah perancangan

Hasil: **Persamaan logika**

3. Implementasi persamaan logika ke dalam rangkaian logika

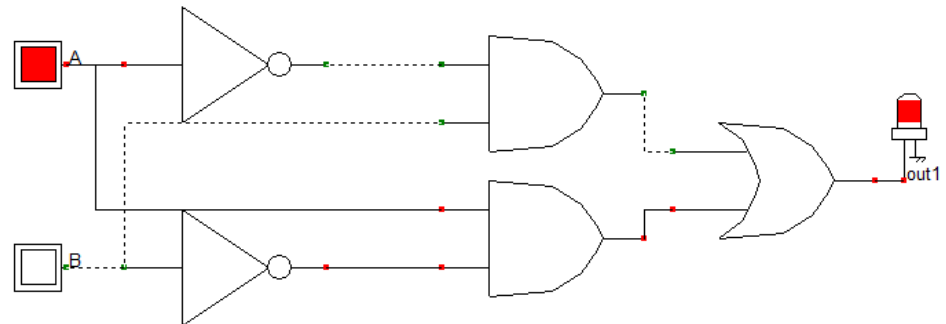
Hasil: **Rangkaian logika**

Contoh

- Watak yang diinginkan: *Output bernilai tinggi jika input beda*
- Tahap I

INPUT		OUTPUT
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

- Tahap II
 $Y = A'B + AB'$
- Tahap III



TUGAS 2.b

- Kerjakan dari buku Muchlas, 2005:
 - Soal nomor: 4, 6
- Tuliskan pada kertas folio bergaris