**课程设计报告**

课程名称： 信息与电子工程导论 任课老师：

课程设计名称：4bit加法器的设计、仿真、实践 完成日期： 2023.4.14

第\_\_\_小组

成员及分工：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 姓名 | 专业 | 学号 | 分工 | 贡献比 |
|  | 计算机科学与技术 |  | 主要负责加法器设计，参与电路搭建与报告编写 |  |
|  | 生物医学工程 |  | 主要负责电路搭建，参与报告编写 |  |
|  | 电子科学与技术 |  | 主要负责报告编写，参与加法器设计 |  |

**1 目的和要求**

**1.1 课程设计目的**

（1）熟悉三极管电气特性，并学会用三极管搭建与或非逻辑门电路；

（2）使用Multisim构建模拟仿真电路来实现4bit加法器的工作，并对其进行仿真和调试；

（2）将调试好的电路在面包板上进行实物搭建，对实际出现的问题进行更正优化，形成最后的4bit加法器电路并用小灯泡表现出来。

**1.2 课程设计要求**

参考一段视频“Making your own 4 bit computer from transistors”和文档《加法器》，使用multisim仿真模拟设计一个4bit加法器，并用晶体管搭建实物电路，并进行测试。

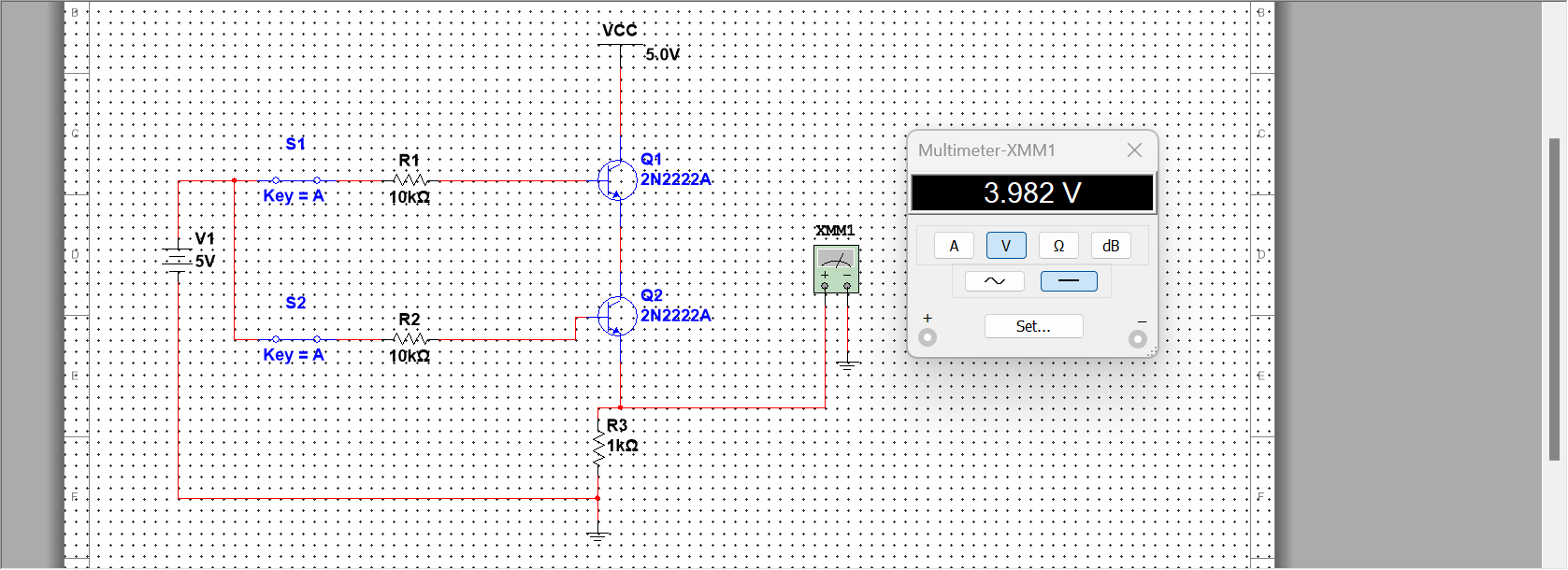
**2 原理**

本次实验使用软件NI Multisim 14.3来对电路进行仿真搭建和测试，由于NI Multisim 14.3中发光二级管的特性是电流达到限定值时才进行发光，所以搭建的仿真电路中并不包含发光二极管，而是采用多用电表的形式展现每个输出点位的电压，以此来测试电路的逻辑正确性。查阅资料之后得知实际搭建电路使用的三极管S9013与Multisim中的仿真三极管2N2222A相似，所以在仿真电路的搭建中我们使用2N2222A型号的三极管。

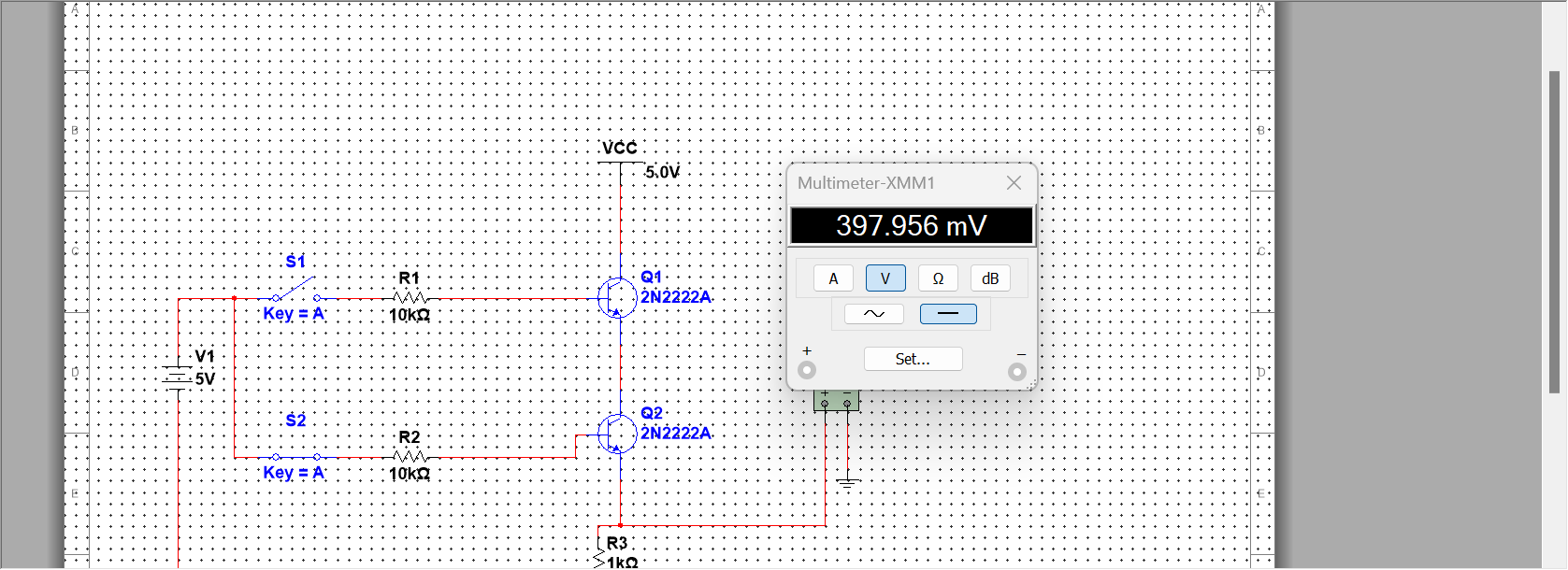
1. 逻辑门电路：

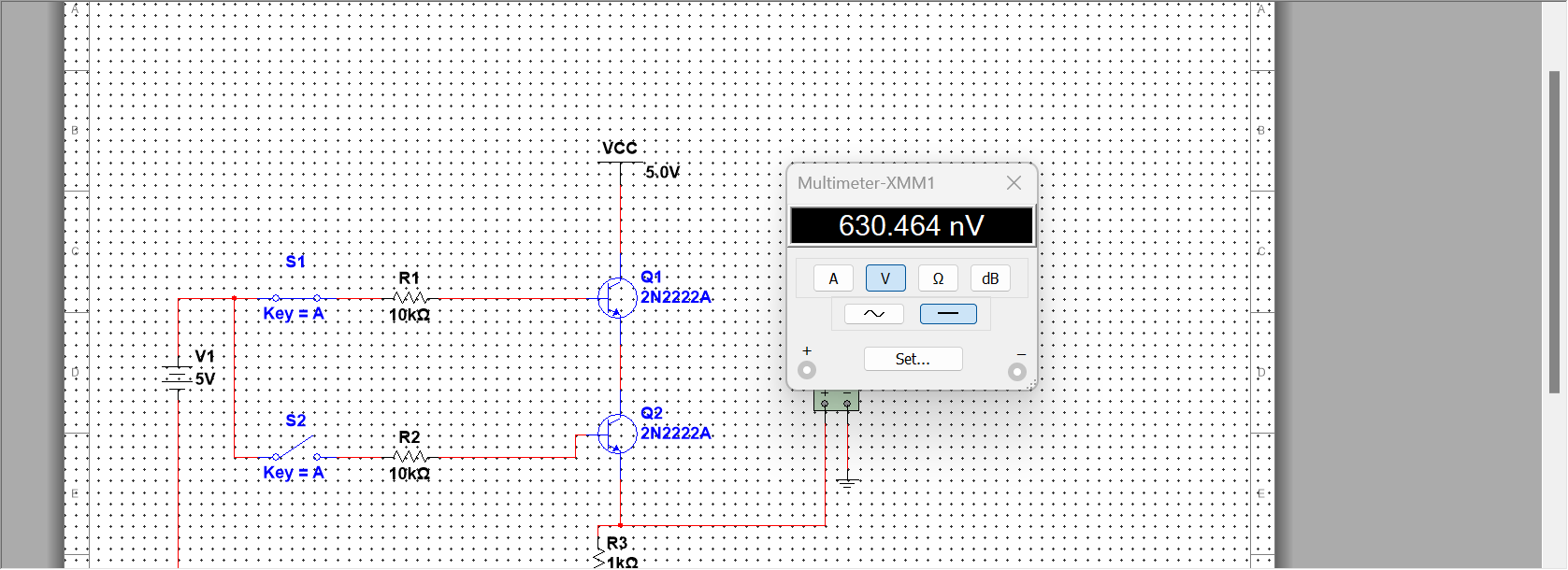
由三极管搭建而成的加法器电路由与门、或门和非门三种基本逻辑门电路组成。通过对最终目的进行逻辑分析，再通过boolean代数进行逻辑综合，借助三种基本门电路来完成4bit加法器的搭建是本课程设计的目的。

1.1与门：

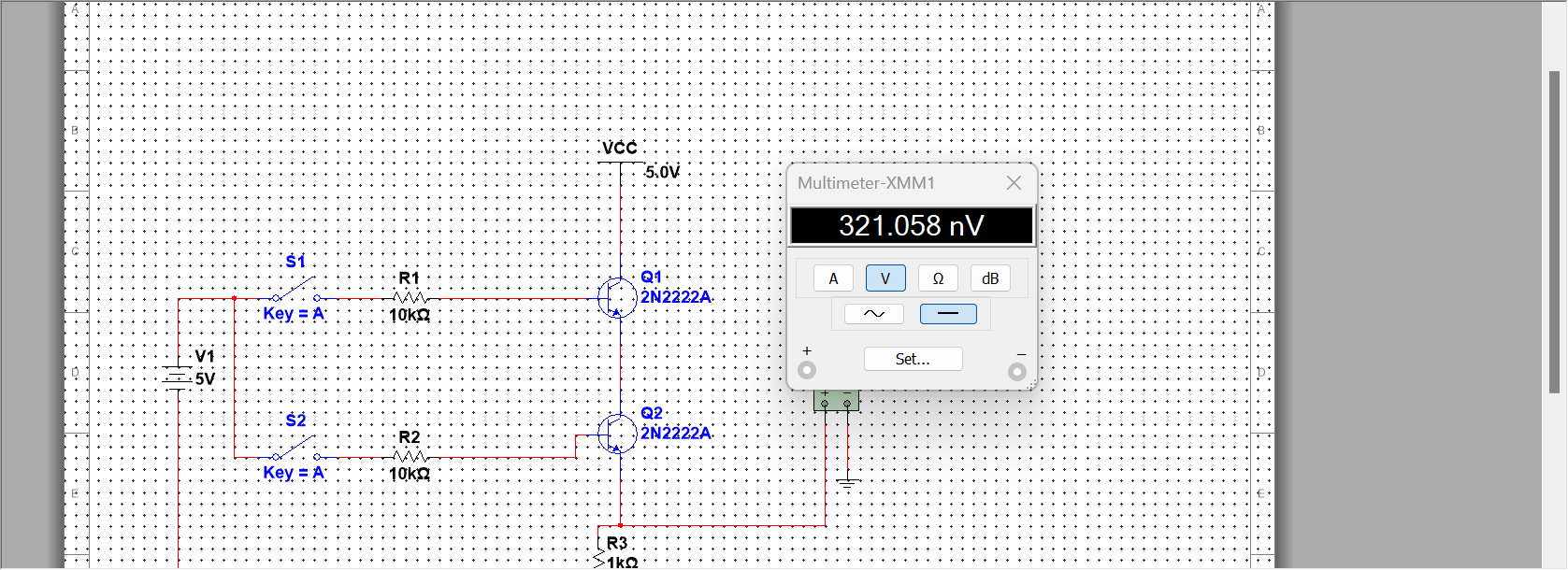
****

由上图可见，当S1、S2同时闭合，输出电平为高电平；





由上俩图对比可见，当S1、S2有一个断开时，输出电平为低电平。

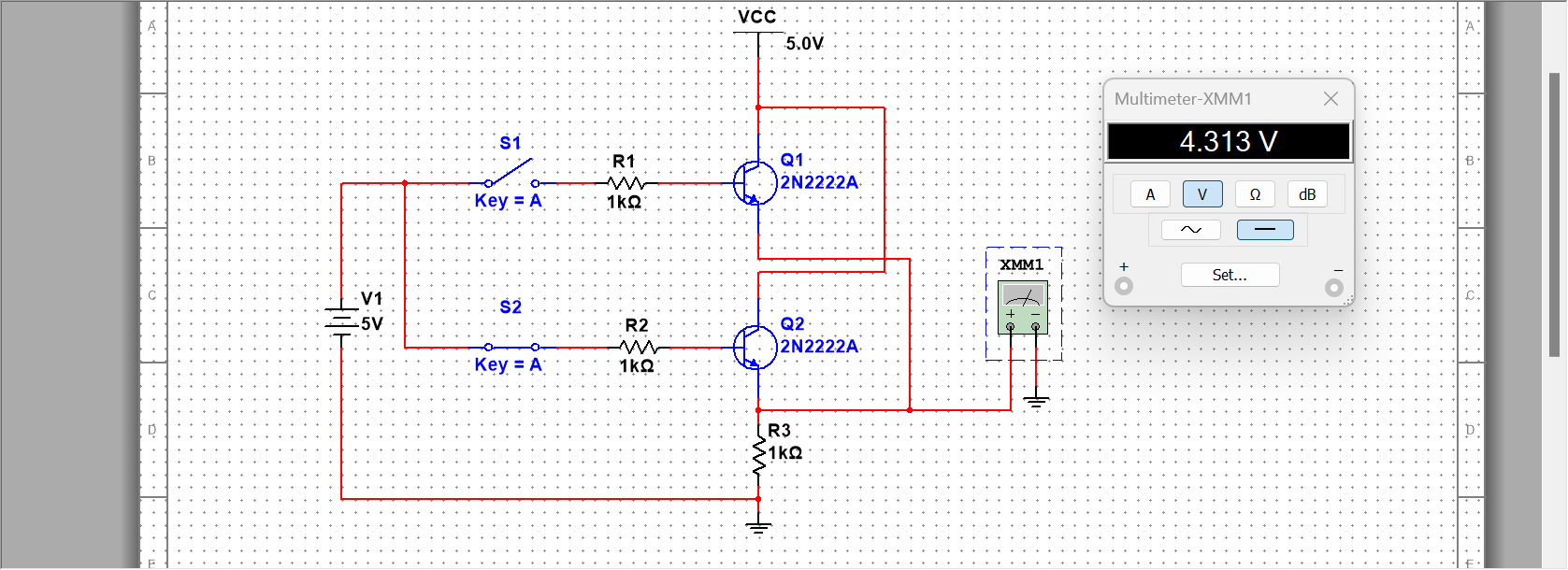


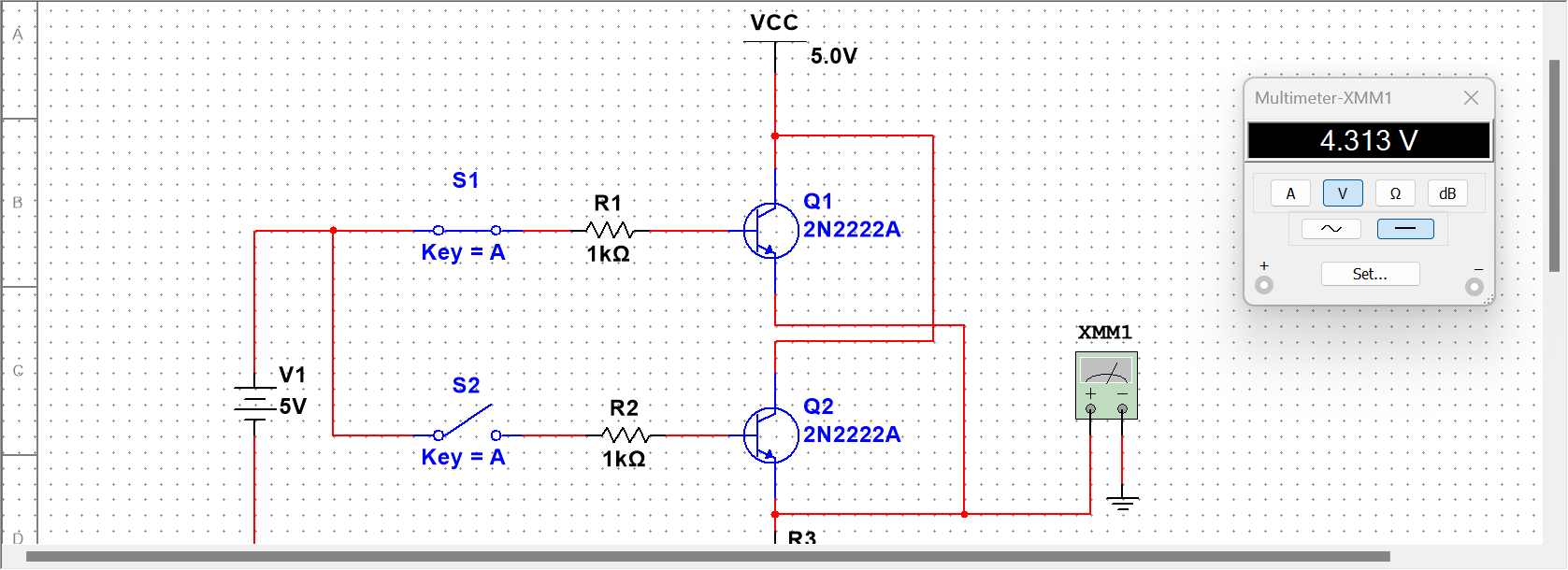
而当S1、S2同时断开时，输出电平为低电平。

综上所述，只有当S1和S2同时闭合时，电压表才会显示高电平。布尔代数表达式为C=A\*B；其真值表如下：

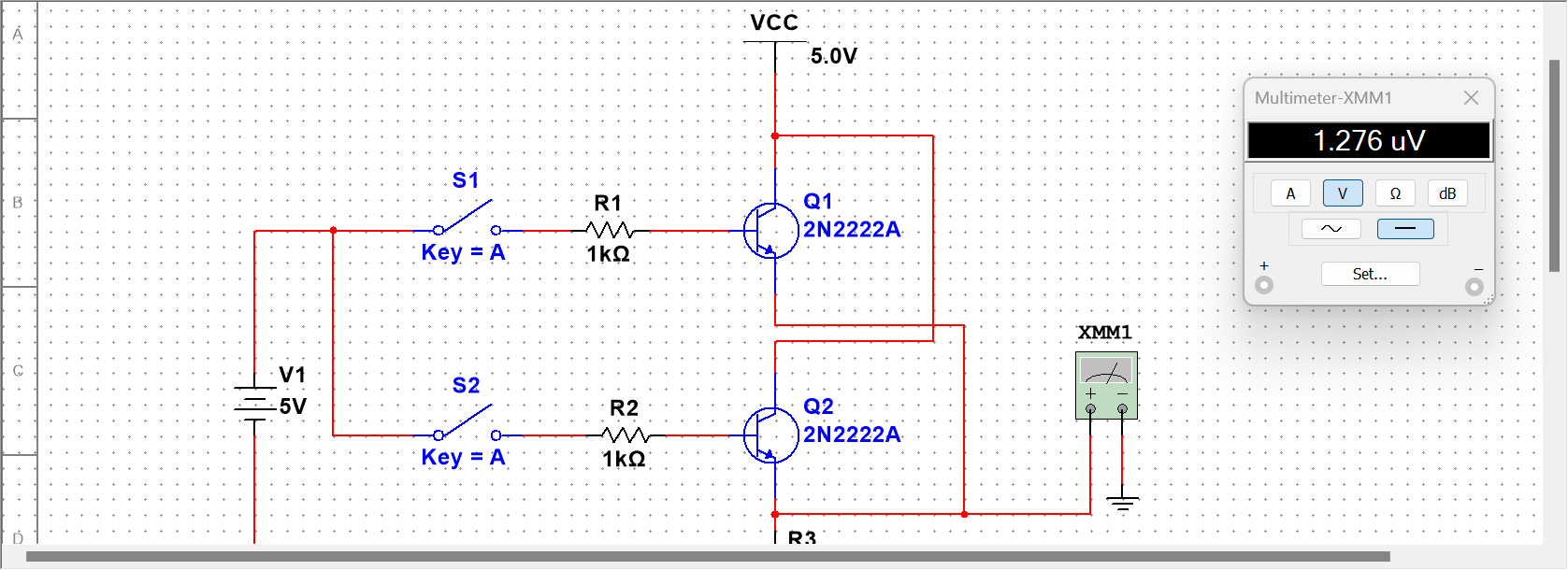
|  |  |  |
| --- | --- | --- |
| S1(A) | S2(B) | Vout(C) |
| 0 | 0 | 0 |
| 1 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 1 | 1 |

1.2 或门：

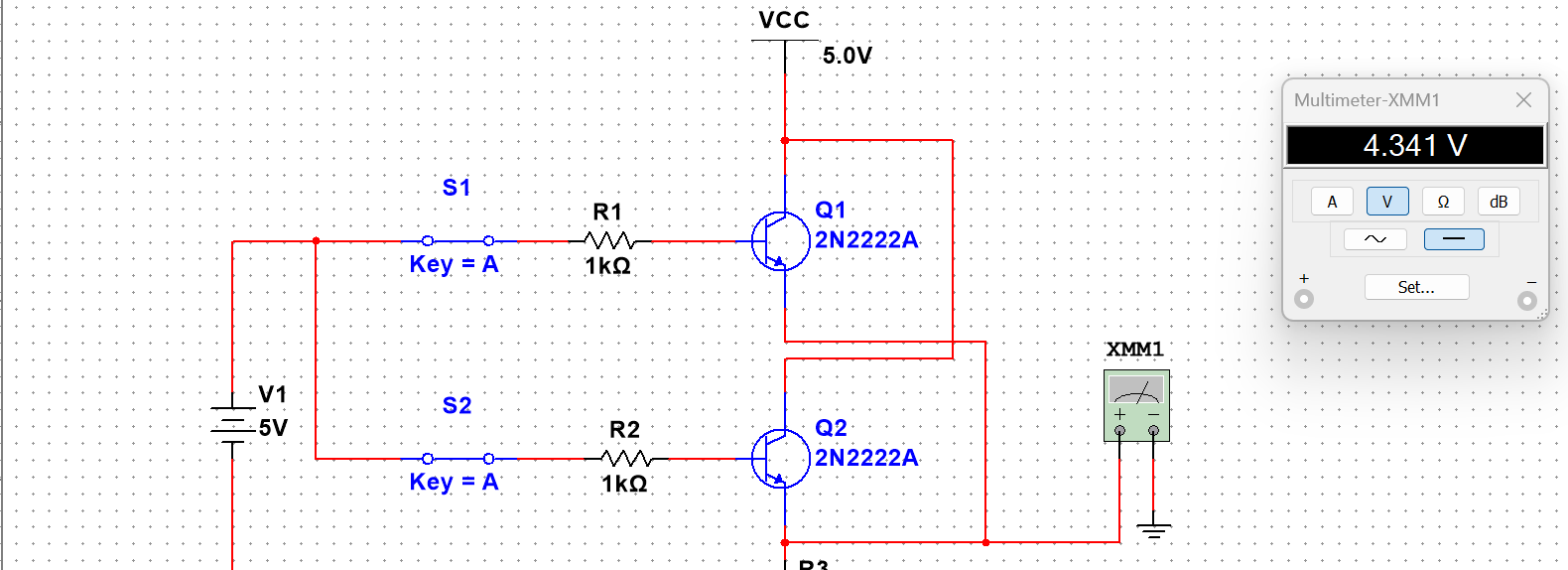




当S1、S2有一个闭合时，输出电平为高电平。



当S1、S2同时断开时，输出电平为低电平。

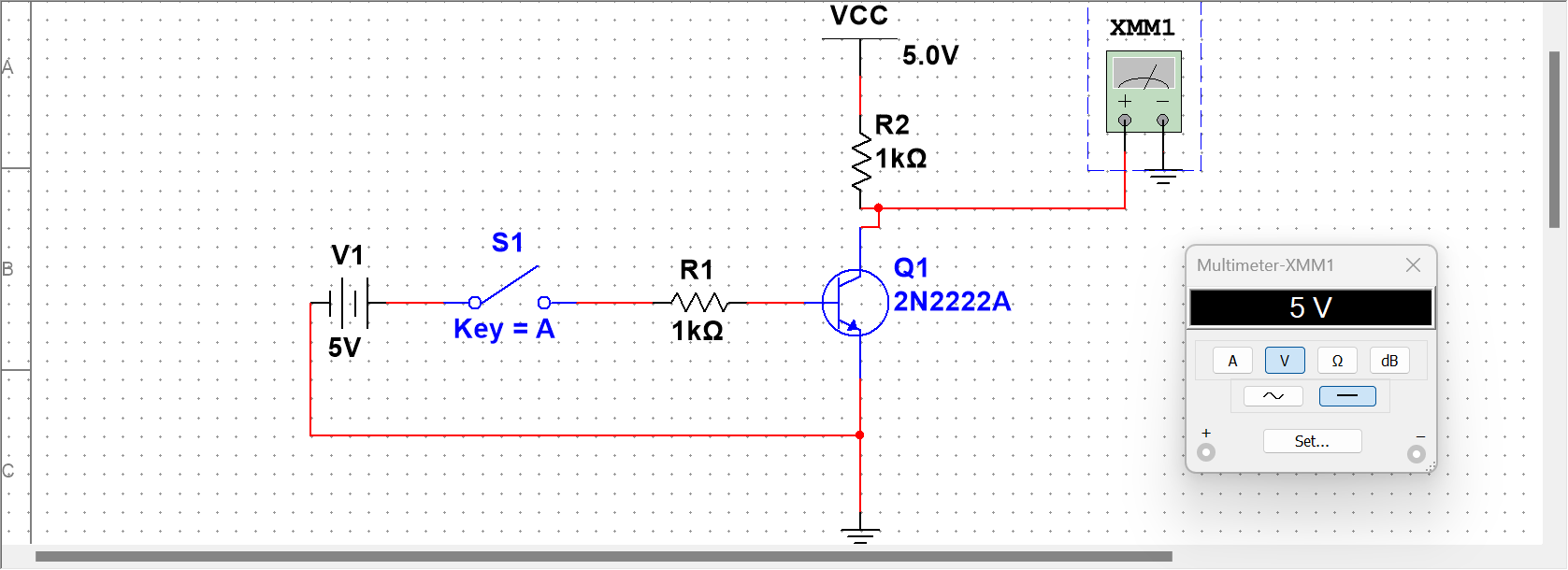


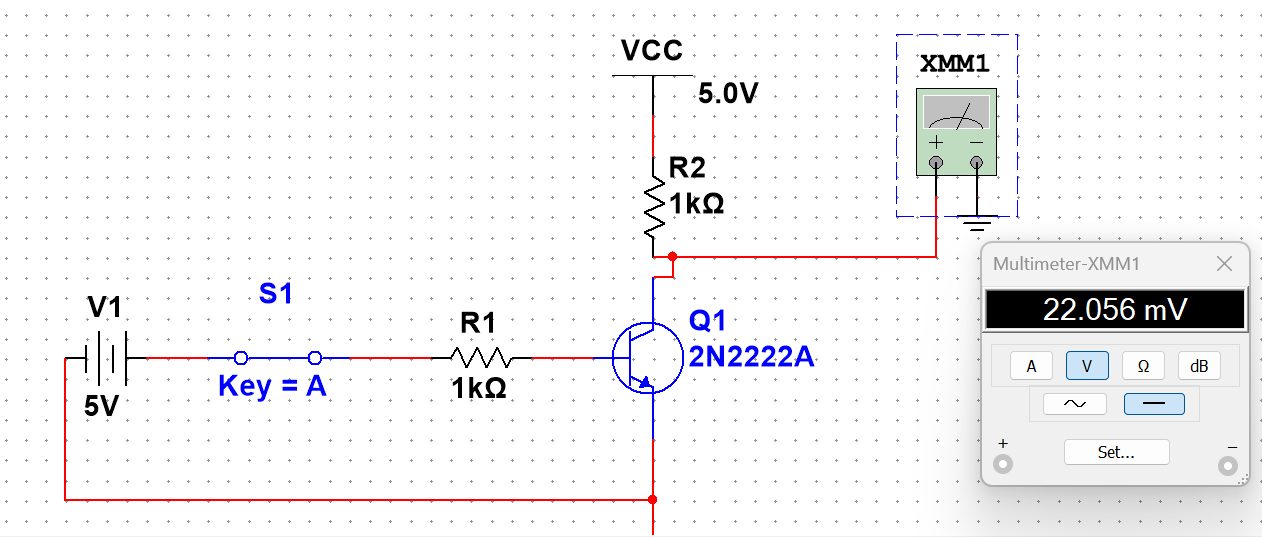
当S1、S2同时闭合时，输出电平为高电平。

综上所述，只要当S1和S2至少一个开关闭合时电压表即显示高电平。布尔表达式为C=A+B；其对映真值表如下：

|  |  |  |
| --- | --- | --- |
| A(S1) | B(S2) | C(Out) |
| 0 | 0 | 0 |
| 1 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 1 | 1 |

1.3 非门：





当S1断开时输出高电平，当S1闭合时输出低电平，布尔表达式为C=~A；其对映真值表如下：

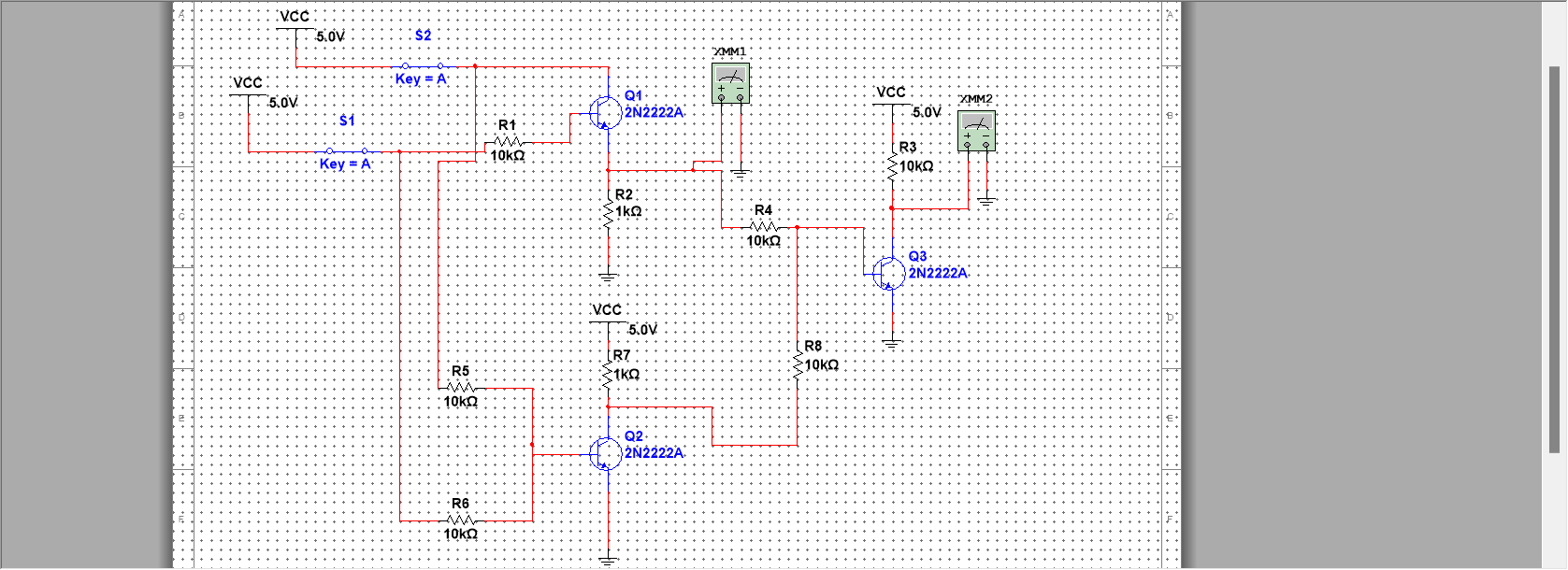
|  |  |
| --- | --- |
| A(S1) | C(Out) |
| 0 | 1 |
| 1 | 0 |

1. 使用以上三种逻辑门搭建半加器，半加器的输入为A、B，即S1、S2；输出为进位C和值S。真值表为：

|  |  |  |  |
| --- | --- | --- | --- |
| A(S1) | B(S2) | C | S |
| 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

得C=A\*B; S=A⊕B=A\*~B+B\*~A。

逻辑电路搭建如下：



其中XMM1代表进位C，XMM2代表输出S。

（3）将半加器扩充为1bit全加器，使其能够满足两个1bit数相加，并考虑上一位的进位，同时能够输出下一位的进位，从而使用此加法器进行级联，达到叠加构成4bit的加法器的效果。其中

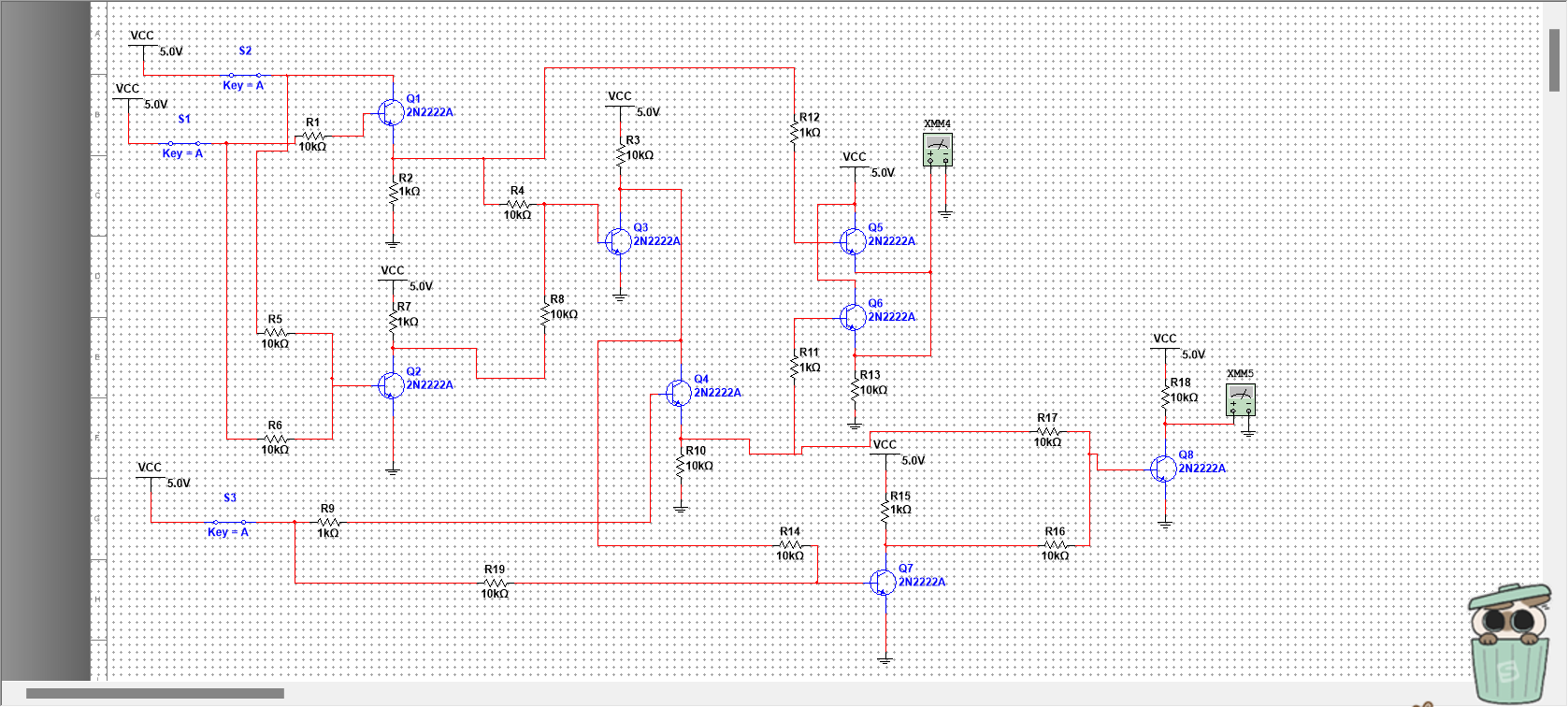
*=*

= 1

= 1

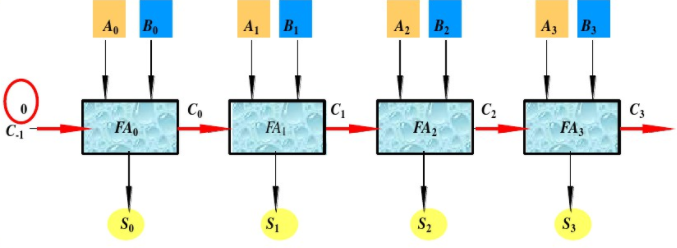
=

据此布尔方程搭建而成的1bit全加器电路如图所示：



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A(S1) | B(S2) | C1(S3) | C2 | S |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 |

（4）利用一位加法器进行级联，搭建4bit加法器：使用三个全加器和一个半加器进行级联，则可以构成一个4bit加法器。输入分别为两个四位二进制数，输出为一个四位二进制数和一位最高位进位。级联的逻辑如下图所示：

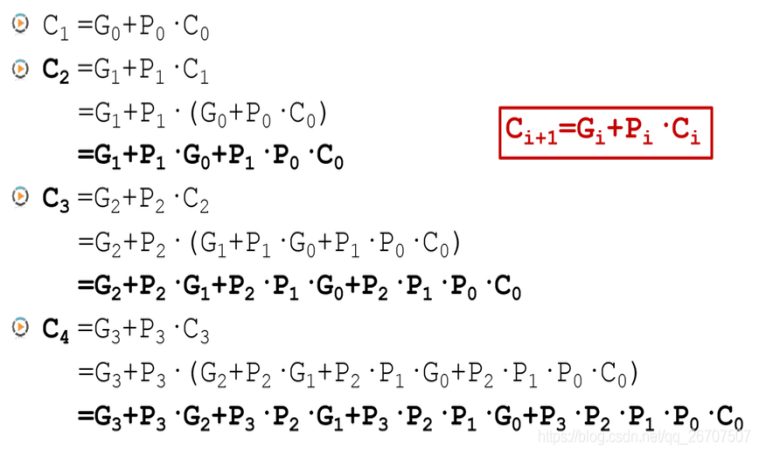


其中A0A1A2A3和B0B1B2B3分别表示两个四位二进制数，最低位的加法器为半加器，输入A0和B0，输出本位的值和下一位的进位；往上位的加法器为全加器，输入对应位的Ax和Bx，以及上一位的进位，输出下一位对应的进位和本位的值。最高位的加法器的输出进位值对应一个多用电表，即之后在电路板上对应的发光二极管。

考虑到4bit加法器真值表有项，难以进行人工优化，需要借助相关算法, 此处不列举4bit加法器真值表。

下面我们简单对4bit加法器进行分析：设运算结果由低位到高位的进位为...(1) , ...(2)， ...(3)。

若我们将（3）式迭代展开，得到下列4bit加法器的优化实现；该加法器称为超前进位加法器，这类加法器在理论上可以使得加法器的运行时间（延迟）与可靠性大幅下降，因为最终的四位输出直接依赖于输入，不再依赖于层级进位关系。



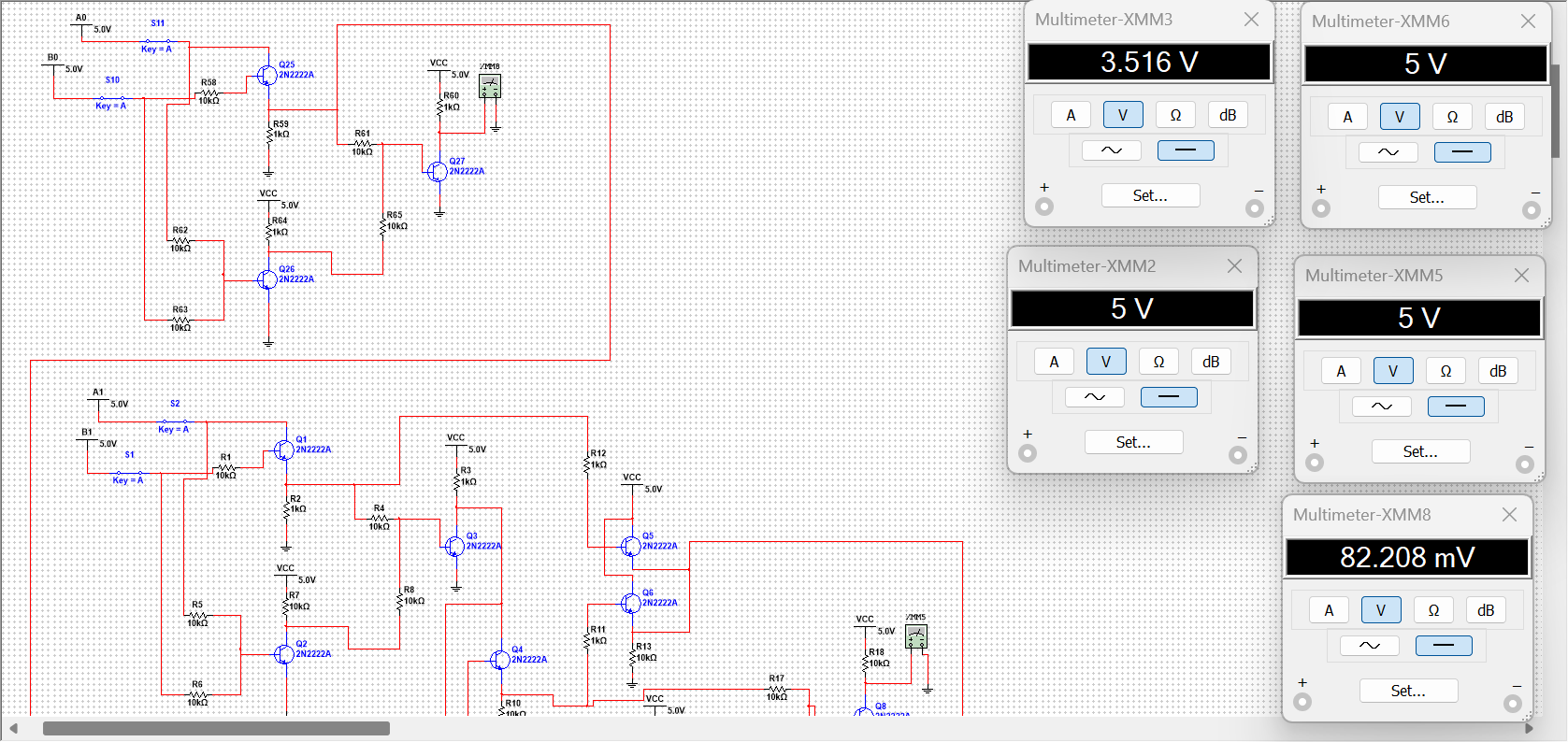
但超前进位加法器增加了逻辑门的负载，门的负载随运算位增加迅速增加，不利于实现大型集成电路；另一方面，考虑到实际的搭建过程，我们使用的三极管搭建电路可能不足以实现超前进位的负载。

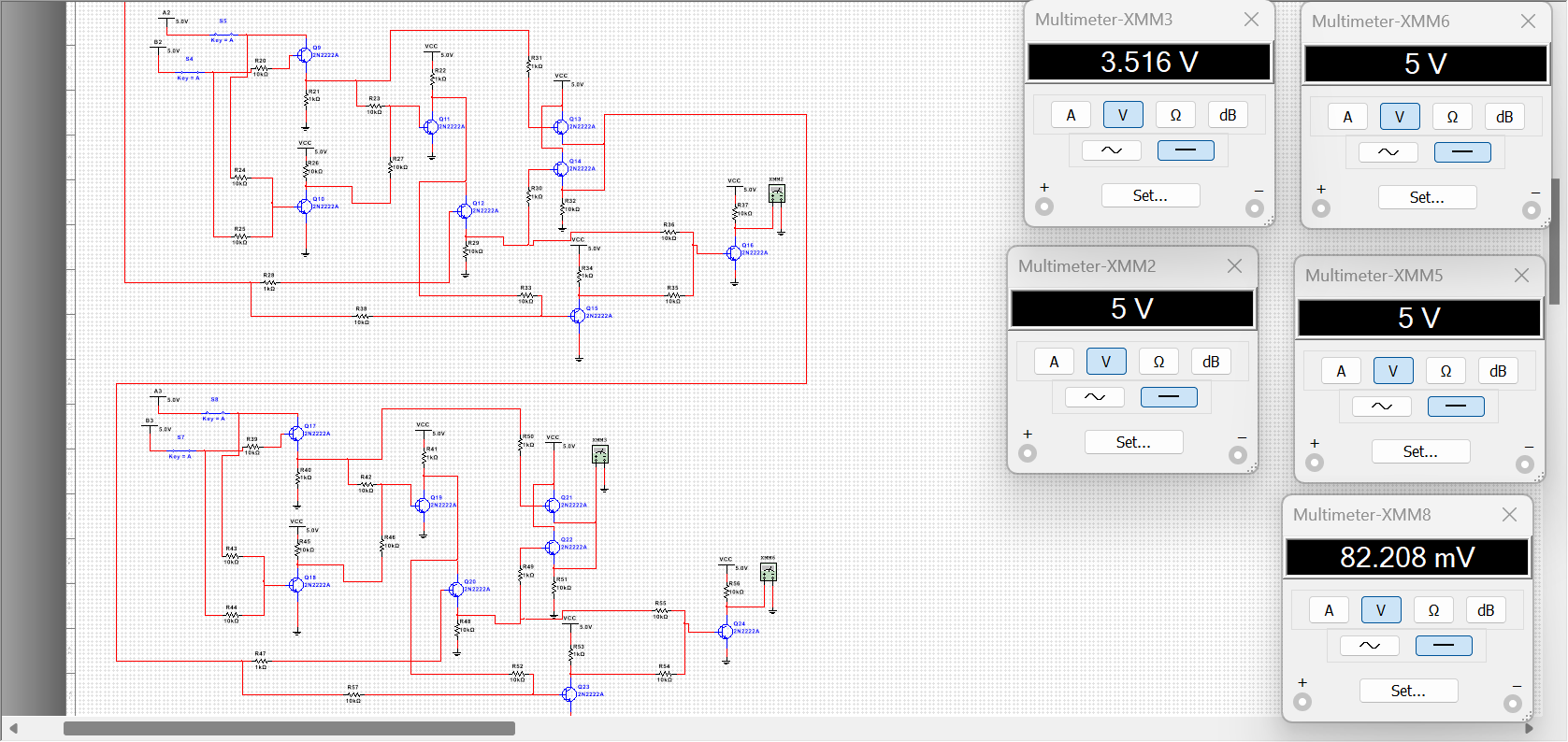
因而我们选择了较为普通的行波进位加法器，区别于提前进位加法器的并行计算，行波进位加法器采用串行计算方式，从低比特迭代至高比特从而得到计算结果，在串行过程中，只要将低bit的进位连接至高比特的C输入即可。

这种实现方式的好处是电路结构简单，电路结构重复利用率高，逻辑门的负载小。

**3 内容**

（1）在上述理论与实践基础上，我们组一共使用27个三极管成功搭建一个4bit加法器，并开始对其进行仿真测试（以部分结果为例）：

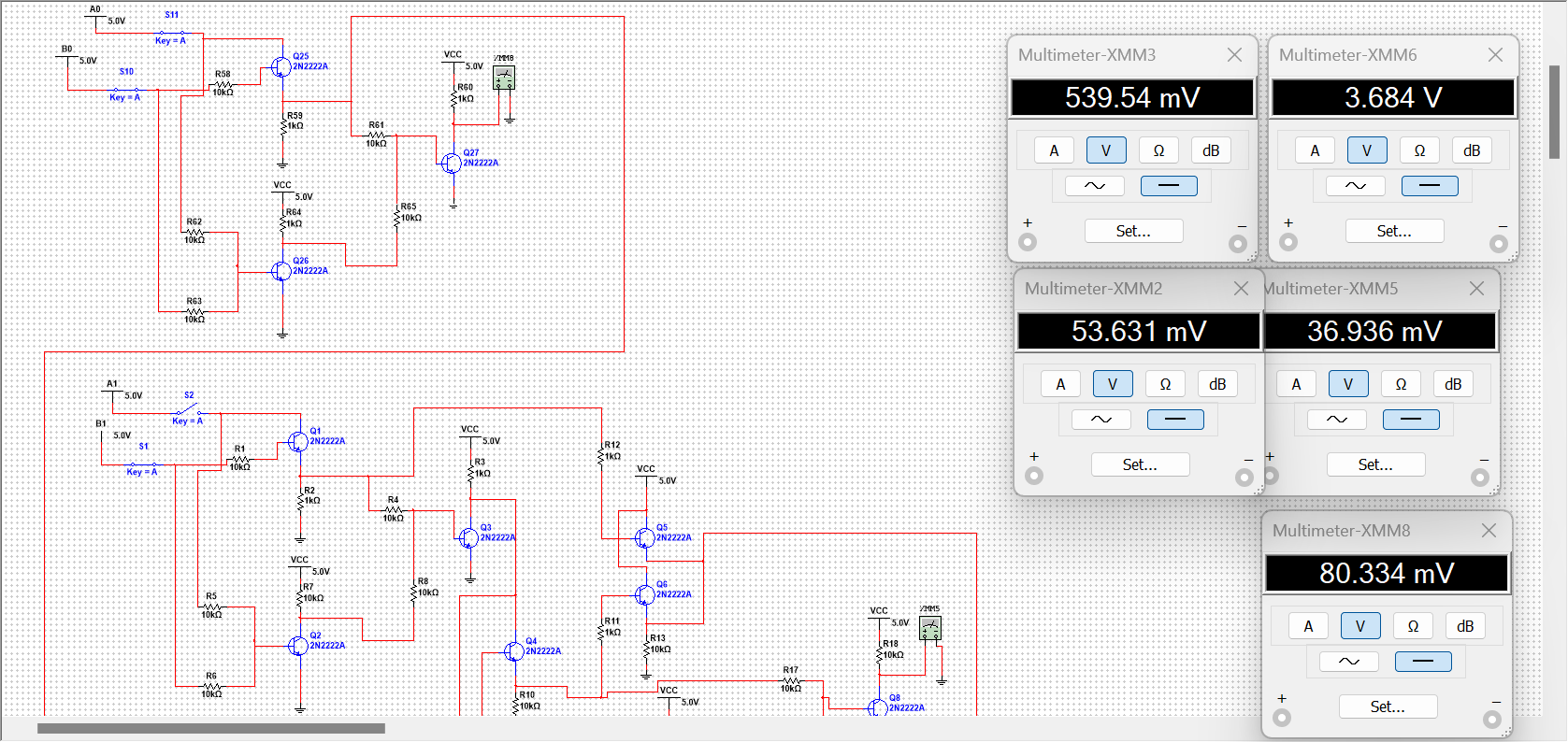


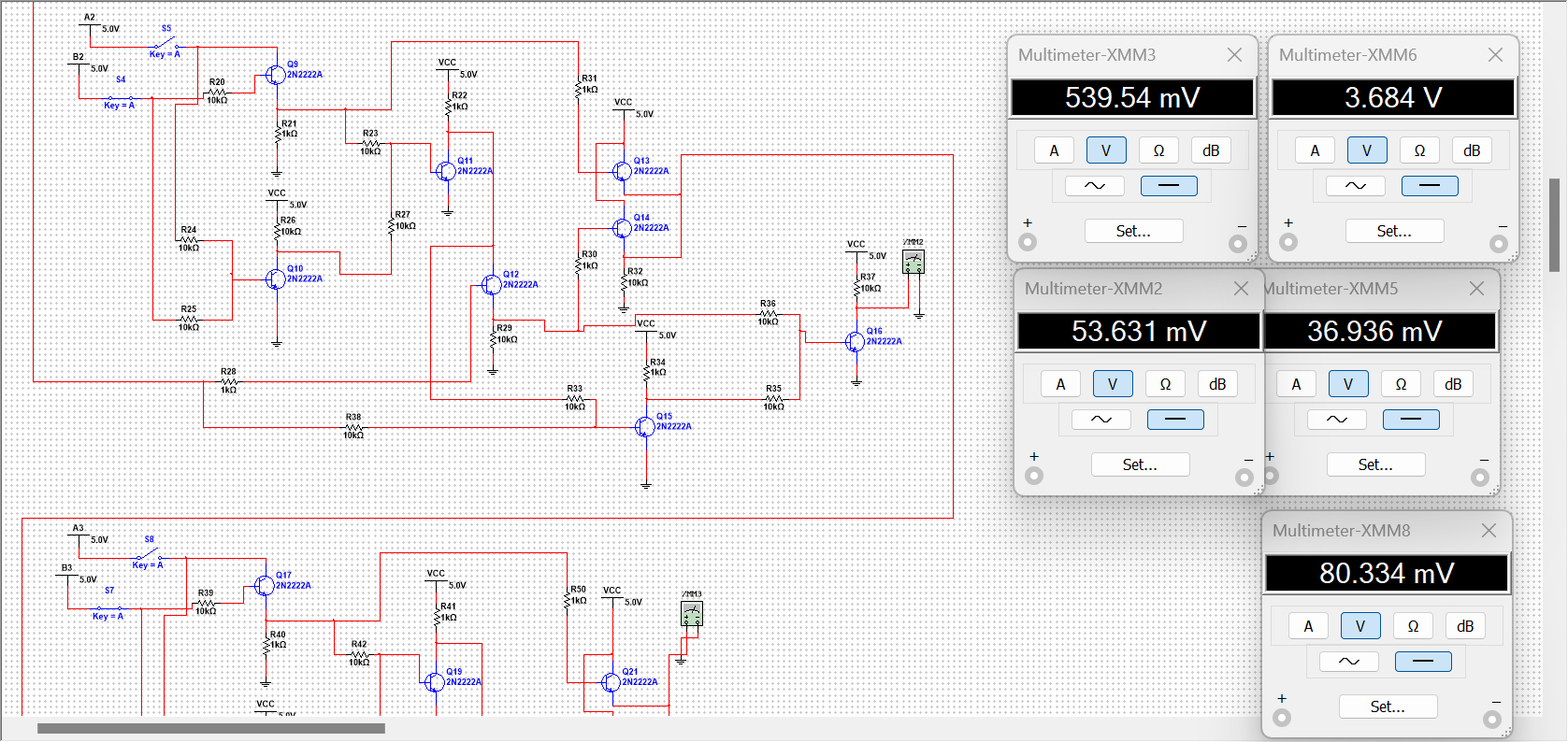


1. 在搭建或门的时候，我们发现了我们目前无法改变的一个问题，就是电路每经过一次或门（或者说一个层级），电路中的高电平都会产生一次压降，而此压降会随着通路中的或门累积而累加。虽然压降很小但这是极大的隐患。

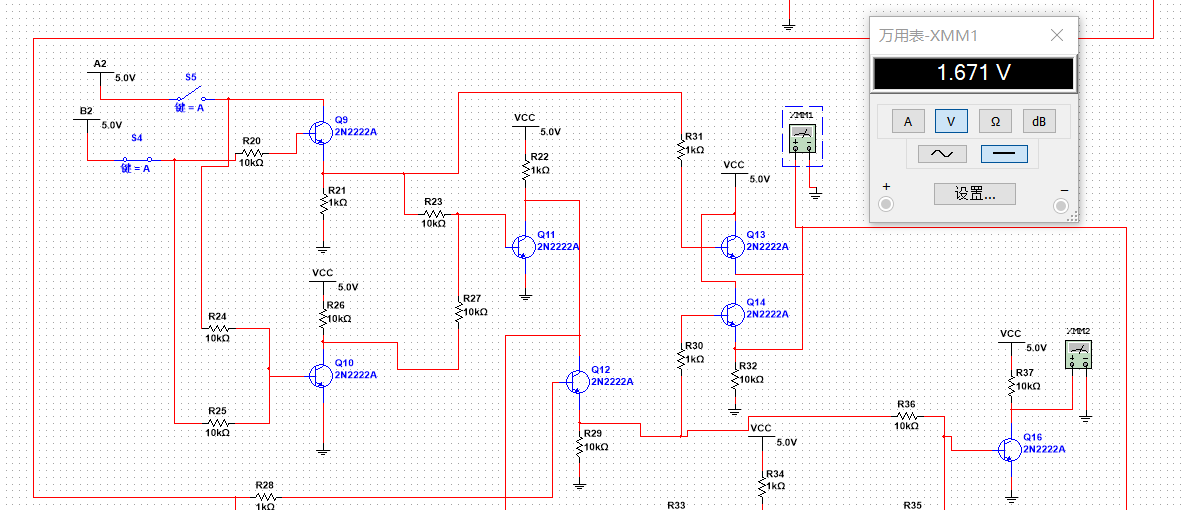
而在设计初期我们并没有特别关注此压降的问题。在对由此搭建成的4bit加法器进行测试时，我们发现了加法器在每一级进位时都会出现一定的压降，所以在连续进位的情况下高电平电压值可能会不太理想，甚至导致错误结果。

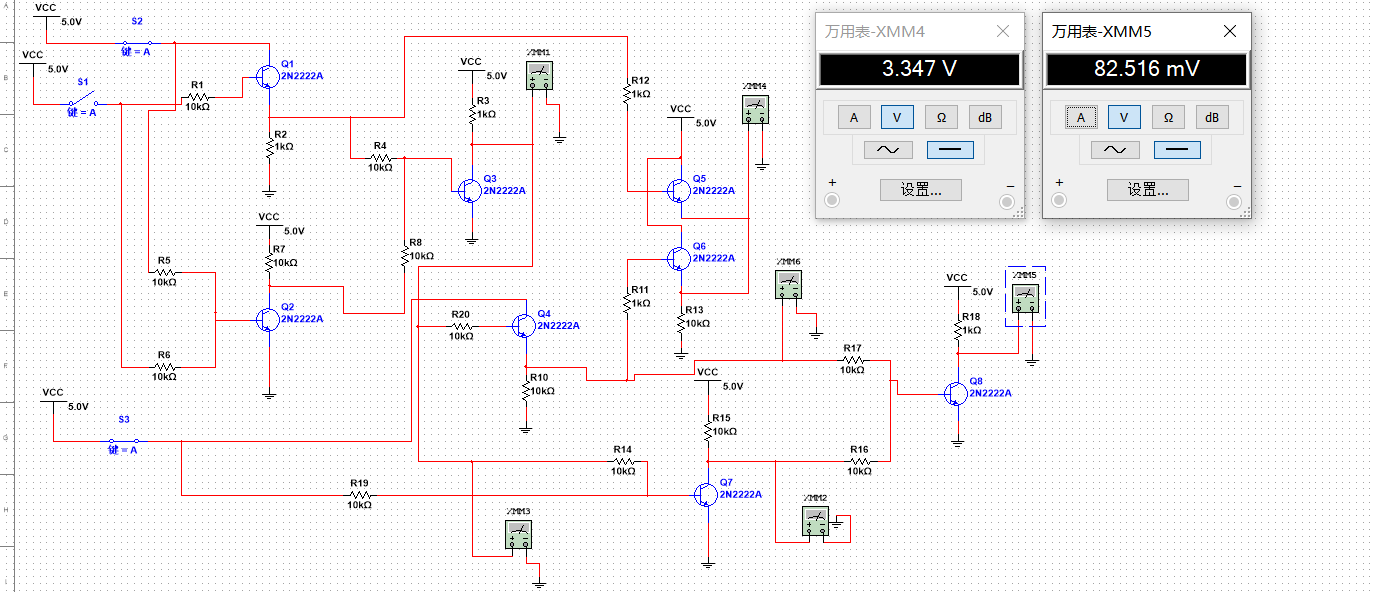
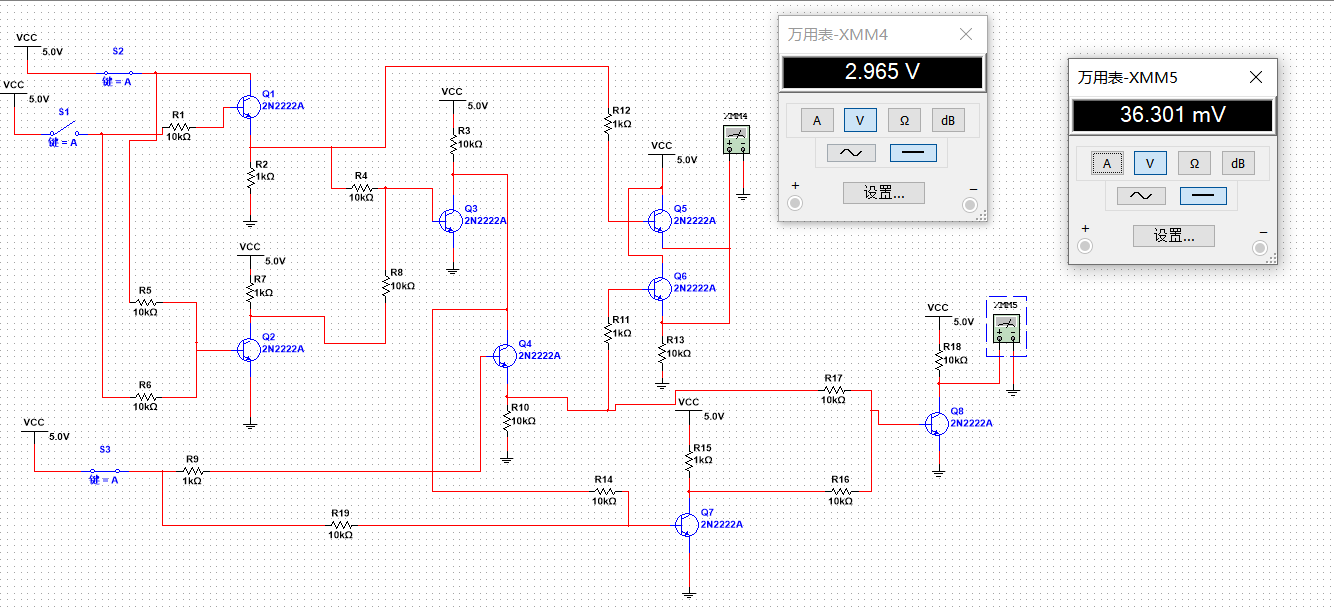
由图可以看到，图中为15（2’b1111）+1(2’b0001) = 16(2’b11111)，输出应为进位高电平，但是目前表示进位的XMM3电压只达到了0.5V，并不足以使发光二极管亮起。





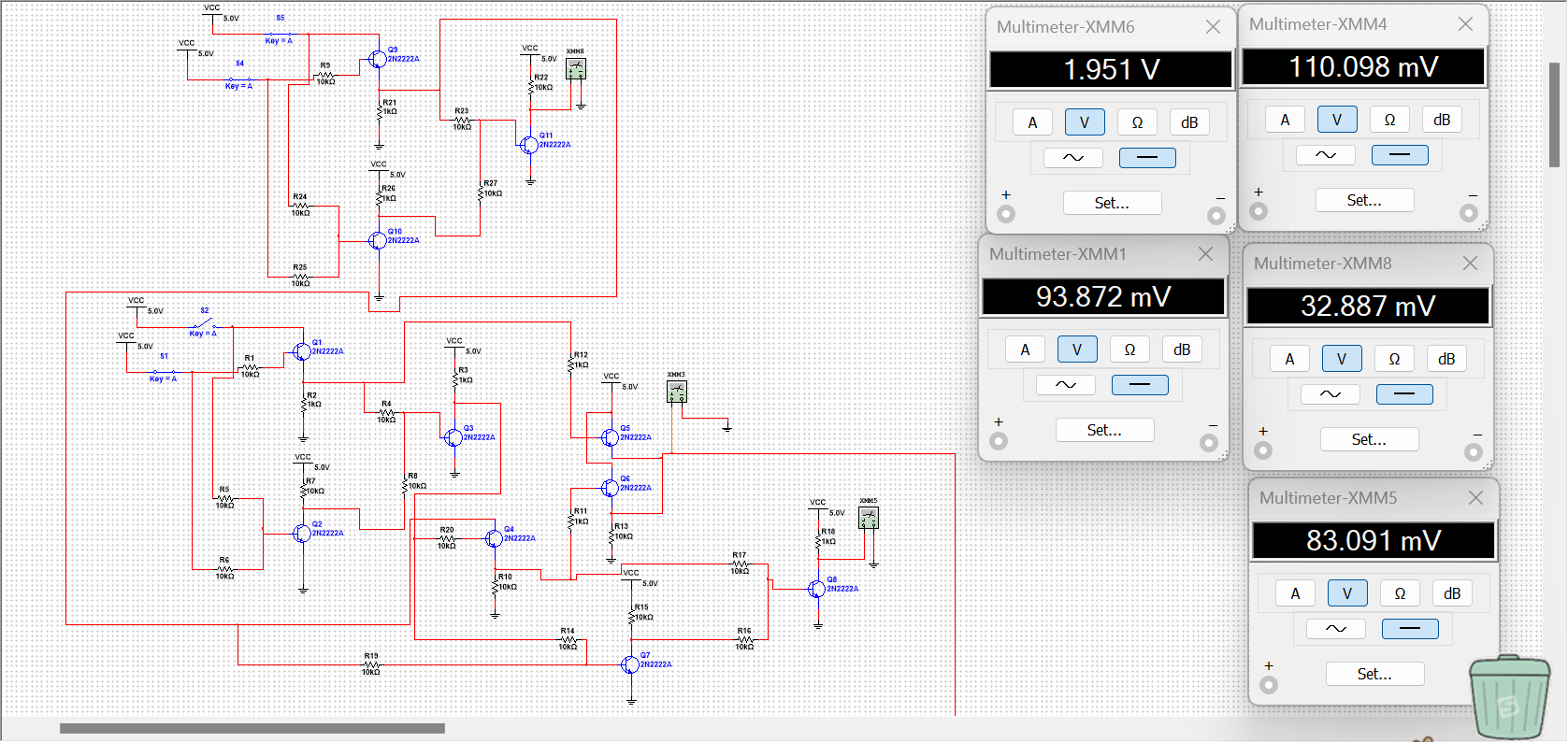
我们通过添加多个电压表分析出现这个情况的原因，经过试验我们发现，因为压降的问题，导致第三级的输出电压仅为1.67V，完全不支持下一级的高电压输入，从而导致了进位无效的问题，最终造成了总进位输出的低电压，测试结果如下图。

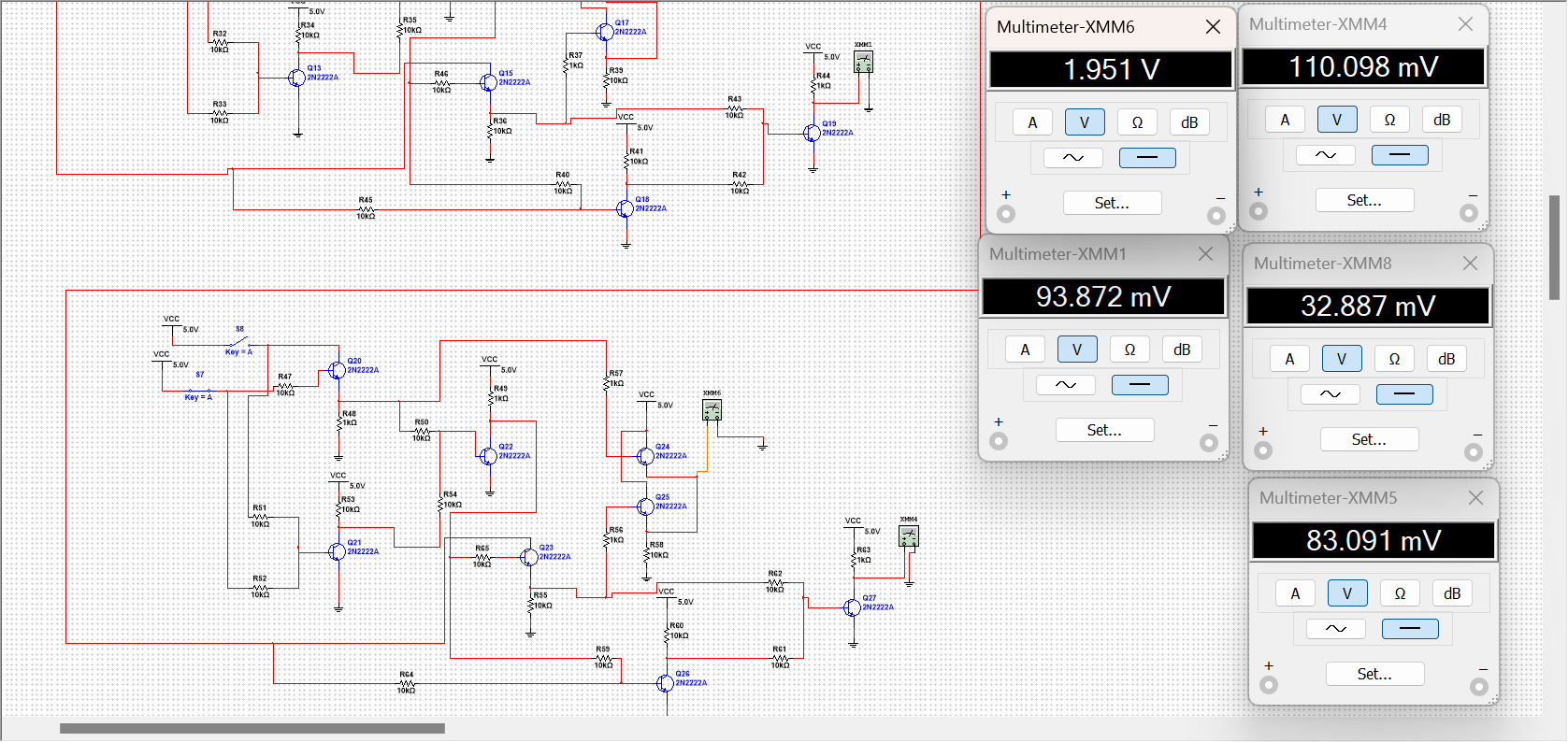


1. 考虑到这个问题，我们小组重新设计了一种1bit全加器来对其进行改进，尽量减少加法器进位时产生的压降（可能在一级实现的时候效果并不明显，但考虑到4bit加法器层级叠加后，作用就及其客观了）从而避免出现高位的发光二极管不亮的情况。新设计的4bit加法器全加器改进如下：

由上两图对比结果可知（上图为原始全加器，下图为改进后的全加器），在未改进前，当进位与任意一个输入均为1时，输出进位的电压只有2.97V，而在改进后，输出电位的电压来到了3.35V左右；虽然只是提升了0.4V左右，但在级联效果的影响下，这对最终的进位电压影响产生了质变的效果，这0.4V的提升保证了最终进位的正常输出。

可以有效证明解决了1 + 进位 = 进位时出现的压降的累积。改进后的4bit加法器为：

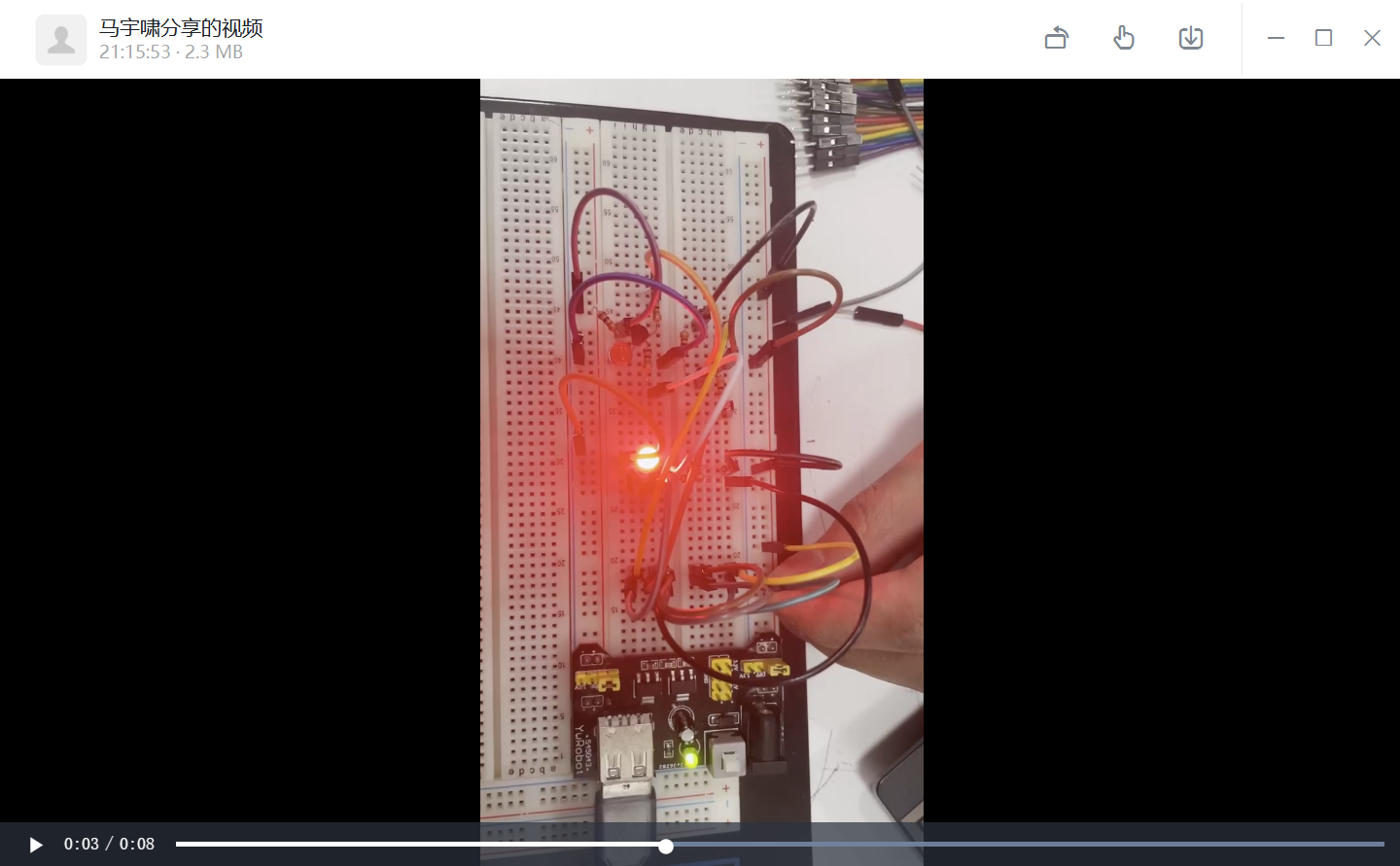




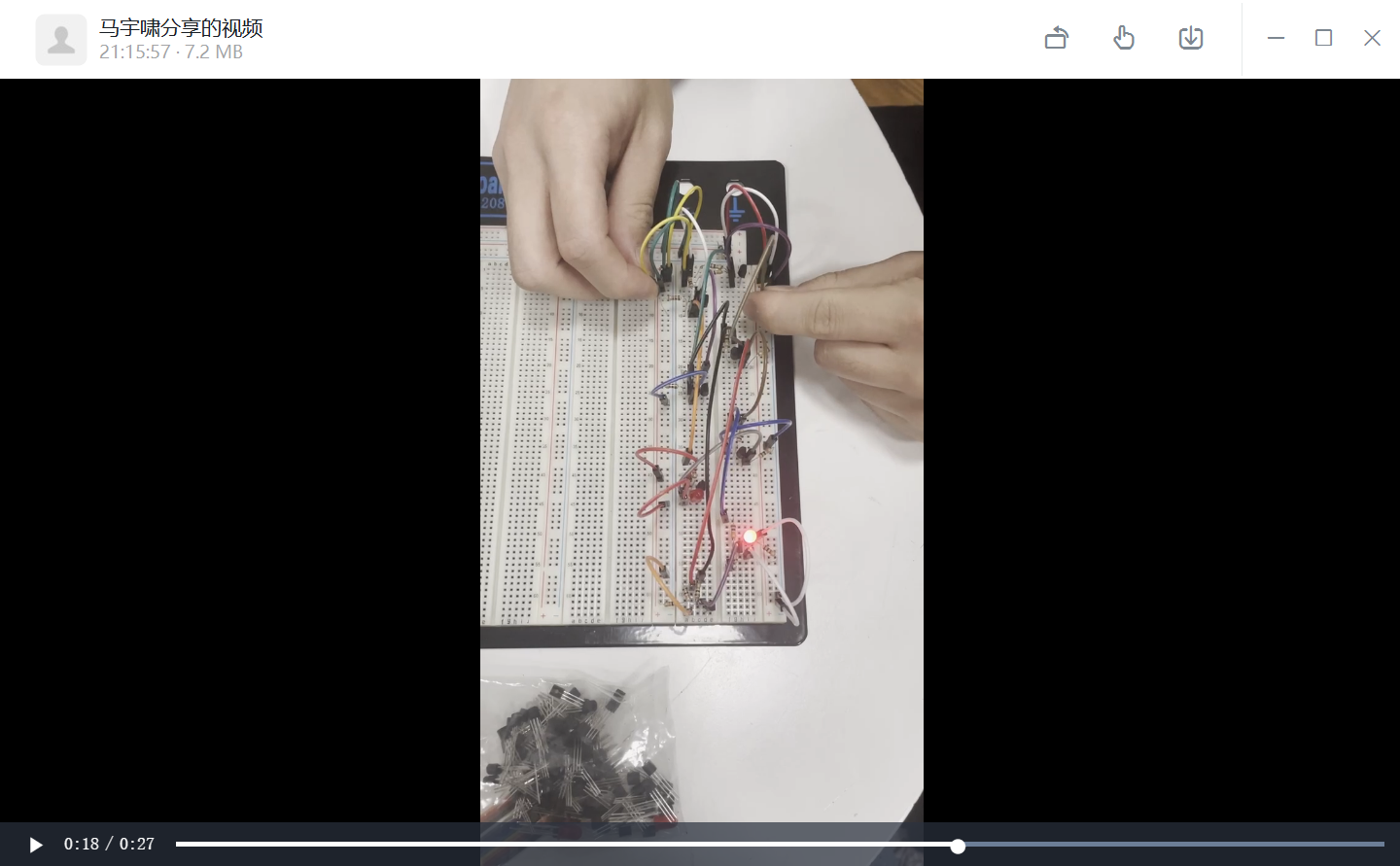
可以看到，最后一个进位电压在最多连续进位的情况下成功提高到了2V左右， 其已经可以达到使二极管正常发光的电压。

**4 结果和分析**

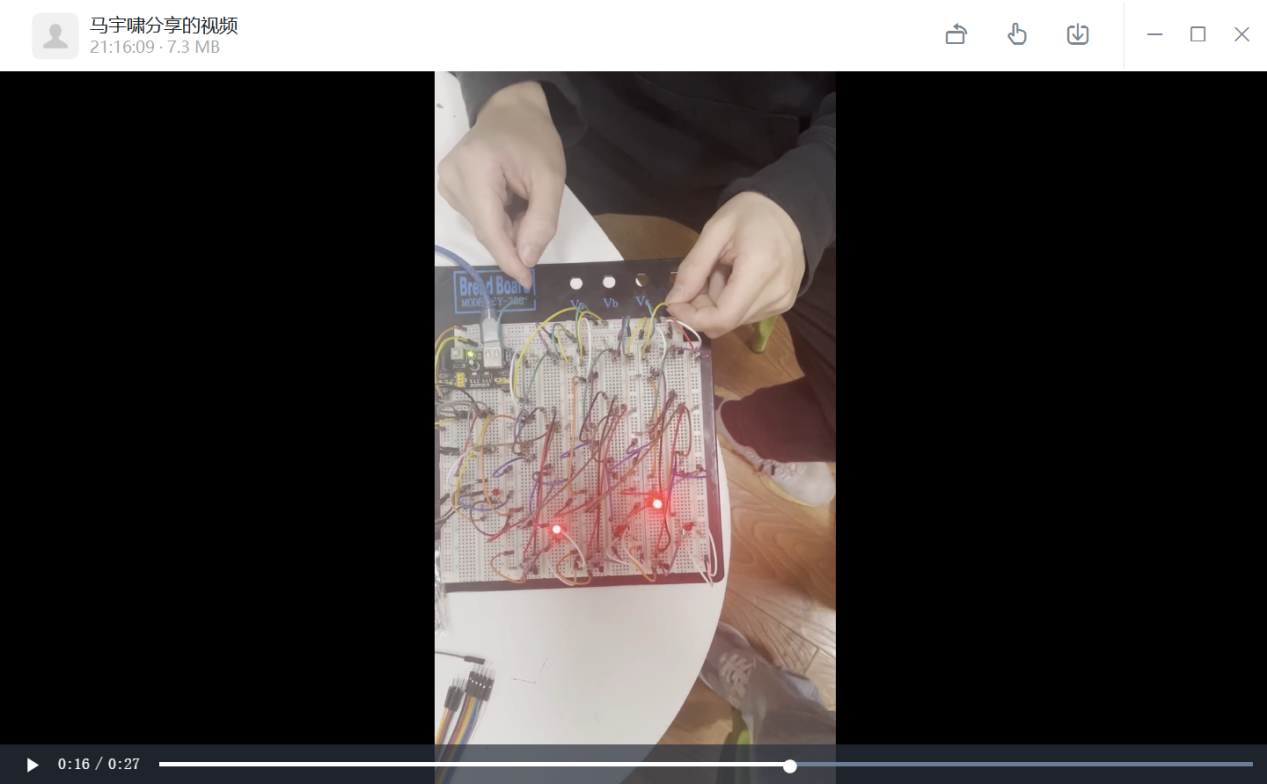
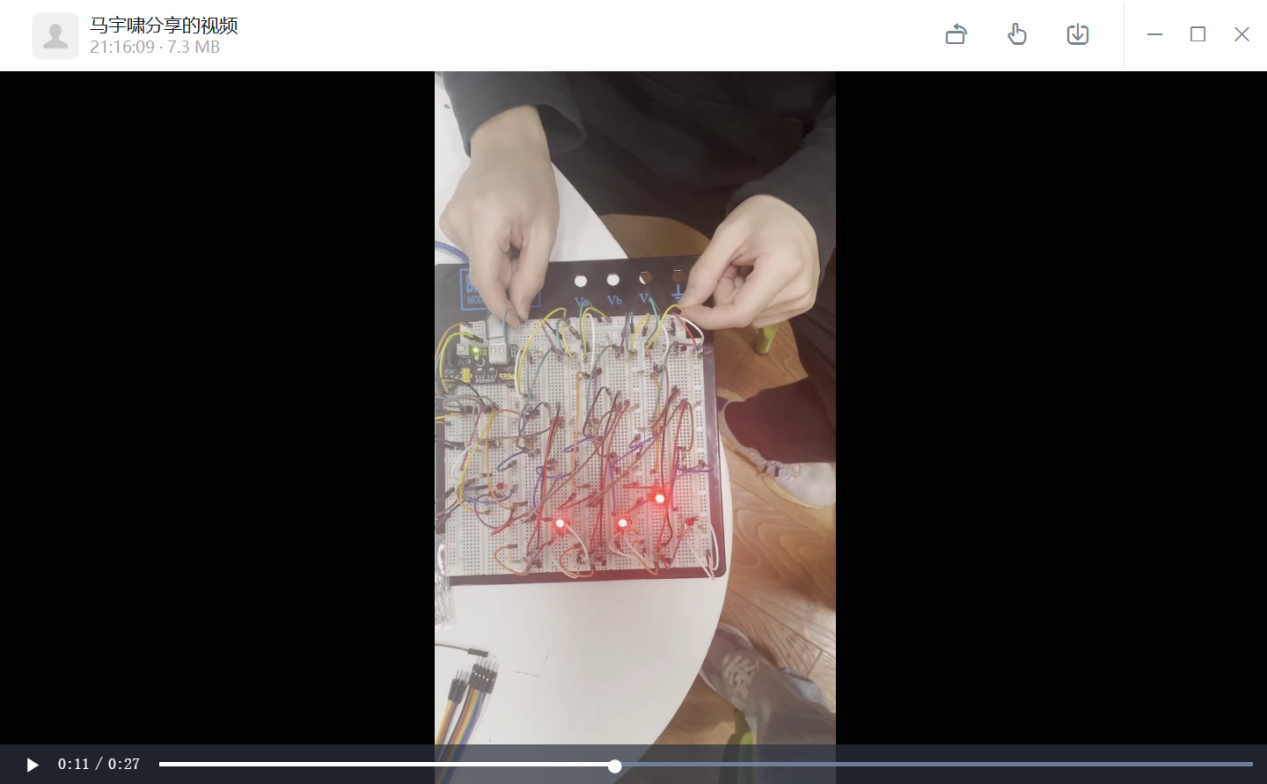
半加器测试：



1bit全加器测试：



4bit加法器搭建与测试（部分样例）：



P1输入为8(4’b1000)+ 14(4’b1110) = 22(5’b10110)，输出正确；P2输入为10(4’b1010) + 8(4’b1000) = 18(5’b10010)，输出亦正确。

**5 结论**

1.三极管有很好的电气性质，可以用于低高电压的条件导通，可以用于逻辑门的实现。

2.在不考虑复杂度的情况下，与或非三个逻辑门是逻辑完备的（虽然考虑功能简单的情况，只需要与非门或或非门），因而一些功能电路的实验，可以从与或非门的抽象层出发。

3.对于功能电路的设计，不能盲目进行，可以通过分析问题与条件，建立真值表，再通过卡诺图等方法简化，最后写出逻辑等价表达式，再进行电路的设计。

4.具体模块的物理实现前一定要采用仿真的方式验证，且不要因为情况过多就顺序部分验证；如果情况较少时，尽量采用全验证的方法；如果情况过多，则可以适当的采用全随机生成的验证组合验证。

5.电路设计应当实现模块化封装化以提升开发效率，在实践过程中出现问题（如逻辑不符、接触不良）时，应当寻求多种方法进行改进，对电路的每一部分分段进行测试。

1. **思考、经验与心得**

**思考：**

我们虽然只用了27个三极管，实现了4bit加法器的功能，看似是追平了历史记录；但我们小组依旧不满足于此，我们继续探究是否可以使用更少的三极管实现这一功能。

我们经过思考，发现或门的设计也可以在减少一个三极管，这样半加器可以节省一个，一个全加器同样可以节省两个，那我们只需要20个三极管就可以实现功能，这样的数量减少是极为显著的；但在探究的过程中，我们发现，只用一个三极管实现或门看似可行的理论基础之下，是不可行的现实复杂性；因为多条电路间的连通性，导致在实际仿真过程中，一些三极管的输出结果受到其他三极管输出结果的返向干扰，因而导致一些测试数据处于不高不低的尴尬电压；如果为了减少三极管的使用个数，付出正确性大幅下降的巨大代价，我们认为这是不合理的，因而我们最后否定了这种尝试，选择了27个三级管的实现结果。

**经验：**

经历了面包板的搭建，我们也总结了一些有用的经验，希望可以对后续的指导有所帮助。

首先是开关的设备问题；这个实验的开关真的有点小，而且在搭好电路后，上下拨动的操作十分不方便，可能会影响电路的接触，因而我们就采用直接将电线连接到vcc与ground的方法（可能算是不规范操作），但这样接与断的操作真的很匹配开关的风格。

另外，在搭建电路方面，我们采用了分而治之的思想；我们将面包板均分为四个小块，每一小块用以搭建三个全加器和一个半加器，这样的分块可以保证面包版的高利用率以及直观的搭建部署规划，同时不会因为非全局的筹划而导致面包板不够用的情况；且在每搭完一个半加器或者全加器后，我们都及时的进行单个模块功能的验证与级联验证，保证搭建过程的正确性；最后，我们在搭建三个全加器的时候，选择对相同的功能线使用相同的颜色，这可以在正确搭建一个全加器的基础上，更为方便的检查后续两个全加器搭建过程中可能产生的问题，这也极大的提升了我们的搭建效率。

**心得：**

在本次实验中，我们以小组合作分工的形式，充分利用时间和能力来使设计达到更好的效果，尽管我们本是素未谋面的同学，但是我们每个人都做好了自己能做的事，都努力使结果变得更好。从最开始的电路模拟仿真到面包板测试，在这过程中，我们受益匪浅。我们学会了用电表去检验哪里有错误，哪里需要改，也正是电表的作用才能找到最后灯泡不亮的原因，从而去固定电阻，阻隔引脚接触来消除bug。我们历经周折，从仿真结果不如人意，到能够在面包板上完成整个加法器的测试，最终获得了令人满意的结果。