Modelsim的使用方法

1. 建立工程
2. 首先打开Modelsim软件，会出现如图1所示界面。在建立工程前，在建立工程前，先建立一个工作库（library），一般将这个库命名为work。我们的project一般是在这个work下工作的，所以有必要先建立work。-（注：有些版本的Modelsim软件的library中可能有work，就不必自行建立了。）

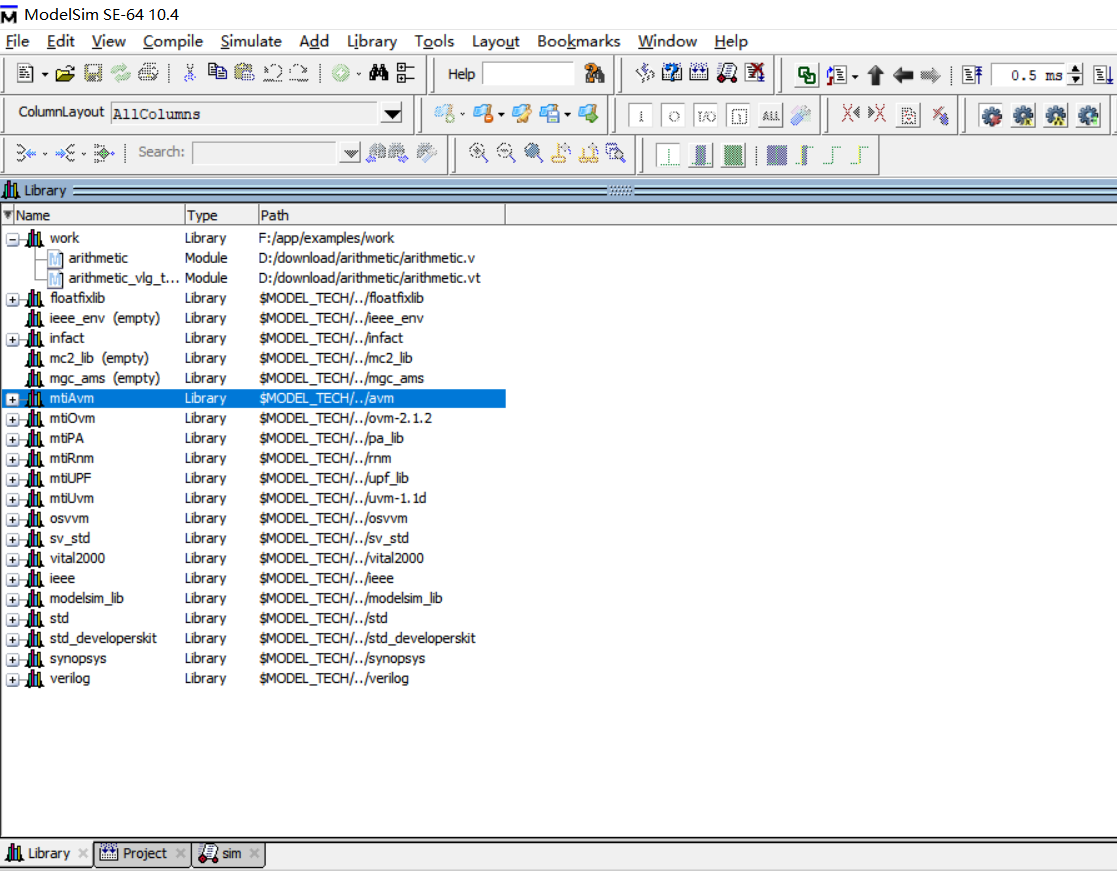


图1

若第一次打开软件时，并没有work库，可以自行建立库并映射，有两种方法可以来建立库并映射：  
方法一：在Modelsim中选择File->New->Library，在弹出的对话框中填入库名称，点击OK就完成了库的建立和映射。

方法二：在Modelsim提示符下运行命令：  
vlib work2

vmap work work2

1. 新建一个工程：File->new->project，如图2所示。

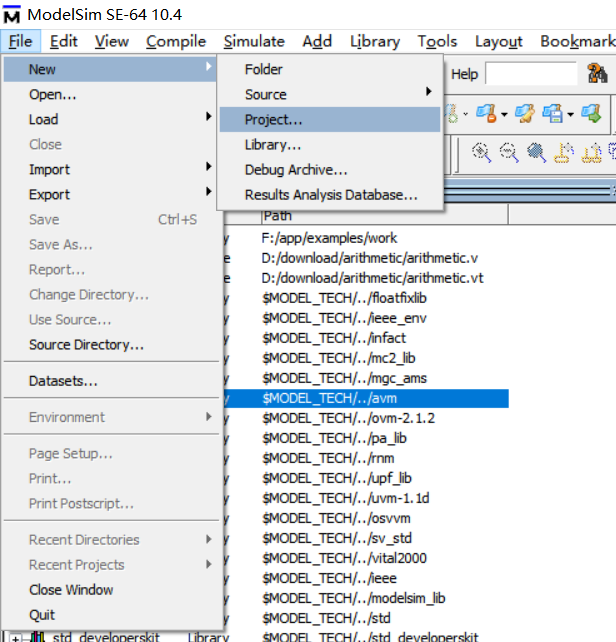


图2

1. 点击New->Project后，出现如图3所示界面

输入想要创建的工程名，选择工程的保存路径之后点击“OK”

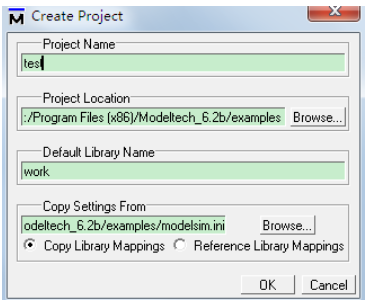


图3

1. 接下来新建文件，或者添加已经存在的文件，见图4

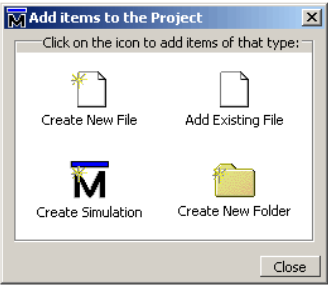


图4

1. 例如创建一个.v源文件，把类型选为Verilog然后对文件进行命名，文件创建好之后，双击文件进入文本编辑器，将源代码输入并保存，源代码shiftregist.v如下：

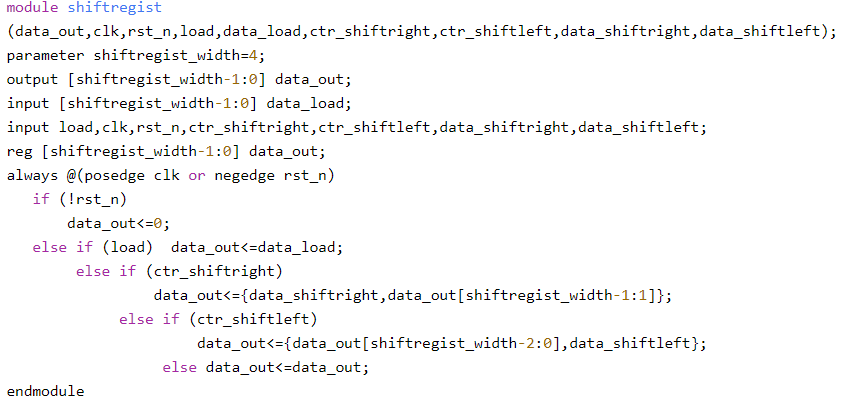


图5

1. 编译源代码

在Workplace窗口Project对话框中选中shiftregist.v，然后在主控Main窗口中选中Compile/Compile selected选项对源代码进行编译。编译成功后，transcript对话框中将报告“#Compile of shiftregist.v was successful”。如果当前工程中有多个.v文件，则可以选择Compile/Compile selected选项完成对源代码文件的批量编译，也可以一次选择多个文件进行编译。见图6

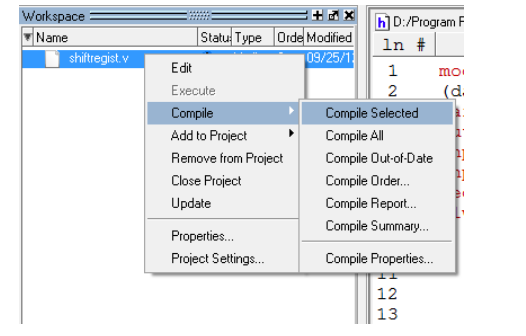


图6

1. 编译成功后会有绿色的“√”显示，之后就可以进行仿真，如图7所示

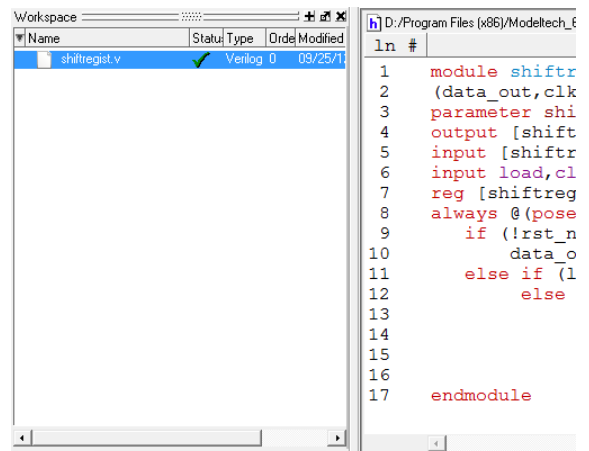


图7

1. 建立并添加测试文件

用Verilog HDL编写测试激励文件，然后进行仿真的操作。先输入测试激励文件，然后进行仿真的操作。先输入测试激励文件的源代码，并存盘；然后将该文件添加到当前的工程项目中，再对该文件进行编译，其操作过程与前面介绍的相同。带控制端的移位寄存器的测试激励源代码文件testbench\_shiftregist.v如下：

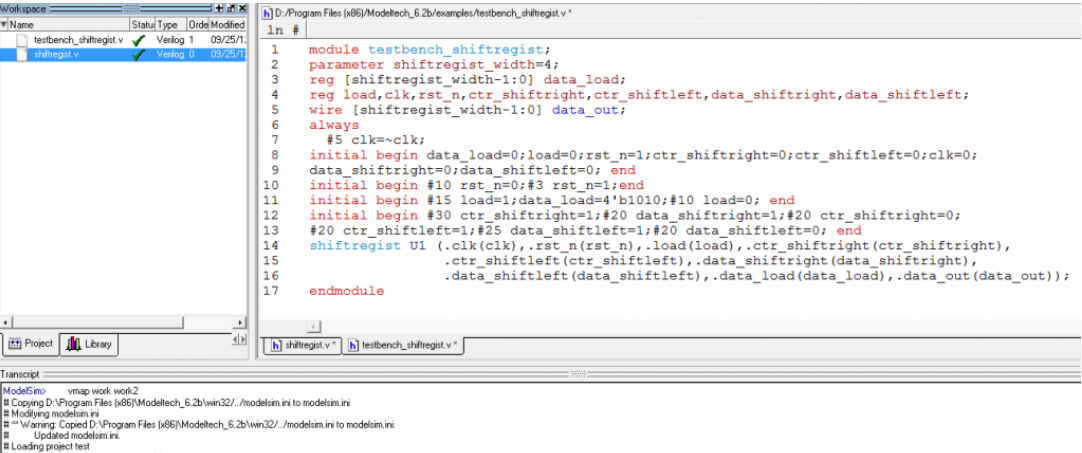


图8

1. 打开仿真器

在主控窗口中选择Simulate->Start Simulation命令，得到仿真设置对话框（注意：将当前工作库work前面的“+”点开，选择testbench\_shiftregist作为顶层文件进行仿真）。在Design选项卡相应的库名下选择testbench\_shiftregist模块，然后去掉Enable optimization的勾，再单击OK按钮，如图9

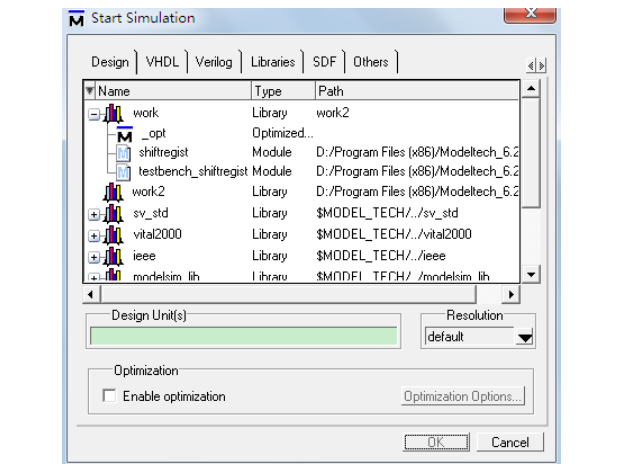


图9

1. 打开调试窗口

在Modelsim的Main窗口的View下面有各种全面反映用户设计模块的各个方面的特性与内容的窗口，非常便于用户管理和调试。用户对一个窗口的修改将会自动影响到相关窗口的变化，同时用户也可以方便地利用鼠标在窗口之间进行选择和拖放。

打开窗口的操作方法是：在主控Main窗口的View下拉菜单中，单击相应的窗口名即可。已打开的窗口名前有“√”符号提示，再次单击该窗口名将关闭相应窗口，前面的“√”符号也将消失。例如，选择View/Wave命令，将打开仿真波形窗口等。下图是一种简单的看波形的方法。

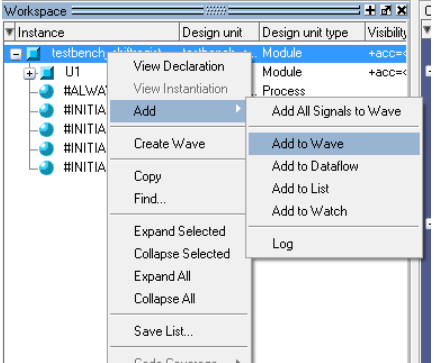


图10

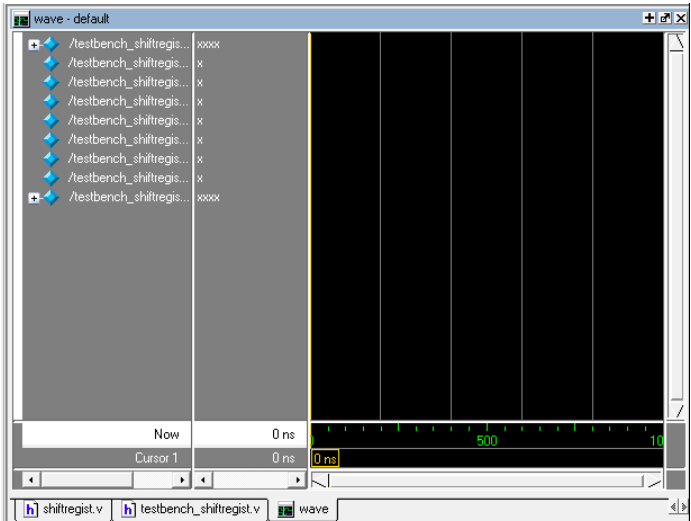


图11

1. 添加需要观察的信号

在Workplace窗口的sim对话框中单击需要观察的模块名，在Objects窗口中则会列出该模块的各个端口名及内部信号。可以单击选中其中一个需要观察的信号名，如果按住Ctrl键，则可以通过单击选中多个需要观察的信号名，然后在选择下拉菜单Add/Wave/Slected Instance命令打开Wave窗口，而且刚才被选中的信号已经被添加到Wave窗口中。

1. 运行仿真器

1）在主控Main窗口的下拉菜单Simulate选项下有控制仿真器运行的多个命令选项。点击Simulate/Run，仿真会运行100ns（默认的仿真长度）后停止。

2）在主窗口的VSIM>提示符下，输入“run 500”，仿真器会再进行另外500ns的仿真，共计仿真了600ns。

3）在主菜单、波形窗口或源代码窗口的工具条上，单击Run-all图标，仿真连续运行，直到被中断或在代码中遇到诸如Verilog HDL中的$stop语句等，暂停仿真。

4）单击break图标，终止仿真运行。

5）在主控Main窗口中，单击Simulate/End Simulation…选项，即可结束仿真。

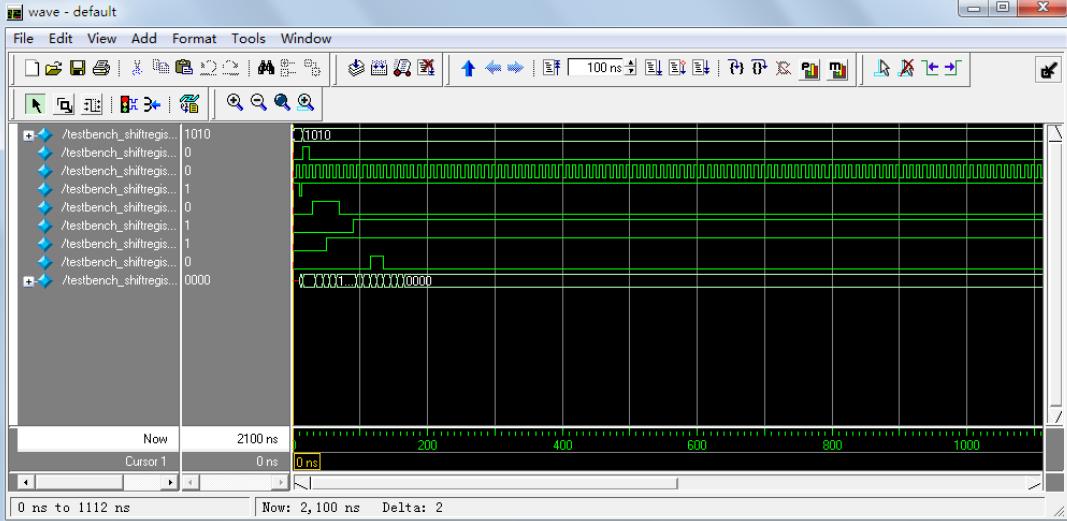


图12

1. 调试debug

Modelsim的调试手段有很多，主要包括：在代码中设置断点、步进调试；观察波形窗口（Wave），测量时间；通过数据流窗口（Dataflow），分析物理连接；通过Memory窗口，观察设计中存储器的数值；统计测试代码覆盖率；波形比较。

利用Wave窗口、Dataflow窗口和List窗口是常用的分析手段。

1. 使用波形窗口

观察设计波形是调试设计的一种方法，加载仿真后，就可以使用波形窗口了。可以用菜单view/wave打开波形窗口，下图是波形窗口打开之后的界面。在波形窗口中可以采用向波形窗口添加项目，对波形显示的图像缩放，在波形窗口中使用游标，设置断点，存储波形窗口格式，将当前的仿真结果存储到波形记录格式文件（WLF）中等手段进行调试。

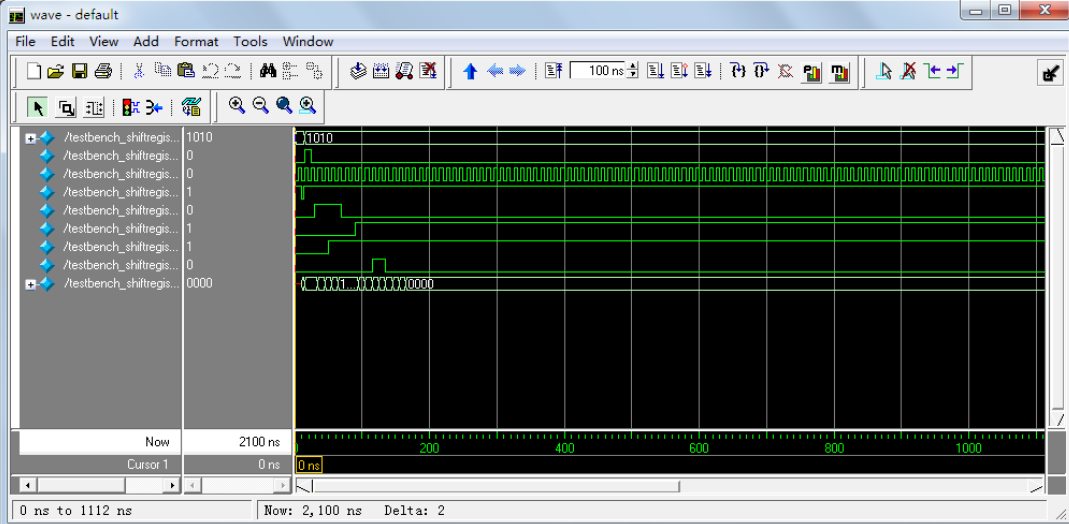


图13

Modelsim中保存波形文件大致有三种方法：  
Format文件：在波形窗口的主菜单中选择File/Save保存wave format，在新打开的窗口中填入DO文件的存储路径，单击OK完成文件存储。若需要加载该文件，在打开的波形窗口中选择“File Open Format”，在Open Format窗口中选择wave.do文件，单击open打开该文件。Modelsim将恢复该窗口的信号和游标的前一次状态。

WLF文件（Datasets）：Modelsim仿真结果也可以存储到一个波形格式记录文件中，用于以后浏览和与当前的仿真结果的比较。通常使用术语“Dataset”表示已创建并可重加载的WLF文件。可在主菜单中选择“File/Datasets/Save as”，在Save as对话框中输入要保存的波形文件名称，点击OK就完成了波形文件的保存。使用File/datasets/open，在弹出的Open Dataset对话框中在Browse中输入dataset的路径，即可打开以保存的波形文件。

VCD文件：VCD文件是一个IEEE1364标准(Verilog HDL语言标准)中定义的一种ASCII文件。它是一种EDA工具普遍支持的通用的波形信息记录文件。

1. 使用数据流窗口

Dataflow窗口能够对VHDL信号或者Verilog HDL的线网型变量进行图示化追踪，在界面中驱动信号或驱动线网变量的进程显示在左边，反之被驱动信号显示在右边。可以通过双击Wave窗口中需要追踪的信号打开Dataflow窗口。下图显示的是数据流窗口的界面。

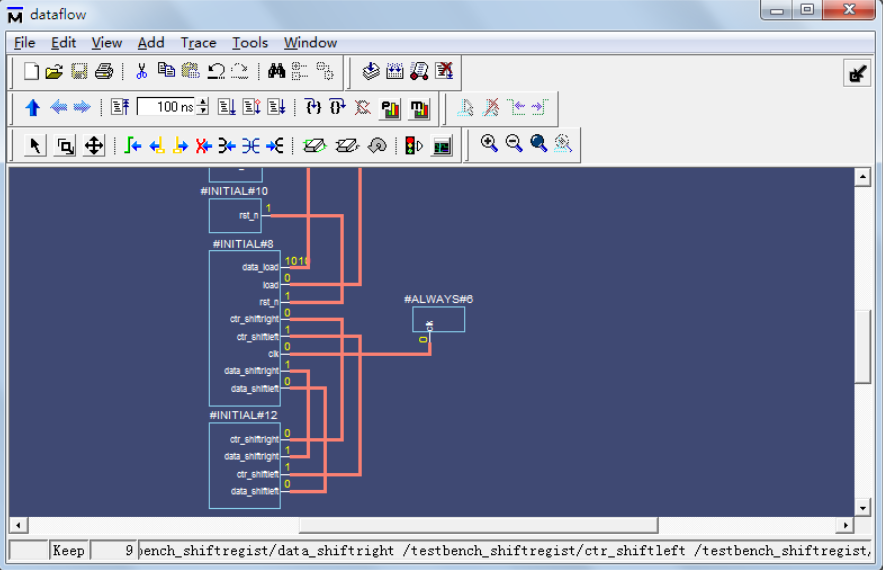


图14

数据流窗口有四个功能：  
1）观察设计的连续性，可以检查设计的物理连接性，可以逐个单元地观测所关注的信号，网络或寄存器的输入输出情况。

2）追踪事件：跟踪一个非预期输出的事件，使用嵌入波形观察器，可以由一个波形的跳变回溯追踪，查到事件源。

3）追踪未知态：在Dataflow窗口中使用Trace/ChaseX功能，会不断往驱动级追踪不定态传递的源头。当选择ChaseX时，图形界面不再变化时，就是不定态的源头了。可以根据数据流窗口的结果，去定位源代码产生不定态的语句，并加以修改。

1. 使用列表窗口

List窗口以表格化的方式显示数据，可以通过搜索特殊值或特定条件的数据，简化分析数据的过程，可以用view/list打开list窗口，在list窗口左边显示的是仿真时间点，右边显示每个时间对应的变量值。