

一、填空: (14 分)

1. 数制转换 $(DC)_{16} = (\underline{220})_{10} = (\underline{11011100})_2 = (\underline{334})_8$

2. 有一数码 10010011, 作为自然二进制数时, 它相当于十进制数 147, 作为 8421BCD 码时, 它相当于十进制数 93。

3. 已知某函数 $F = (\overline{B} + \overline{A} + C + \overline{D})(A + B + \overline{C}\overline{D})$, 则该函数的反函数和对偶函数

分别为 $\overline{F} = \overline{B} \cdot \overline{A} \cdot \overline{C} \cdot \overline{D} + \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}$, $F' = \overline{B} + \overline{A}\overline{C}\overline{D} + AB\overline{C} + \overline{D}$.

4. 某函数有 n 个变量, 则共有 2^n 个最小项。

5. 将一个最大幅值为 5.1 V 的模拟信号转换为数字信号, 要求模拟信号每变化 20 mV 能使数字信号最低位 LSB 发生变化, 则应选用 8 位 A/D 转换器。

6. 一个 1024×8 位的 ROM, 其存储容量为 8K。

7. 为构成 4096×4 片 RAM, 需要 16 片 1024×1 的 RAM。

8. 在 TTL 门电路的一个输入端与地之间接一个 $10k\Omega$ 电阻, 则相当于在该输入端输入 高 电平; 在 CMOS 门电路的输入端与地之间接一个 $10k\Omega$ 电阻, 相当于在该输入端输入 低 电平。

二、用代数法将下列函数化简为最简与或表达式。 (10 分)

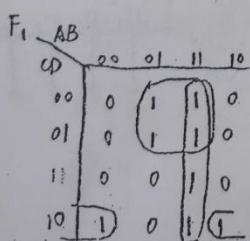
1. $F_1 = \overline{A} \cdot \overline{B} \cdot \overline{C} + A + B + C + \overline{A} \cdot \overline{B} \cdot C = A + B + C + \overline{A} \cdot \overline{B} \cdot \overline{C} = 1$

2. $F_2 = ABC\overline{D} + ABD + BCD + ABC + BD + B\overline{C} = B$

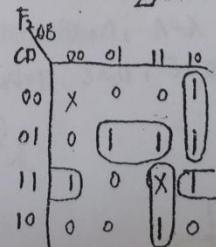
三、用卡诺图化简函数, 写出它们的最简与或表达式。 (10 分)

1. $F_1 = \overline{ABC} + ABC + \overline{BCD}$

2. $F_2(A, B, C, D) = \sum_m(3, 5, 8, 9, 11, 13, 14) + \sum_d(0, 15)$

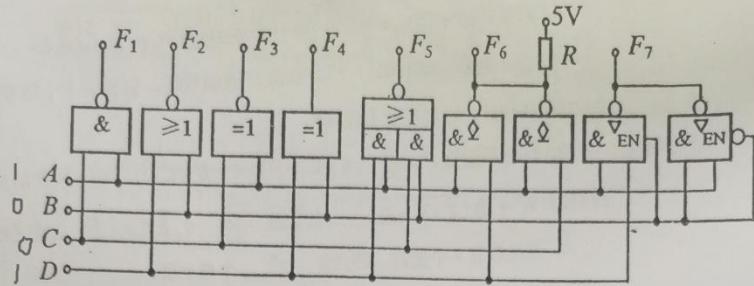


$F_1 = BC + AB + BCD$



$F_2 = BCD + BCD + ABC$

四、将图中电路各输出逻辑表达式填入表 1 栏中；各门电路的名称填入表 2 栏中；若 $ABCD = 1001$ ，将各输出值填入表 3 栏中。 (14 分)



	F_1	F_2	F_3	F_4	F_5	F_6	F_7
1	$\bar{A}C$	$\bar{B}+D$	$\bar{A}\oplus C$	$\bar{B}\oplus D$			
2	$\bar{A}\oplus B$						
3	1		-	-			

五、设计一组合逻辑电路， X 为控制输入， A 、 B 、 C 为输入， F 为输出。当 $X=0$ 时，

该电路完成意见一致功能（只有当 A 、 B 、 C 都相同时， $F=1$ ，否则为0）；当 $X=1$ 时，

该电路完成意见不一致功能。供选择的器件有：双四选一数据选择器 74LS153 ($D_0 - D_3$)

为数据输入端， Y 为数据输出端， A_1 、 A_0 为选择控制信号， ST 为使能端（低电平有效），

异或门和两输入端与非门。(12分)

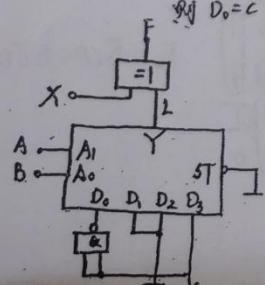
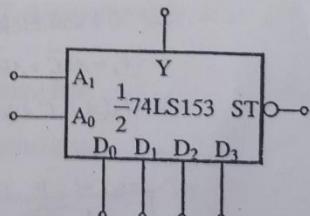
$$F = \overline{ABC}\bar{X} + ABC\bar{X} + \overline{AC}X + B\bar{C}X + ABX \\ = X \oplus (ABC + \bar{A} \cdot \bar{B} \cdot \bar{C})$$

用四选一实现

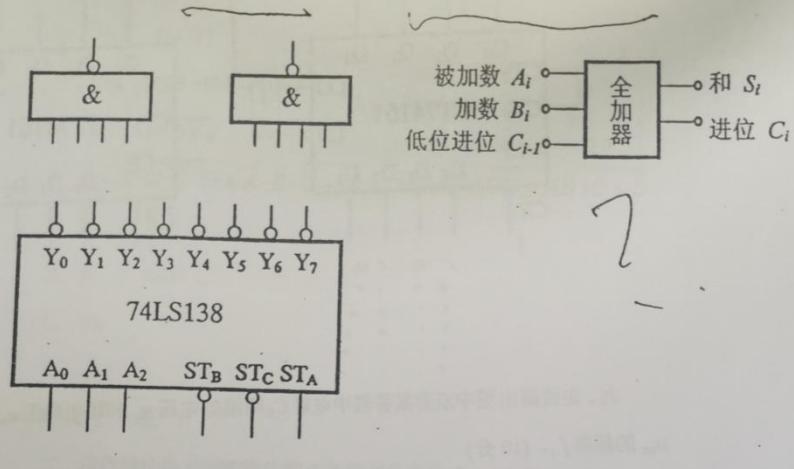
$$L = ABC + \bar{A} \cdot \bar{B} \cdot \bar{C}$$

若令 $A_1 = A$, $A_0 = B$,

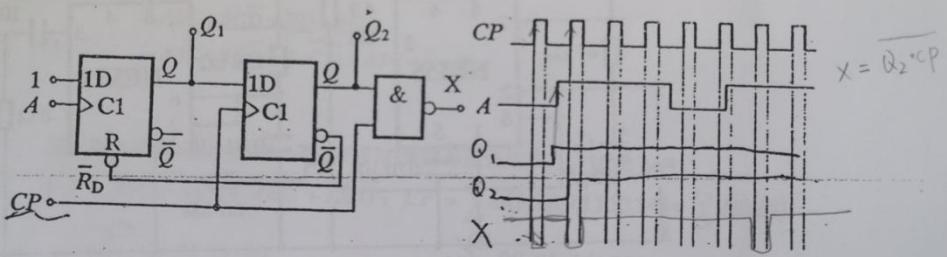
$$\text{且 } D_0 = \bar{C}, D_3 = C, D_1 = D_2 = 0$$



六、用一片 3 线-8 线译码器 74LS138 和两个四输入与非门构成一位全加器。(10 分)



七、试画出图中电路在时钟脉冲 CP、输入信号 A 作用下, Q₁、Q₂ 和 X 的输出波形, 并说明电路的逻辑功能。设触发器的初始状态均为 0。(10 分)



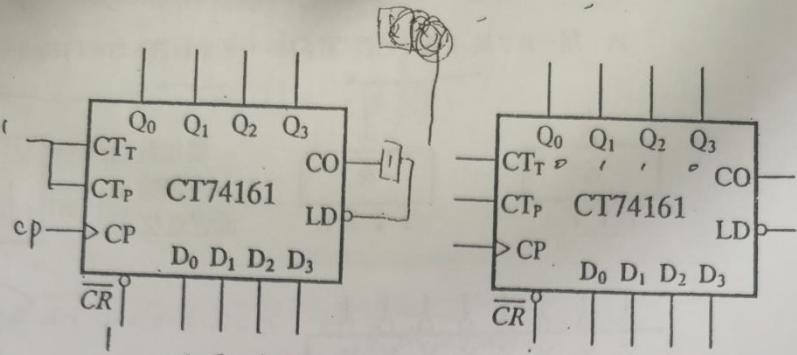
八、已知四位同步二进制加法计数器 CT74161 的符号如图所示。其中 \overline{CR} 是异步清零控制端, \overline{LD} 是同步预置数控制端, CT_p 、 CT_t 是计数允许控制端 (高电平有效), CO 是进位输出端。

1. 利用同步预置端 \overline{LD} 构成一个六进制加法计数器。

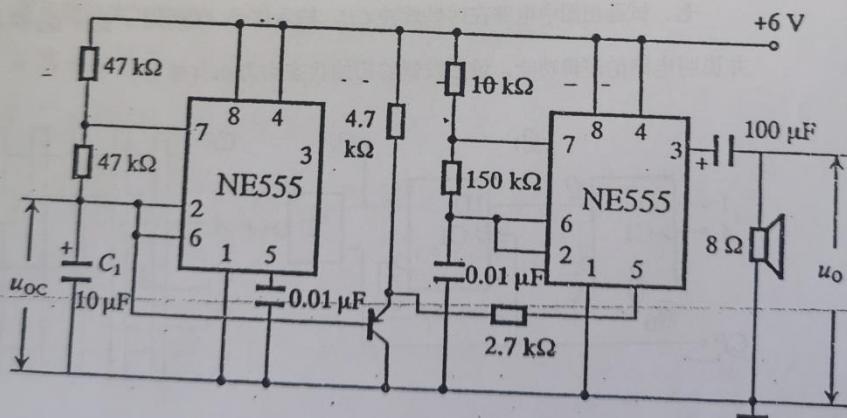
(12 分)

2. 利用异步清零端 \overline{CR} 构成一个十进制加法计数器。

\overline{LD} 为
异步
 $10 - 1 = 9_{10} = (100)_2$
 $10 = (1010)_2$



九、定性画出图中双音报警器中电容 C_1 两端的电压 u_{oc} 和输出电压 u_o 的波形，并计算 u_{oc} 的频率 f_{10} 。 (10 分)



四、(14分)

解：

	F_1	F_2	F_3	F_4	F_5	F_6	F_7
1	\overline{AC}	$\overline{B+D}$	$\overline{A \oplus C}$	$B \oplus D$	$\overline{AD+BC}$	$\overline{AD+AC}$	$\overline{AD} \cdot B + \overline{B}$
2	与非	或非	同或	异或	与或非	OC 门	三态门
3	1	0	0	1	0	0	1

五、(12分)

解：按题意

$$F = \overline{X} \left(ABC + \overline{A} \cdot \overline{B} \cdot \overline{C} \right) + X \cdot \overline{ABC + \overline{A} \cdot \overline{B} \cdot \overline{C}}$$

$$= X \oplus \left(ABC + \overline{A} \cdot \overline{B} \cdot \overline{C} \right)$$

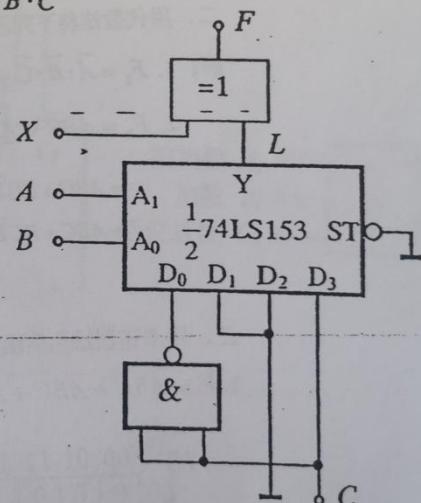
用四选一数据选择器实现函数

$$L = ABC + \overline{A} \cdot \overline{B} \cdot \overline{C}$$

若令 $A_1 = A$, $A_0 = B$,

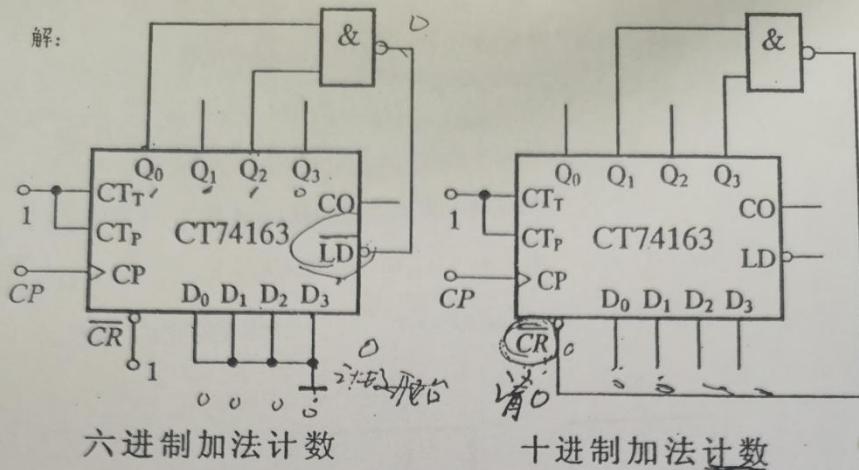
则 $D_0 = \overline{C}$, $D_3 = C$, $D_1 = D_2 = 0$.

电路如图所示。



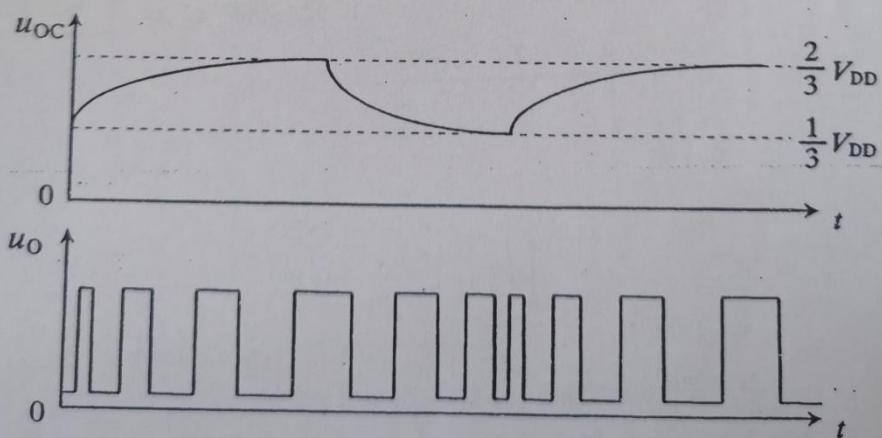
八、(10分)

解:



九、(10分)解: 根据公式可得 $f = \frac{1.443}{[(R_1 + 2R_2)C_1]} = 1.023\text{Hz}$

输出波形如图所示



试卷一(答案)

一、填空: (14分)

1. 220 , 1101 1100 , 334 .
2. 147 , 93 .
3. $\overline{F} = B \cdot \overline{A} \cdot \overline{C} \cdot D + \overline{A} \cdot \overline{B} \cdot \overline{C} + \overline{D}$, $F' = \overline{B} \cdot \overline{ACD} + AB \cdot \overline{C + D}$
4. 2^n
5. 8 , A/D .
6. 8 k
7. 8
8. 高 ; 低 .

二、用代数法将下列函数化简为最简与或表达式。(10分)

解: 1. $F_1 = \overline{A} \cdot \overline{B} \cdot \overline{C} + \overline{A} \cdot \overline{B} \cdot \overline{C} + \overline{A} \cdot \overline{B} C = 1$

$$\begin{aligned} 2. F_2 &= ABC + \underline{ABD} + BCD + \underline{BD} + B\overline{C} \\ &= ABC + BCD + \underline{BD} + \underline{B\overline{C}} \\ &= ABC + BCD + B \cdot \overline{CD} = ABC + B = B \end{aligned}$$

三、用卡诺图化简函数, 写出它们的最简与或表达式。(10分)

1. $F = \overline{ABC} + \overline{ABC} + ABC + BCD$; 2. $F = \sum m(3,5,8,9,11,13,14) + \sum d(0,15)$

		CD	00	01	11	10
		AB	00	01	00	1
00	01	00	0	0	0	1
		01	1	1	0	0
11	10	11	1	1	1	1
		10	0	0	0	1

		CD	00	01	11	10
		AB	00	X	0	1
00	01	00	0	1	0	0
		01	0	1	0	0
11	10	11	0	1	X	1
		10	1	1	1	0

解: 1. $F = \overline{BC} + AB + \overline{BCD}$

2. $F = \overline{BCD} + B\overline{CD} + ABC + A\overline{BC}$

六、(10分)

解：按题意列全加器真值表（略），由真值表可得

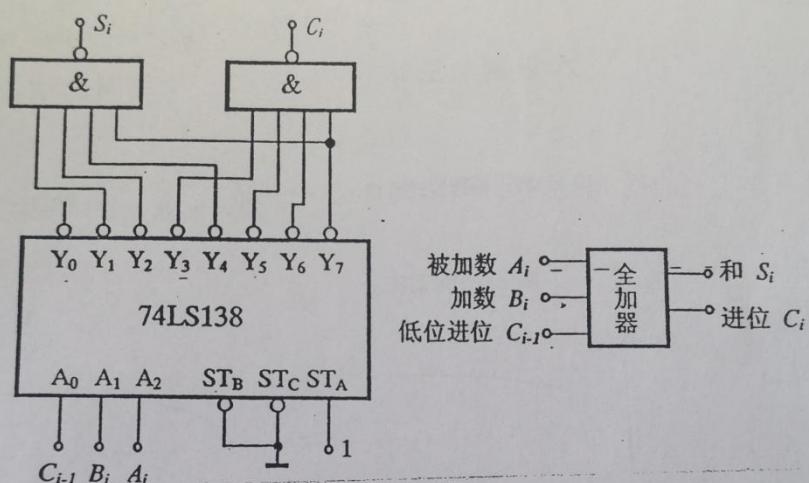
$$S_i = \overline{A_i} \overline{B_i} C_{i-1} + \overline{A_i} B_i \overline{C}_{i-1} + A_i \overline{B_i} \overline{C}_{i-1} + A_i B_i C_{i-1}$$

$$C_{i-1} = \overline{A_i} B_i C_{i-1} + A_i \overline{B_i} C_{i-1} + A_i B_i \overline{C}_{i-1} + A_i B_i C_{i-1}$$

令 $A_2 = A_i$ (被加数), $A_1 = B_i$ (加数), $A_0 = C_{i-1}$ (低位进位), 则

$$S_i = \overline{A_2} \overline{A_1} A_0 + \overline{A_2} A_1 \overline{A_0} + A_2 \overline{A_1} \overline{A_0} + A_2 A_1 A_0 = Y_1 + Y_2 + Y_4 + Y_7 = \overline{\overline{Y}_1 \overline{Y}_2 \overline{Y}_4 \overline{Y}_7}$$

同理可得 $C_i = \overline{\overline{Y}_3 \overline{Y}_5 \overline{Y}_6 \overline{Y}_7}$ 全加器逻辑图如下图所示。

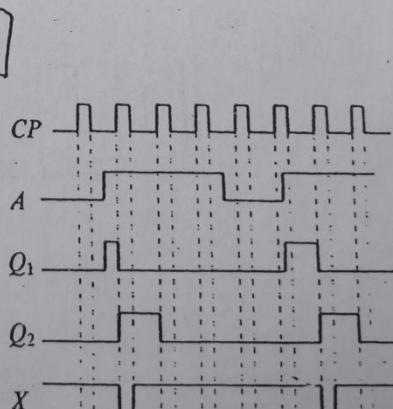


七、(10分)

解：图中所示电路是一个同步单次脉冲发生

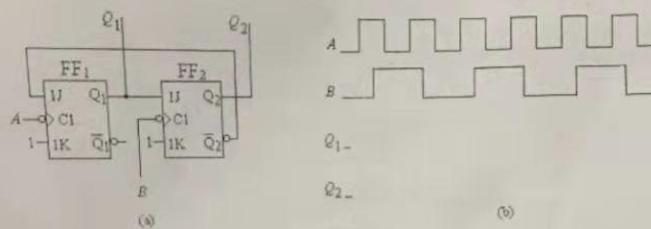
电路，波形如右图所示。

在输入信号 A 上升沿后产生一个与 CP 脉冲同步、且宽度等于 CP 脉冲宽度的时钟单脉冲。



六、(8分)

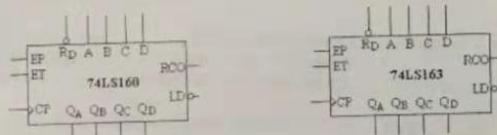
异步时序逻辑电路如图(a)所示，试画出该电路在下图(b)中A、B作用下各触发器输出端 Q_1 、 Q_2 的波形。设初始状态 $Q_1Q_2=00$ 。



七、(12分)

已知74LS160是异步清零、同步置数4位BCD加计数器(逻辑符号如下图示)。74LS163是同步清零、同步置数4位二进制加计数器(逻辑符号如下图示)。
R_D是清零端，LD是置数端，EP、ET是使能端，Q_A、Q_B、Q_C、Q_D是计数输出端(Q_D为高位)，D、C、B、A是预置数据输入端(D为高位)，RCO是进位输出， $RCO = EPQ_0Q_3 \times 160$ ， $RCO = ETQ_0Q_1Q_2Q_3 \times 163$ 。

试用一片74LS160和一片74LS163及最少的与非门，采用反馈置数法，构成用于时钟分、秒计数的同步60进制计数器(个位逢十进一)。



八、(12分)

某同步时序逻辑电路的编码状态如下图所示，试用JK触发器设计此电路，写出最简的激励方程组(不要求画逻辑电路图)。

