

# COD lab4 report

牛庆源 PB21111733

## 1. 实验目的与内容

- 深化对RISC-V指令集的理解
- 理解单周期CPU的结构和工作原理
- 熟练掌握单周期CPU数据通路和控制器的设计和描述方法
- 理解单周期CPU的调试方法

## 2. 实验平台

- vscode
- vivado
- fpgaol

## 3. 实验过程

### 3.1 设计单周期CPU数据通路

- 要求完善单周期CPU的各个模块

#### 1. PC寄存器

在clk作用下：rst时  $pc\_cur \leftarrow 32'h3000$ ；其他时候  $pc\_cur \leftarrow pc\_next$ 。  
同时完成了一个作用为  $PC+4$  的模块 `ADD_PC`

#### 2. 寄存器堆RF

使用文档中给出的语句初始化，其他与lab2中相同。

#### 3. 算术逻辑单元ALU

去掉溢出位的处理，其他不变，为方便接入Ctrl模块，各个运算模式可以用 `parameter` 进行命名。

#### 4. IMM生成器

参考文档中给出的各类型指令立即数的组成，分为I, *Ishamt* (选做1), B, S, U, J型指令使用 `case` 语句分别生成。立即数为有符号数。

#### 1. 指令存储器IM和数据存储器DM

均为  $256 \times 32$  位，使用vivado中的ip核即可创建。对于指令存储器，每次测试分别录入 `fls.coe`, `test.coe`, `test_others.coe`

#### 6. MEM模块

生成的ip核例化在这个模块内，注意两个模块的端口a均为 `addr[9:2]`

## 7. 控制器Control

该模块通过指令存储器的指令 inst，通过一个很大的选择器（根据指令集不同指令的操作码格式选择），生成 jal 等控制信号。（选做1, 2, 3, 4, 5）

## 8. 分支模块Branch

对CTRL生成的 br\_type，case出不同的跳转指令，比较两个寄存器内容大小，产生br信号。（选做4）

## 9. 选择器模块sel

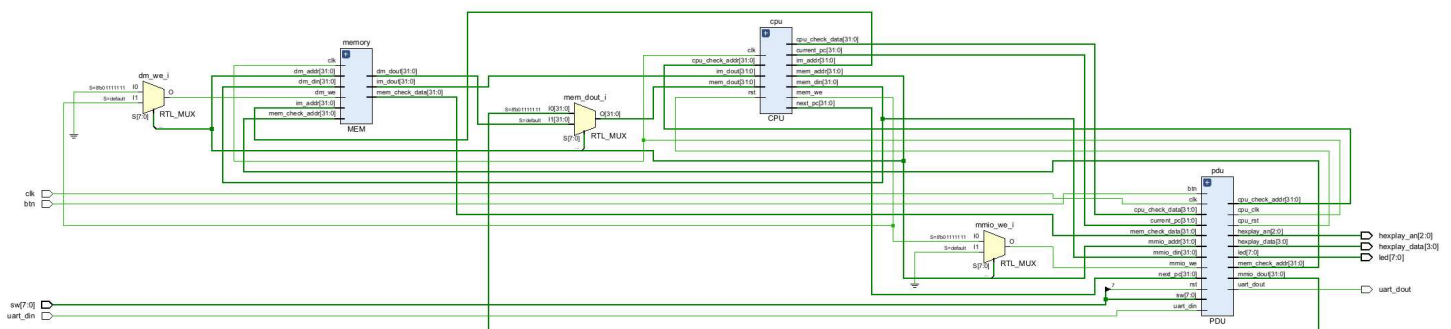
完成了四个sel模块：ALU的op1和op2的sel，PC的sel以及寄存器堆写回时的sel。具体实现为：通过CTRL模块对不同类型指令的分类以及对各个控制信号的赋值，在四个sel模块中分别对应即可。（选做1, 2, 3, 4, 5）

## 10. AND\_jalr

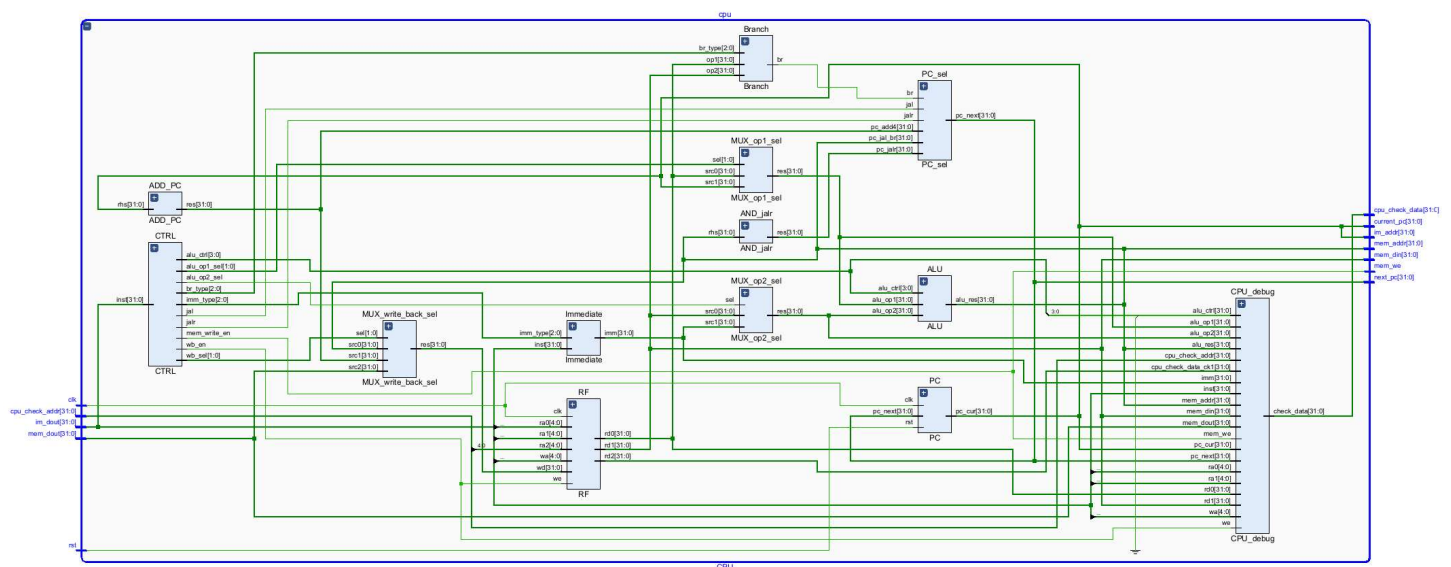
（根据数据通路补充的模块）作用是jalr指令计算出的结果末位清0

### • RTL电路如下：

#### • top:



#### • CPU:



## 3.2 测试Lab3必做生成的fls.coe

- 使用该coe文件初始化Inst\_mem，fpga烧写结果如下：

1. run; 之后使用 sw7 初始化, 再 ck2 00; , 可以看到0x2000地址存放结果为1

### FPGA interface

led7 led6 led5 led4 led3 led2 led1 led0

G18 F18 E17 D17 G17 E18 D18 C17

FPGA  
XC7A100t-CSG324-1

H16 G13 F13 E16 H14 G16 F16 D14

sw7 sw6 sw5 sw4 sw3 sw2 sw1 sw0

uart show>

```
FPGAOL UART xterm.js 1.1
Check address is:0x00002000
Check address is:0x00002000
Check address is:0x00002001
Check address is:0x00002002
Check address is:0x00002003
Check address is:0x00002000
```

uart pins: cts rts rxd txd  
xdc sym: D3 E5 D4 C4  
baud rate: 115200

ck2 00;

input

segplay(sharing with led) hexplay

segplay pin: dot seg\_g seg\_f seg\_e seg\_d seg\_c seg\_b seg\_a  
xdc,ucf sym: G18 F18 E17 D17 G17 E18 D18 C17  
hexplay pin: an2 an1 an0 d3 d2 d1 d0  
xdc,ucf sym: A18 B16 B17 A15 A16 A13 A14

soft clock

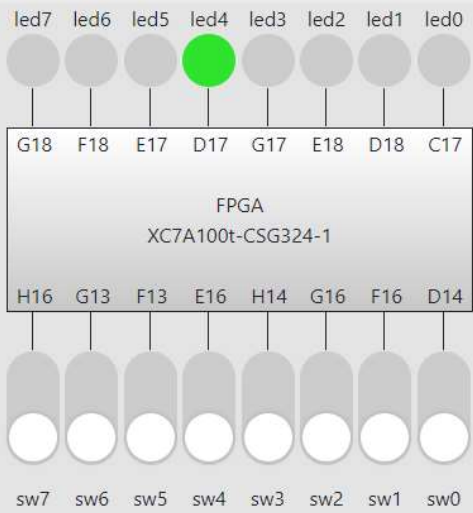
button

None

clk btn pins: clk\_btn  
xdc,ucf sym: B18

2. add; 可以看到0x2001地址存放结果为1

## FPGA interface



uart show>

```
FPGAOL UART xterm.js 1.1
Check address is:0x00002000
Check address is:0x00002000
Check address is:0x00002001
Check address is:0x00002002
Check address is:0x00002003
Check address is:0x00002000
Check address is:0x00002001
```

uart pins: cts rts rxd txd  
xdc sym: D3 E5 D4 C4  
baud rate: 115200

add:

input

segplay(sharing with led) hexplay



segplay pin:	dot	seg_g	seg_f	seg_e	seg_d	seg_c	seg_b	seg_a
xdc,ucf sym:	G18	F18	E17	D17	G17	E18	D18	C17
hexplay pin:	an2	an1	an0	d3	d2	d1	d0	
xdc,ucf sym:	A18	B16	B17	A15	A16	A13	A14	

soft clock

None ▾

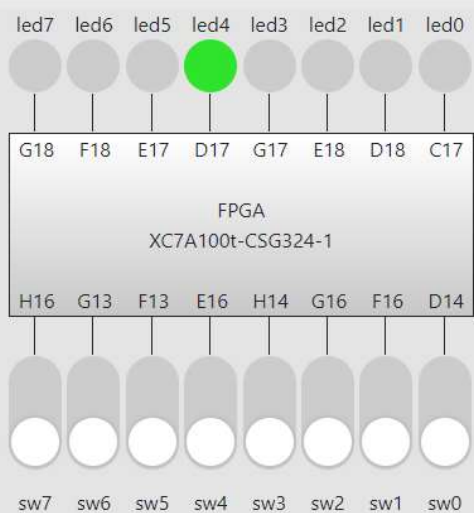
button



clk btn pins: clk\_btn  
xdc,ucf sym: B18

3. add; 可以看到0x2002地址存放结果为2

## FPGA interface



uart show>

```
FPGAOL UART xterm.js 1.1
Check address is:0x00002000
Check address is:0x00002000
Check address is:0x00002001
Check address is:0x00002002
Check address is:0x00002003
Check address is:0x00002000
Check address is:0x00002001
Check address is:0x00002002
```

uart pins: cts rts rxd txd  
 xdc sym: D3 E5 D4 C4  
 baud rate: 115200

add:

segplay(sharing with led) hexplay



segplay pin: dot seg\_g seg\_f seg\_e seg\_d seg\_c seg\_b seg\_a  
 xdc,ucf sym: G18 F18 E17 D17 G17 E18 D18 C17  
 hexplay pin: an2 an1 an0 d3 d2 d1 d0  
 xdc,ucf sym: A18 B16 B17 A15 A16 A13 A14

soft clock

button

None ▾

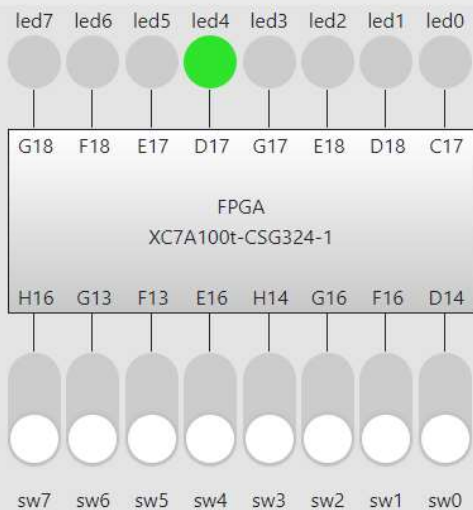


clk btn pins: clk\_btn  
 xdc,ucf sym: B18

4. 多 add; 几次可以看到0x2005存放结果为8

## FPGA interface

uart show>



```
FPGAOL UART xterm.js 1.1
Check address is:0x00002000
Check address is:0x00002000
Check address is:0x00002001
Check address is:0x00002002
Check address is:0x00002003
Check address is:0x00002000
Check address is:0x00002001
Check address is:0x00002002
Check address is:0x00002003
Check address is:0x00002004
Check address is:0x00002005
```

uart pins: cts rts rxd txd  
xdc sym: D3 E5 D4 C4  
baud rate: 115200

add:

input

segplay(sharing with led) hexplay



segplay pin: dot seg\_g seg\_f seg\_e seg\_d seg\_c seg\_b seg\_a  
xdc,ucf sym: G18 F18 E17 D17 G17 E18 D18 C17  
hexplay pin: an2 an1 an0 d3 d2 d1 d0  
xdc,ucf sym: A18 B16 B17 A15 A16 A13 A14

soft clock

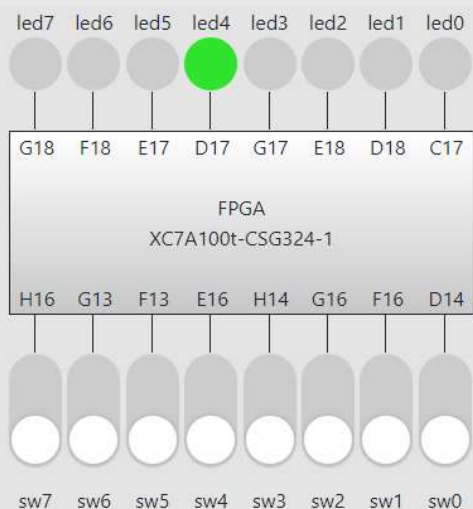
button

None ▾

clk btn pins: clk\_btn  
xdc,ucf sym: B18

5. sub; 可以看到0x2004存放结果为5

## FPGA interface



uart show>

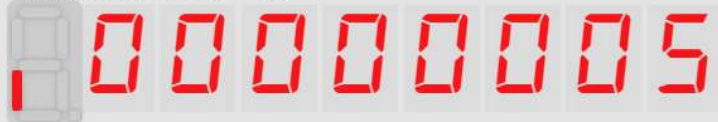
```
FPGAOL UART xterm.js 1.1
Check address is:0x00002000
Check address is:0x00002000
Check address is:0x00002001
Check address is:0x00002002
Check address is:0x00002003
Check address is:0x00002000
Check address is:0x00002001
Check address is:0x00002002
Check address is:0x00002003
Check address is:0x00002004
Check address is:0x00002005
Check address is:0x00002004
```

uart pins: cts rts rxd txd  
 xdc sym: D3 E5 D4 C4  
 baud rate: 115200

sub;

input

segplay(sharing with led) hexplay



segplay pin: dot seg\_g seg\_f seg\_e seg\_d seg\_c seg\_b seg\_a  
 xdc,ucf sym: G18 F18 E17 D17 G17 E18 D18 C17  
 hexplay pin: an2 an1 an0 d3 d2 d1 d0  
 xdc,ucf sym: A18 B16 B17 A15 A16 A13 A14

soft clock

button

None ▾



clk btn pins: clk\_btn  
 xdc,ucf sym: B18

6. ck2 0a; 可以看到0x200a存放结果为 2'h59



### FPGA interface

led7 led6 led5 led4 led3 led2 led1 led0

G18 F18 E17 D17 G17 E18 D18 C17

FPGA  
XC7A100t-CSG324-1

H16 G13 F13 E16 H14 G16 F16 D14

sw7 sw6 sw5 sw4 sw3 sw2 sw1 sw0

uart show>

```

FPGAOL UART xterm.js 1.1
Check address is:0x00002000
Check address is:0x00002000
Check address is:0x00002001
Check address is:0x00002002
Check address is:0x00002003
Check address is:0x00002000
Check address is:0x00002001
Check address is:0x00002002
Check address is:0x00002003
Check address is:0x00002004
Check address is:0x00002005
Check address is:0x00002004
Check address is:0x00002001
Check address is:0x00002010
Check address is:0x00002005
Check address is:0x00002008
Check address is:0x00002007
Check address is:0x00002006
Check address is:0x0000200a
        
```

uart pins: cts rts rxd txd  
xdc sym: D3 E5 D4 C4  
baud rate: 115200

ck2 0a;

input

segplay(sharing with led) hexplay

segplay pin: dot seg\_g seg\_f seg\_e seg\_d seg\_c seg\_b seg\_a  
xdc,ucf sym: G18 F18 E17 D17 G17 E18 D18 C17

hexplay pin: an2 an1 an0 d3 d2 d1 d0  
xdc,ucf sym: A18 B16 B17 A15 A16 A13 A14

soft clock button

None ▾

clk btn pins: clk\_btn  
xdc,ucf sym: B18

### 3.3 测试test.coe以及选做写的汇编程序生成的test\_others.coe

- 分别用两个coe初始化Inst\_mem即可，fpga烧写结果分别如下：（可以通过bit流的不同名字区分）



1. Bitstream File

Select file

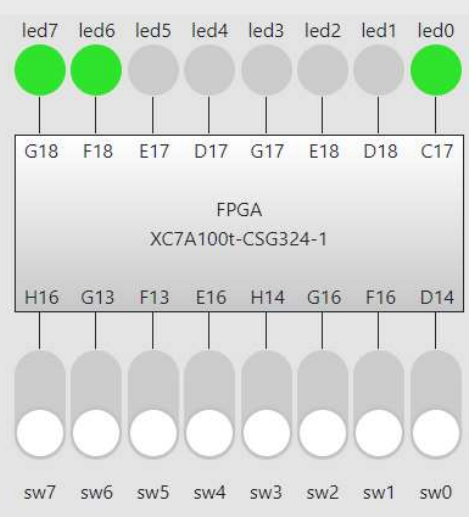
example bitstream ▾

C:\fakepath\test.bit

Program!

Program success!

FPGA interface



uart show>

```
FPGAOL UART xterm.js 1.1
```

uart pins: cts rts rxd txd  
xdc sym: D3 E5 D4 C4  
baud rate: 115200

run;

input



segplay pin: dot seg\_g seg\_f seg\_e seg\_d seg\_c seg\_b seg\_a  
xdc,ucf sym: G18 F18 E17 D17 G17 E18 D18 C17  
hexplay pin: an2 an1 an0 d3 d2 d1 d0  
xdc,ucf sym: A18 B16 B17 A15 A16 A13 A14

soft clock button

None ▾

clk btn pins: clk\_btn  
xdc,ucf sym: B18

2. Bitstream File

Select file

example bitstream ▾

C:\fakepath\test\_others.bit

Program!

Program success!

FPGA interface

led7 led6 led5 led4 led3 led2 led1 led0

G18 F18 E17 D17 G17 E18 D18 C17

FPGA

XC7A100t-CSG324-1

H16 G13 F13 E16 H14 G16 F16 D14

sw7 sw6 sw5 sw4 sw3 sw2 sw1 sw0

uart show>

FPGAOL UART xterm.js 1.1

Check address is:0x00000001

Check address is:0x00000001

Check address is:0x00000002

Check address is:0x00000003

Check address is:0x00000004

uart pins: cts rts rxd txd

xdc sym: D3 E5 D4 C4

baud rate: 115200

run;

input

segplay(sharing with led) hexplay

segplay pin: dot seg\_g seg\_f seg\_e seg\_d seg\_c seg\_b seg\_a

xdc,ucf sym: G18 F18 E17 D17 G17 E18 D18 C17

hexplay pin: an2 an1 an0 d3 d2 d1 d0

xdc,ucf sym: A18 B16 B17 A15 A16 A13 A14

soft clock

button

clk btn pins: clk\_btn

xdc,ucf sym: B18

可以看到在 run; 后，led0均亮起，说明均成功。

## 4. 实验总结

- 本次实验完成了单周期CPU，具体实现跟着文档走即可，给出的数据通路有些许错误但是清晰明了，跟着连线即可。
- 选做部分要完成更多的指令实现，事实上就是重复性工作，需要考虑更多的指令类型以及情况，对熟悉RISC-V指令集构成有很大帮助。
- 总体实验难度较难