

中国科学技术大学计算机学院  
《数字电路实验》报告



实验题目：\_\_\_\_\_简单组合逻辑电路\_\_\_\_\_

学生姓名：\_\_\_\_\_牛庆源\_\_\_\_\_

学生学号：\_\_\_\_\_PB21111733\_\_\_\_\_

完成日期：\_\_\_\_\_2022. 10. 20\_\_\_\_\_

### 【实验题目】

1. logisim 通过真值表作电路图。
2. Logisim 通过逻辑表达式作电路图。
3. Logisim 作二选一选择器并写出 verilog 代码。
4. 通过例化题目 3 中的选择器用 verilog 写出四选一选择器，并用 logisim 做出电路图。
5. 通过八位优先编码器的真值表写出 verilog 代码。
6. 阅读 verilog 代码，说出功能并用 logisim 画出电路图

### 【实验目的】

1. 进一步熟悉 logisim，使用真值表或者表达式作图。
2. 初步编写 verilog 代码。

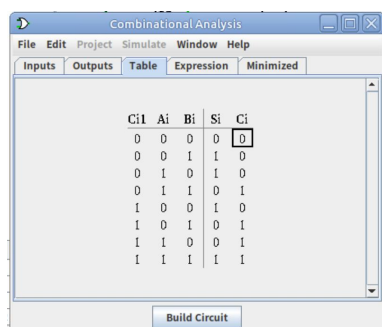
### 【实验环境】

<https://vlab.ustc.edu.cn/>

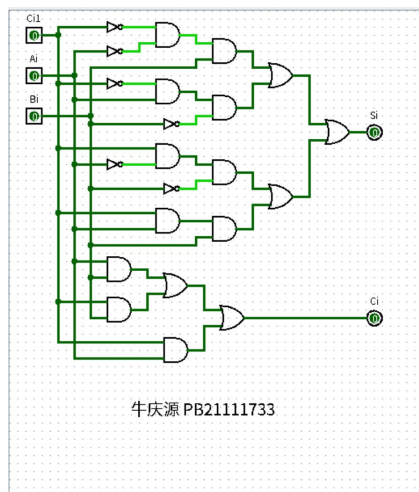
### 【实验练习】

#### 题目一

- (1) 设置三个输入端和两个输出端并更改 label。
- (2) 通过选项卡中的 project -> analyze circuit，更改 table 中的各个值做出真值表，然后自动生成电路图。



Ci1	Ai	Bi	Si	Ci
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

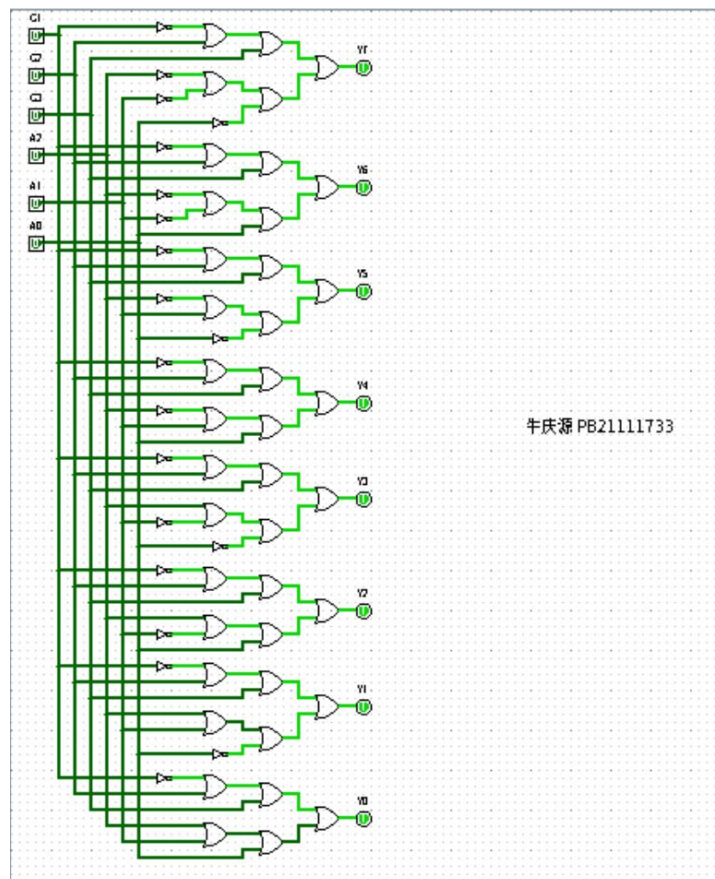
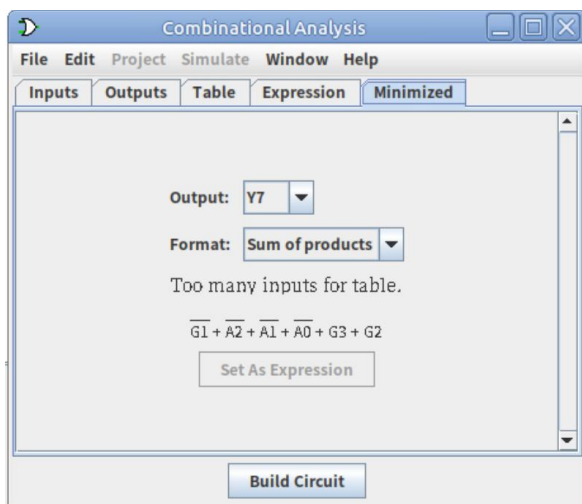


## 题目二

(1) 根据真值表，写出每一个输出端的表达式，注意到低电平有效，所以只需看 0 对应的表达式然后求反即可。

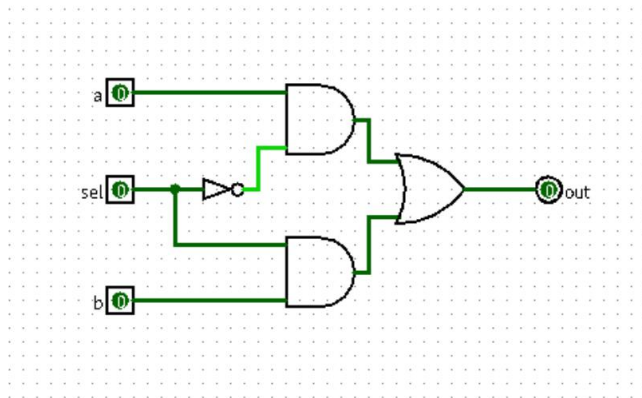
(2) 设置输入端和输出端并更改 label。

(3) project -> analyze circuit, 在 expression 一栏键入每一个输出端的表达式。然后在 minimize 中化简，最后生成电路图。



## 题目三

(1) 与上一次实验相同的电路图

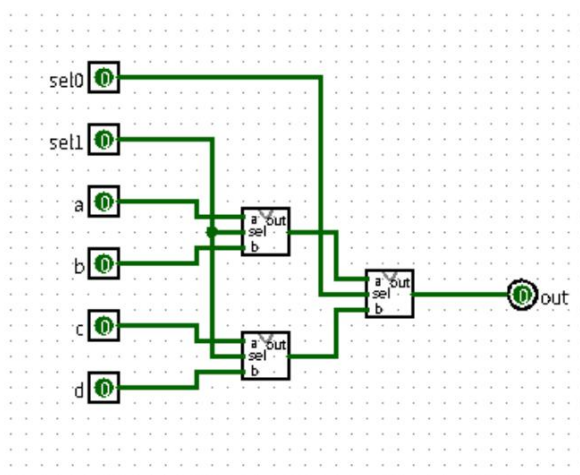


(2) 通过输出的表达式写出 verilog 代码。

```
1 module 2_choose_1(  
2 input a, b, sel,  
3 output out);  
4  
5 assign out = a & (~sel) | b & (sel);  
6  
7 endmodule
```

#### 题目四

(1) logisim 使用三个二选一模块得到四选一选择器。



(2) 通过 logisim 用的三个二选一模块，可以简单地得出例化写法的 verilog 代码。

```
1 module 4_choose_1(  
2 input a, b, c, d, sel1, sel0,  
3 output out);  
4 wire out1, out2;  
5  
6 2_choose_1 mod1(  
7 .a (a),  
8 .b (b),  
9 .sel (sel1),  
10 .out (out1));  
11  
12 2_choose_1 mod2(  
13 .a (c),  
14 .b (d),  
15 .sel (sel1),  
16 .out (out2));  
17  
18 2_choose_1 mod3(  
19 .a (out1),  
20 .b (out2),  
21 .sel (sel0),  
22 .out (out));  
23  
24 endmodule
```

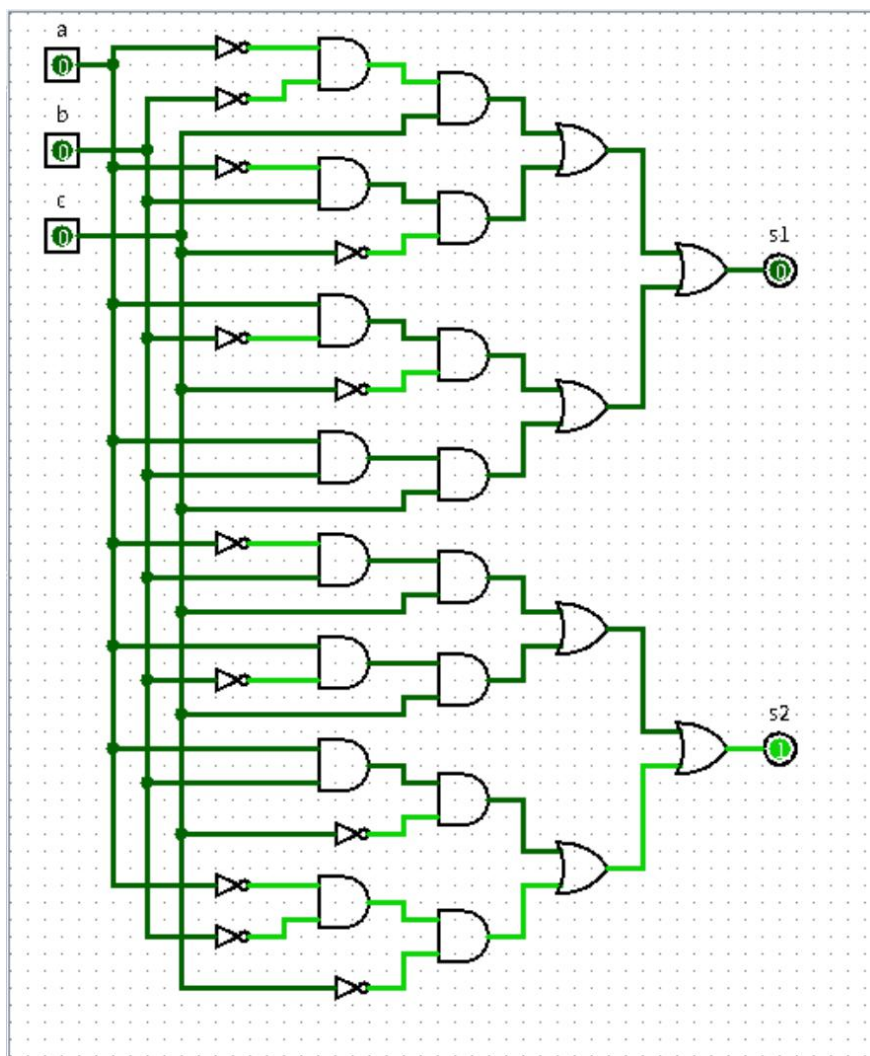
## 题目五

直接用表达式编写 verilog 代码即可

```
1 module prl_enc(  
2 input i0, i1, i2, i3, i4, i5, i6, i7,  
3 output y0, y1, y2);  
4  
5 assign y2 = i7 | ((~i7) & i6) | ((~i7) & (~i6) & i5) | ((~i7) & (~i6) & (~i5) & i4);  
6  
7 assign y1 = i7 | ((~i7) & i6) | ((~i7) & (~i6) & (~i5) & (~i4) & i3) | ((~i7) & (~i6) & (~i5) & (~i4) & (~i3) & i2);  
8  
9 assign y0 = i7 | ((~i7) & (~i6) & i5) | ((~i7) & (~i6) & (~i5) & (~i4) & i3) | ((~i7) & (~i6) & (~i5) & (~i4) & (~i3) & (~i2) & i1);  
10  
11 endmodule
```

## 题目六

(1) 首先用 logisim 的表达式生成电路功能生成电路。



(2) 在 logisim 的 analyze circuit 中查看真值表。注意到输入端的 1 的奇偶个数和输出端有关，发现输入端 1 有奇数个时，输出端为 1 0，输入端 1 有偶数个时，输出端为 0 1。于是功能为判断有效输入个数是奇数个还是偶数个。

### 【总结与思考】

1. 进一步熟悉了 logisim，使用真值表和表达式作图。
2. 初步编写了 verilog 代码。