**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：\_\_FPGA实验平台以及ip核的使用\_\_

学生姓名：\_ \_\_\_\_ \_\_牛庆源\_\_\_\_\_ \_\_\_

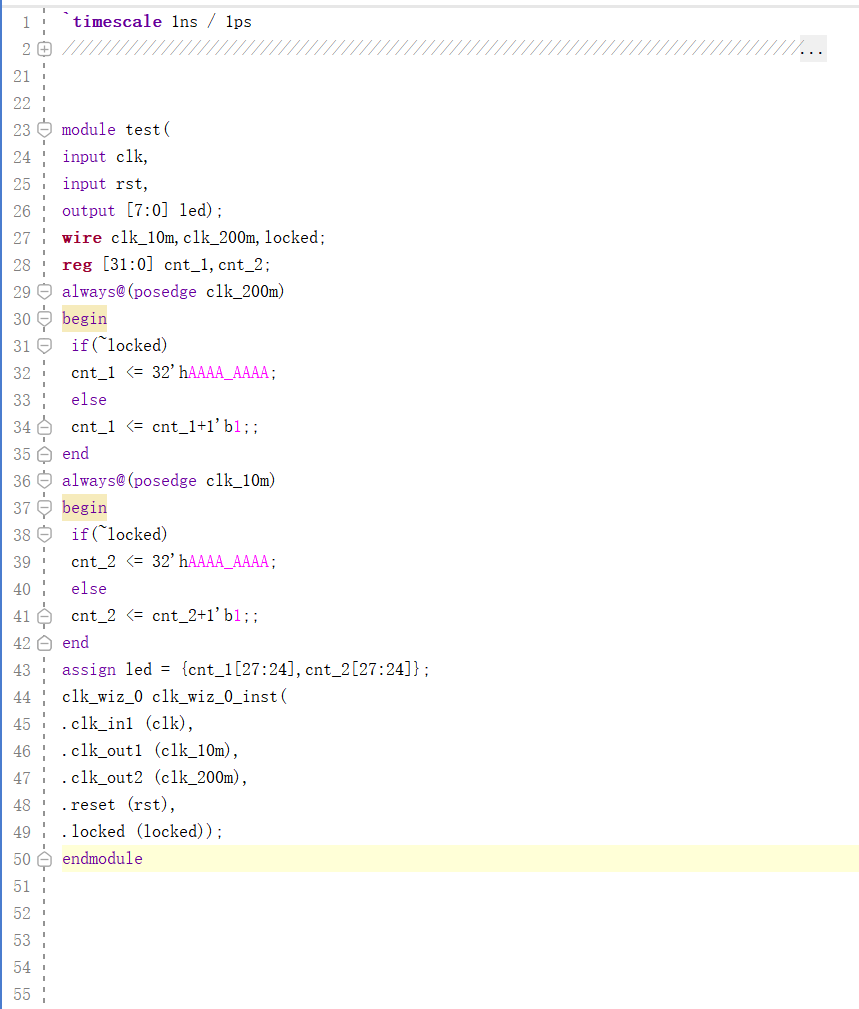
学生学号：\_\_\_ \_\_\_\_PB21111733\_\_ \_\_\_\_\_\_

完成日期：\_\_\_\_ \_\_\_2022.11.24\_\_\_\_ \_\_\_\_

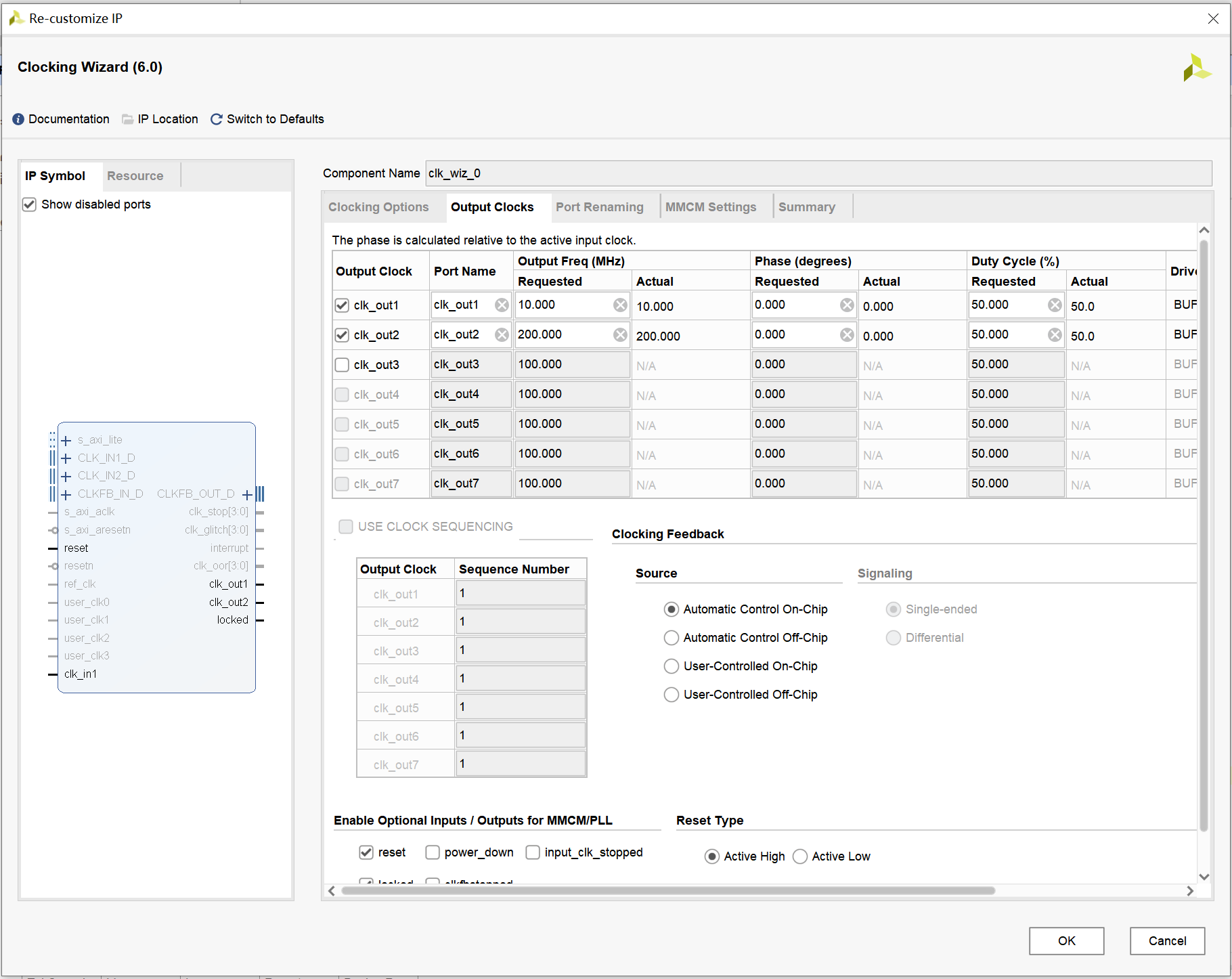
【实验步骤】（展示需要进行操作的step）

Step3:

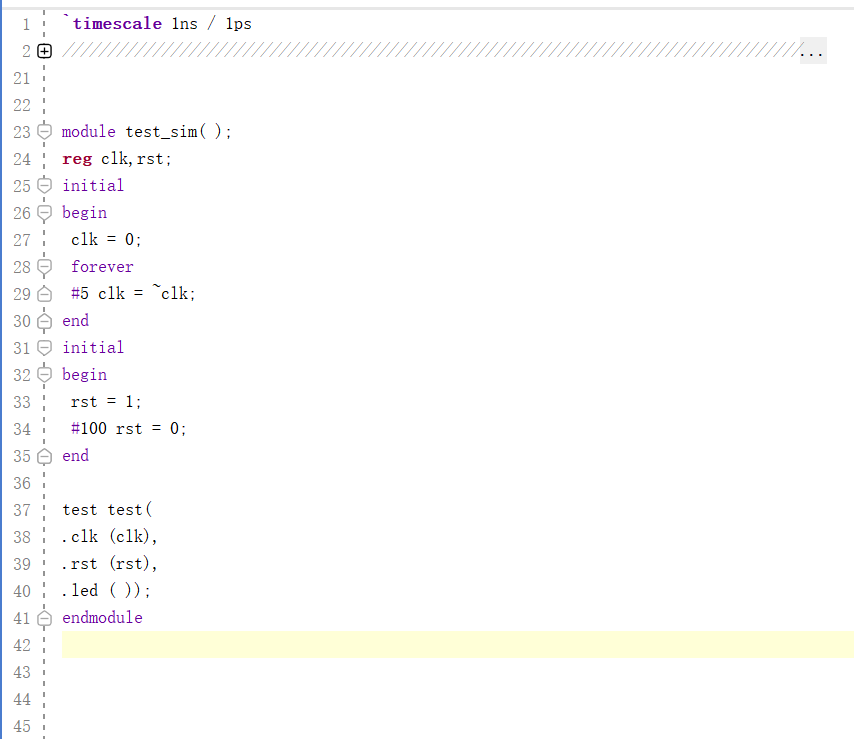
1. 设计文件如下：



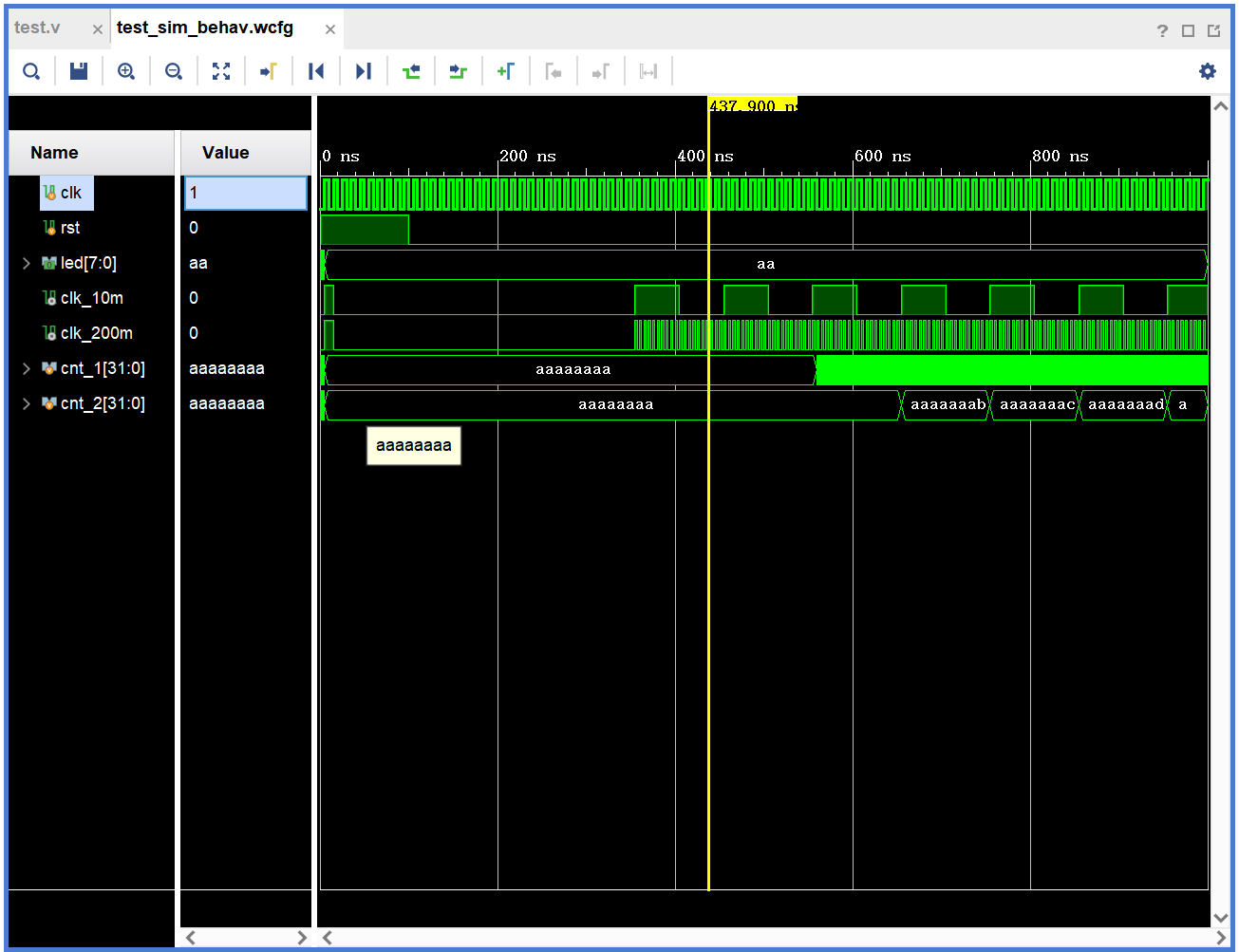
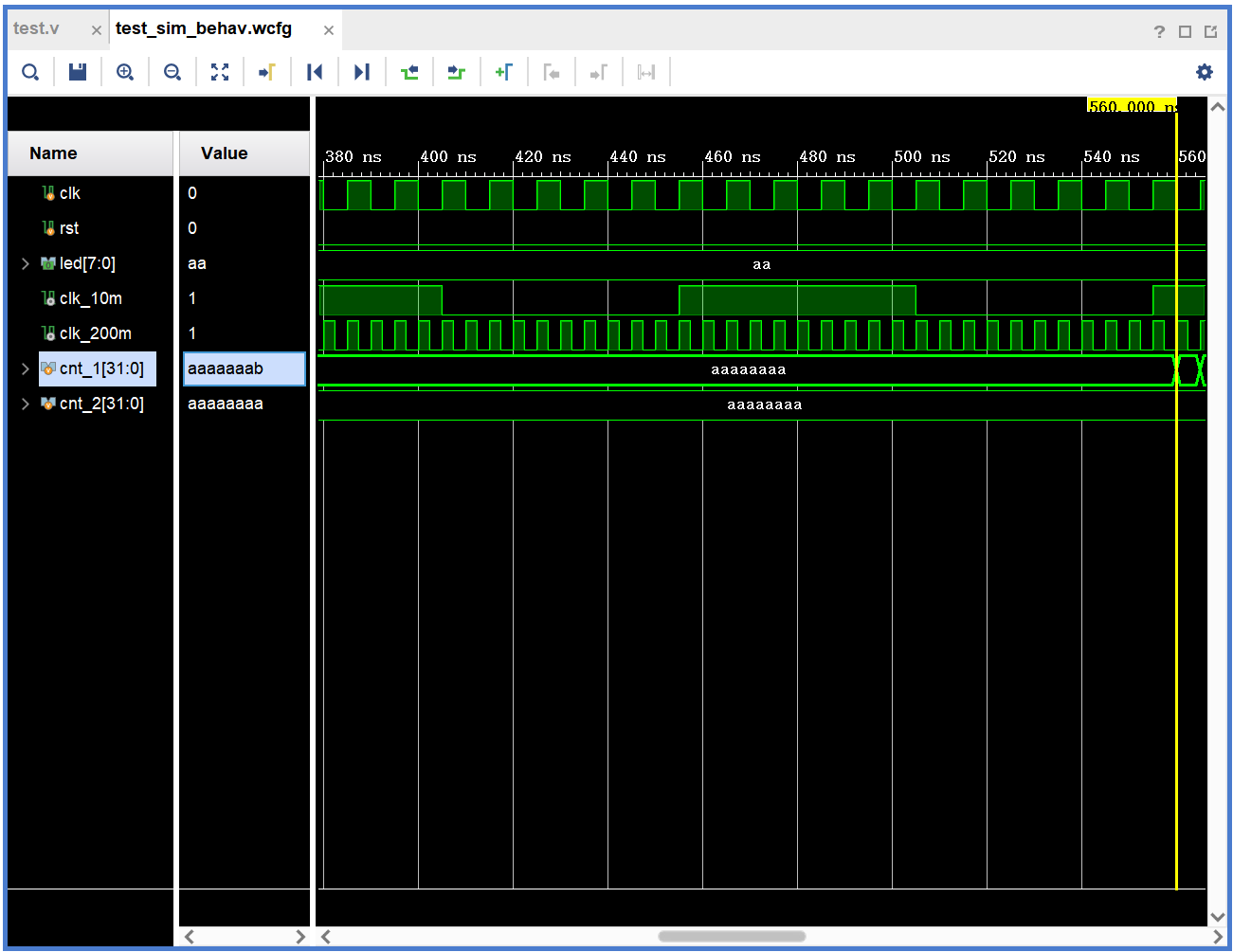
1. Ip核配置如下：



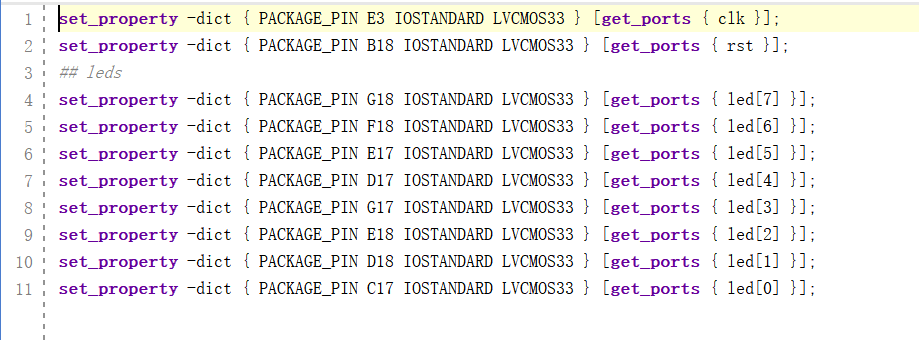
1. 仿真文件如下：



1. 仿真波形如下：（部分波形和全部波形）

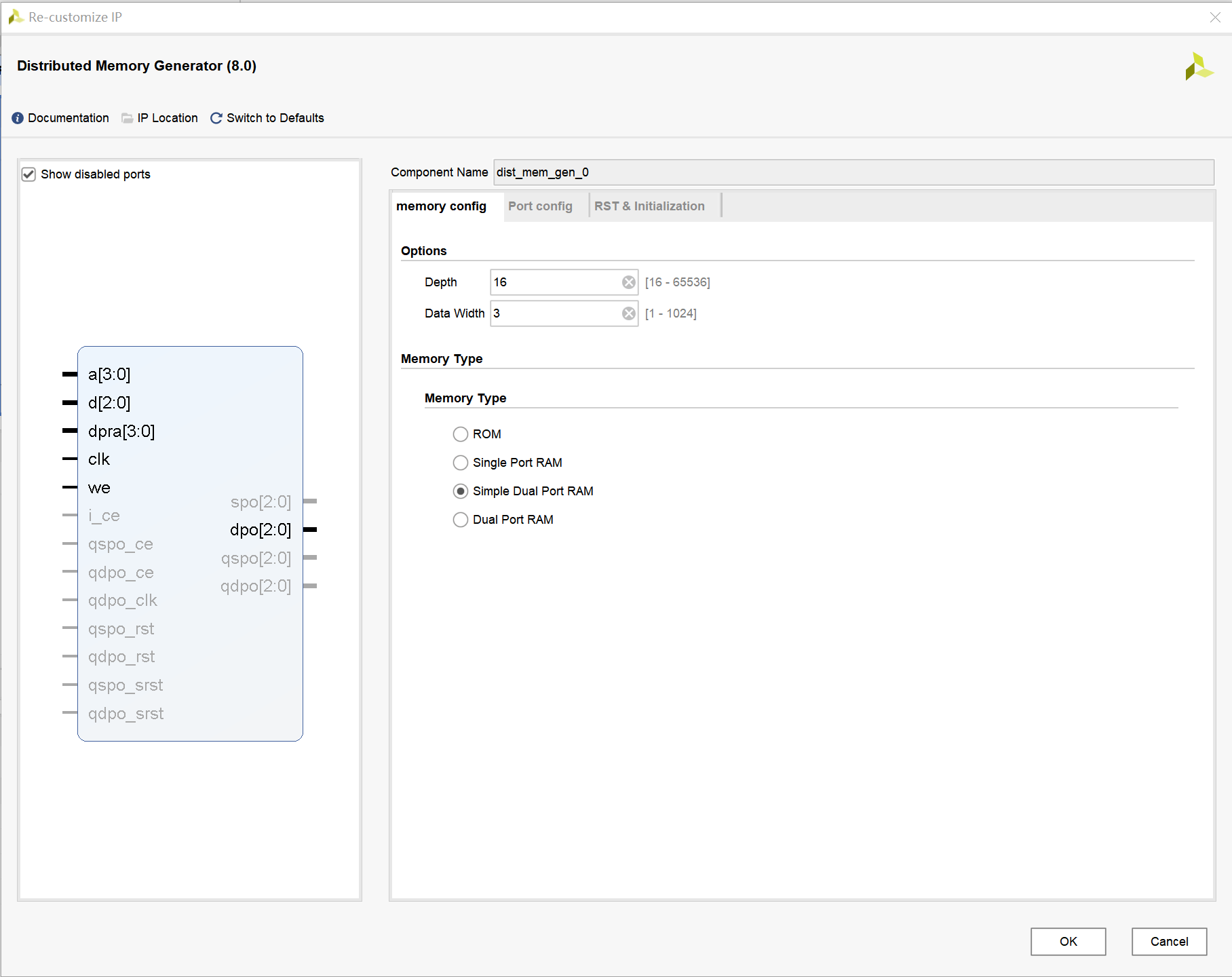


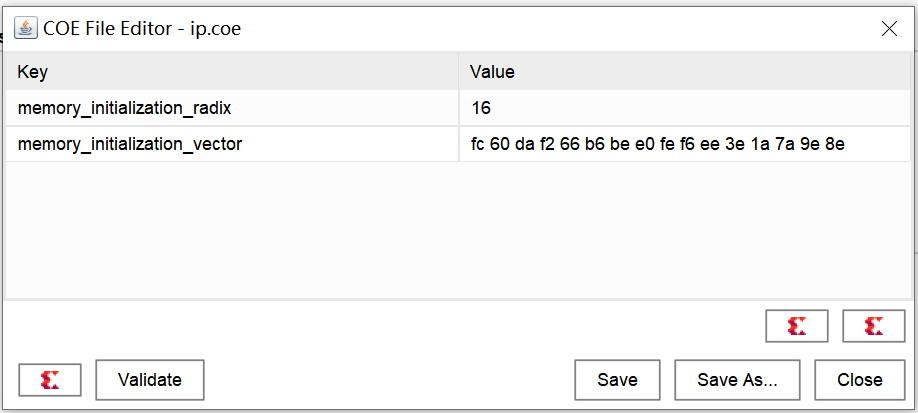
1. 约束文件如下：



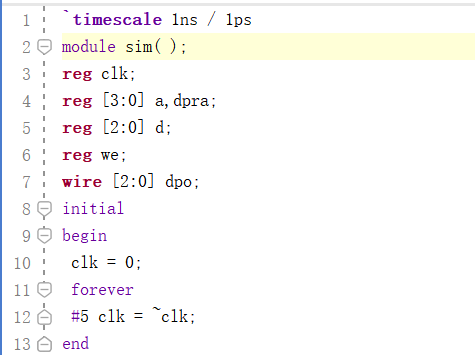
Step4

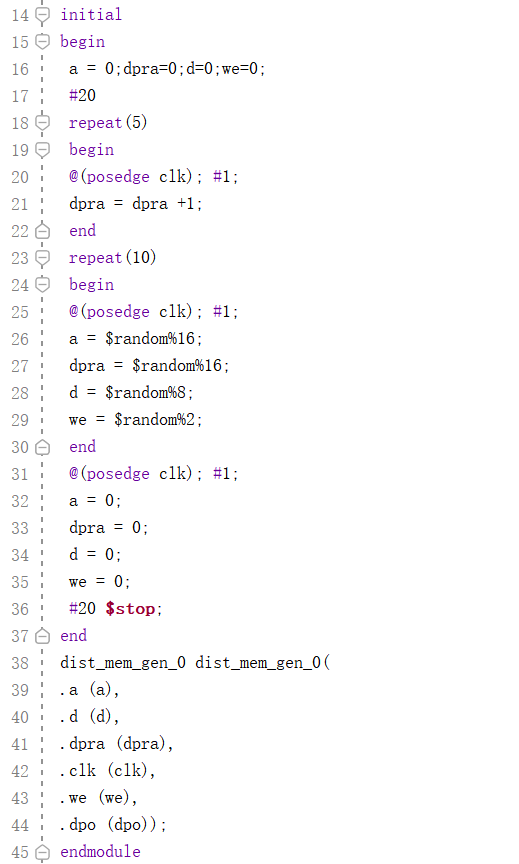
1. Ip核配置如下：

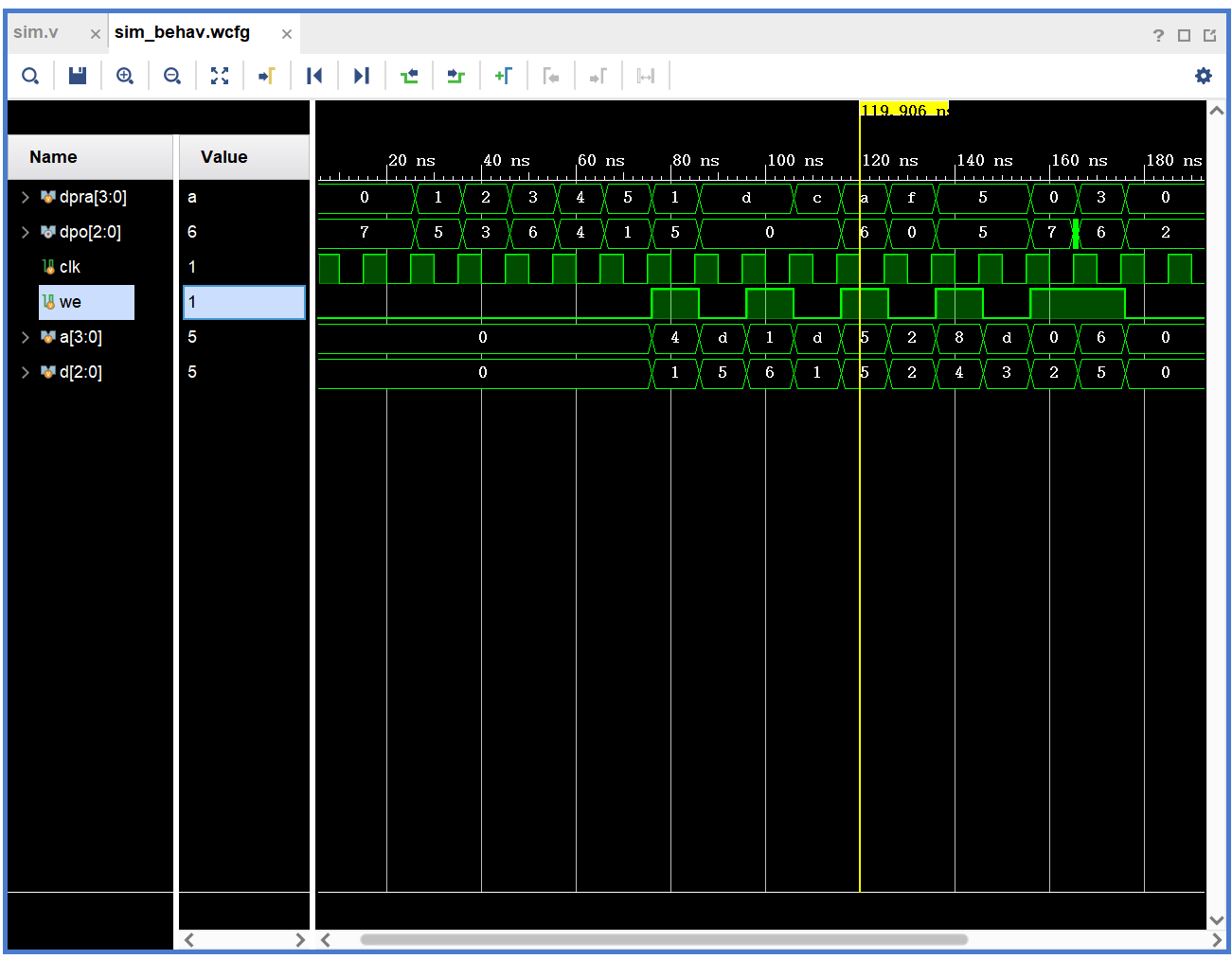




1. 例化该ip核的仿真文件和得到的仿真波形如下：







【实验题目】

1. 例化一个 16\*8bit的 ROM，并对其进行初始化，输入端口由4 个开关控制，输出端口连接到七段数码管上（七段数码管与LED 复用相同的一组管脚），控制数码管显示与开关相对应的十六进制数字，例如四个开关输入全为零时，数码管显示“0”，输入全为 1 时，数码管显示“F”。
2. 采用 8 个开关作为输入，两个十六进制数码管作为输出，采用时分复用的方式将开关的十六进制数值在两个数码管上显示出来，例如高四位全为 1，低四位全为 0 时，数码管显示“F0”。
3. 利用本实验中的时钟管理单元或周期脉冲技术，设计一个精度为0.1 秒的计时器，用 4 位数码管显示出来，数码管从高到低，分别表示分钟、秒钟十位、秒钟个位、十分之一秒，该计时器具有复位功能（可采用按键或开关作为复位信号），复位时计数值为 1234，即 1 分 23.4 秒。

【实验目的】

1. 学会将vivado库中自带的元件（ip核）例化在自己的设计文件或者仿真文件内。
2. 学会配置改变时钟快慢的ip核和ROM & RAMip核。对于ROM和RAM编写coe文件控制。
3. 学会使用分时复用的方法来在FPGA平台显示多位的七段数码管。
4. 对100Mhz时钟频率以及通过count计数的方式改变输入时钟频率这种方法产生深刻的理解，学会自己产生指定频率的时钟信号。

【实验环境】

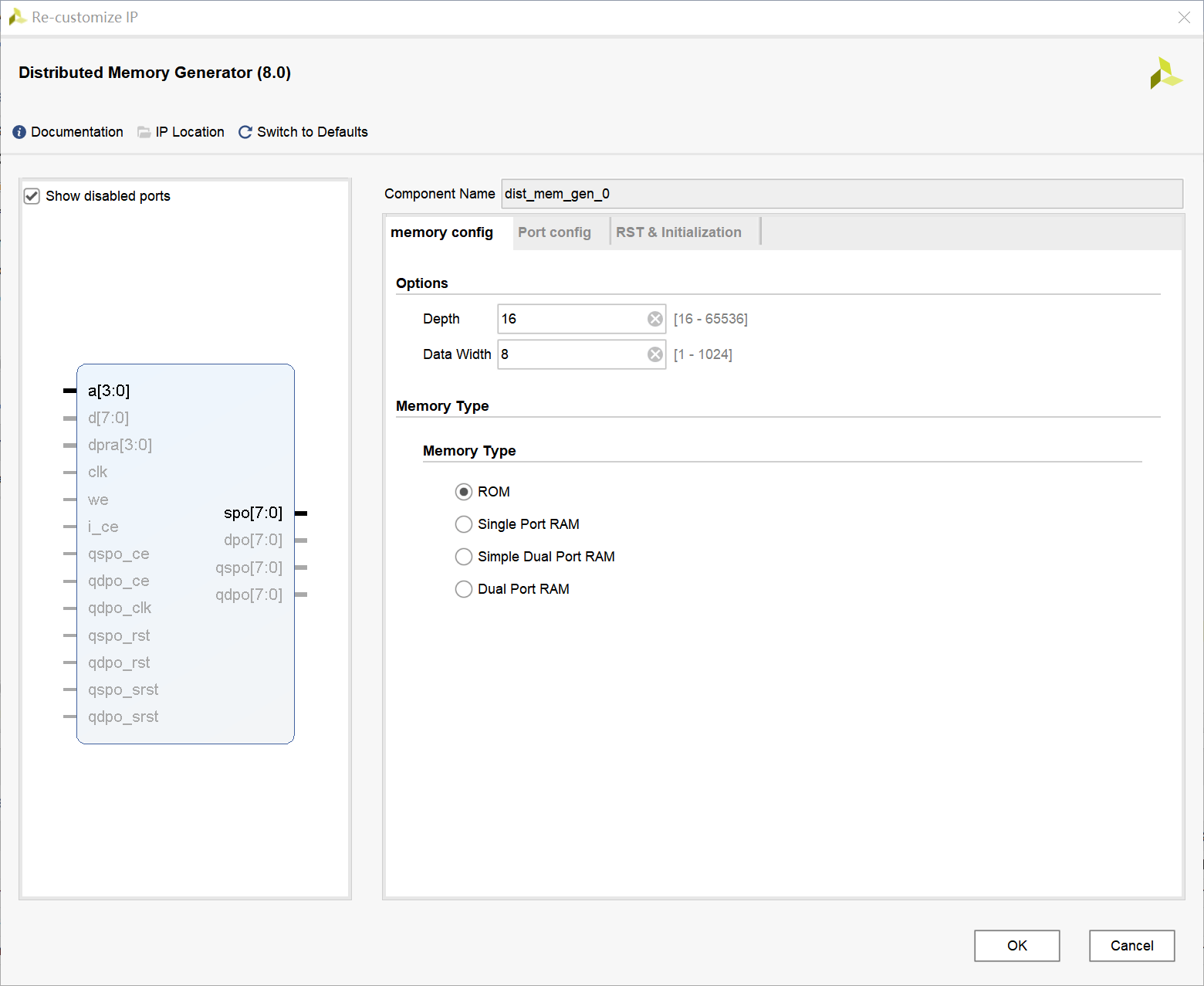
fpgaol.ustc.edu.cn

Vivado软件

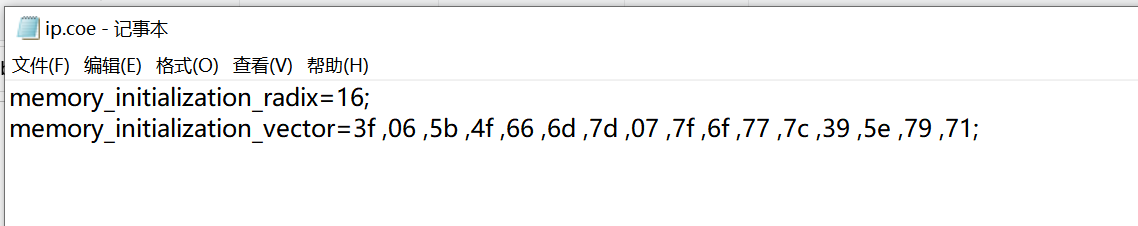
【实验练习】

**题目一**

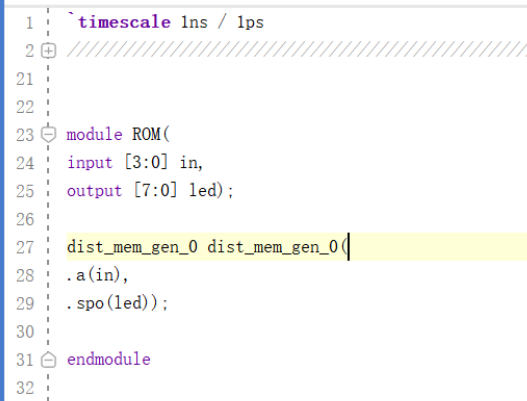
要使用一个16\*8bit的ROM，可以选取Distributed Memory Generater这一ip核，配置ip核的内容。寄存器类型选择ROM，depth设置为16， data width设置为8，如图：



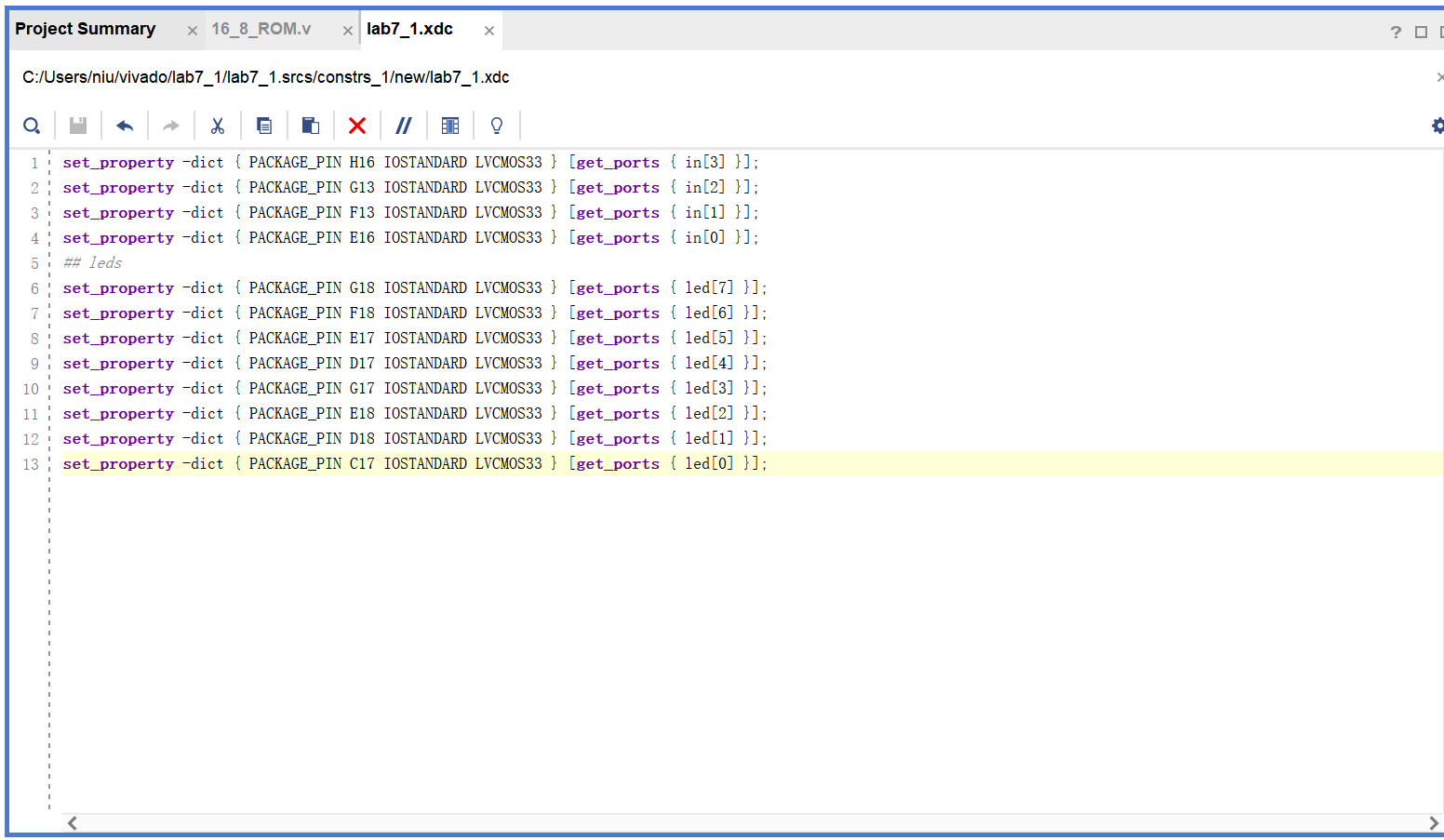
对于ROM中a与spo的选择关系，我们可以编辑coe来改变。每一个a生成一个对应的spo，从而满足在七段数码管分别显示0到F。例如生成数字“0”，a应当为000，数字“0”对应的二进制由数码管的输入顺序，可以得到为0011\_1111即十六进制的3f，由此方法按顺序编辑出0到F，得到的coe文件如下：



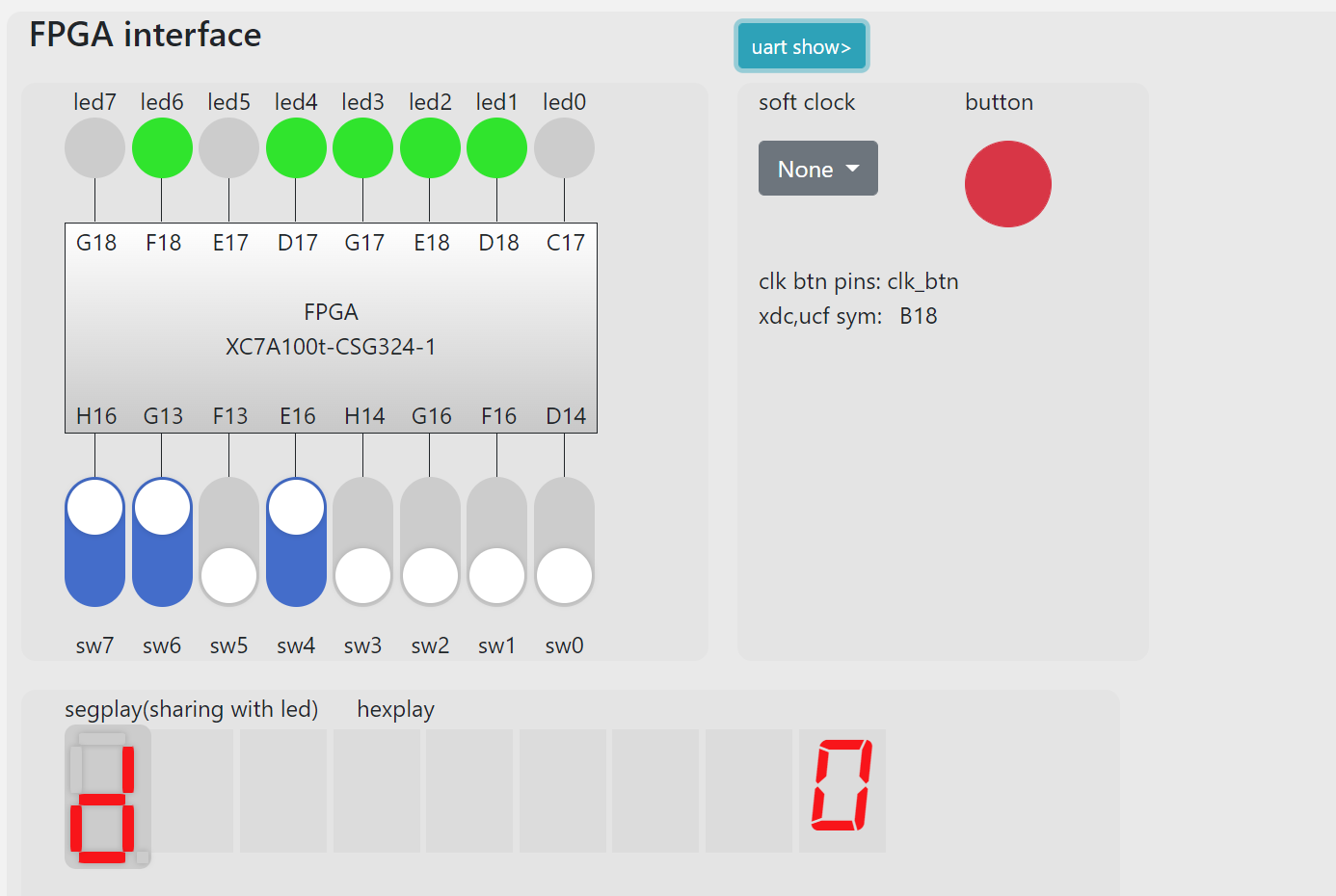
设计文件直接设置四位输入in和八位输出led，并直接例化上述生成的ip核即可，文件如下：



编写约束文件将in和led约束到FPGA平台的规定引脚上，如下：



生成bits流并在FPGA平台烧写，可以得到结果（这里将in约束在了sw高四位）：



**题目二**

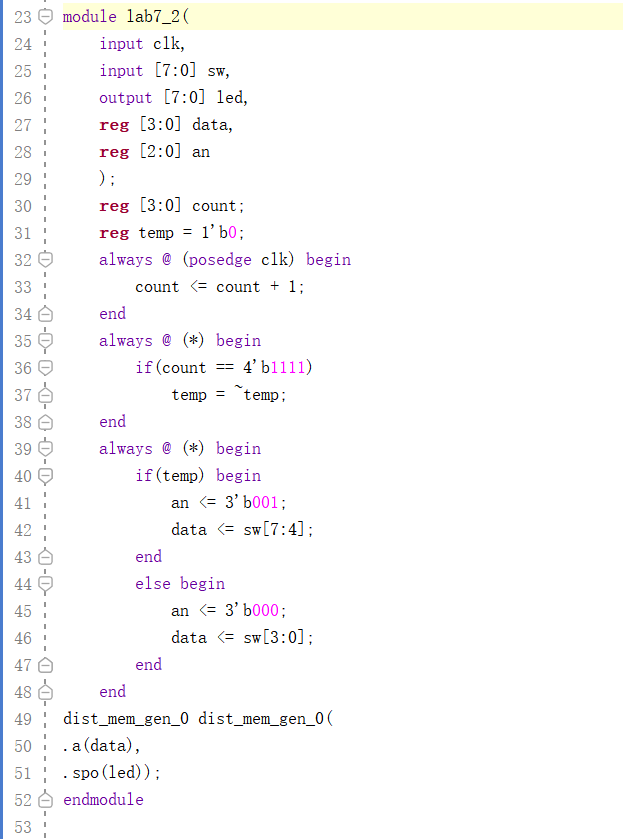
配置ip核与题目一中的ip核相同，因为都是利用16\*8bits的ROM在数码管上显示数字。

八个开关作为输入，高四位控制高位数码管，低四位控制低位数码管，高位和低位的数码管可以通过约束an的方式选取，由FPGA平台给出的约束文件样例可以了解到，选取an为001和000可以分别显示在高位和低位上。选取an为001，此时将输入的高四位sw[7:4]赋值给控制端data；选取an为000，此时将输入的低四位sw[3:0]赋值给控制端data。

由于原时钟频率过快，导致无法分时显示出高位和低位的数码管，所以可以采用计数器的方法生成一个频率较低的时钟，从而便于分时显示，这里采用了一个四位的count，每一个时钟上升沿将count加1，当count值为4’b1111时，将设置的时钟temp翻转一次，如此循环得到一个频率较低的时钟信号，用这个时钟信号控制分时复用。

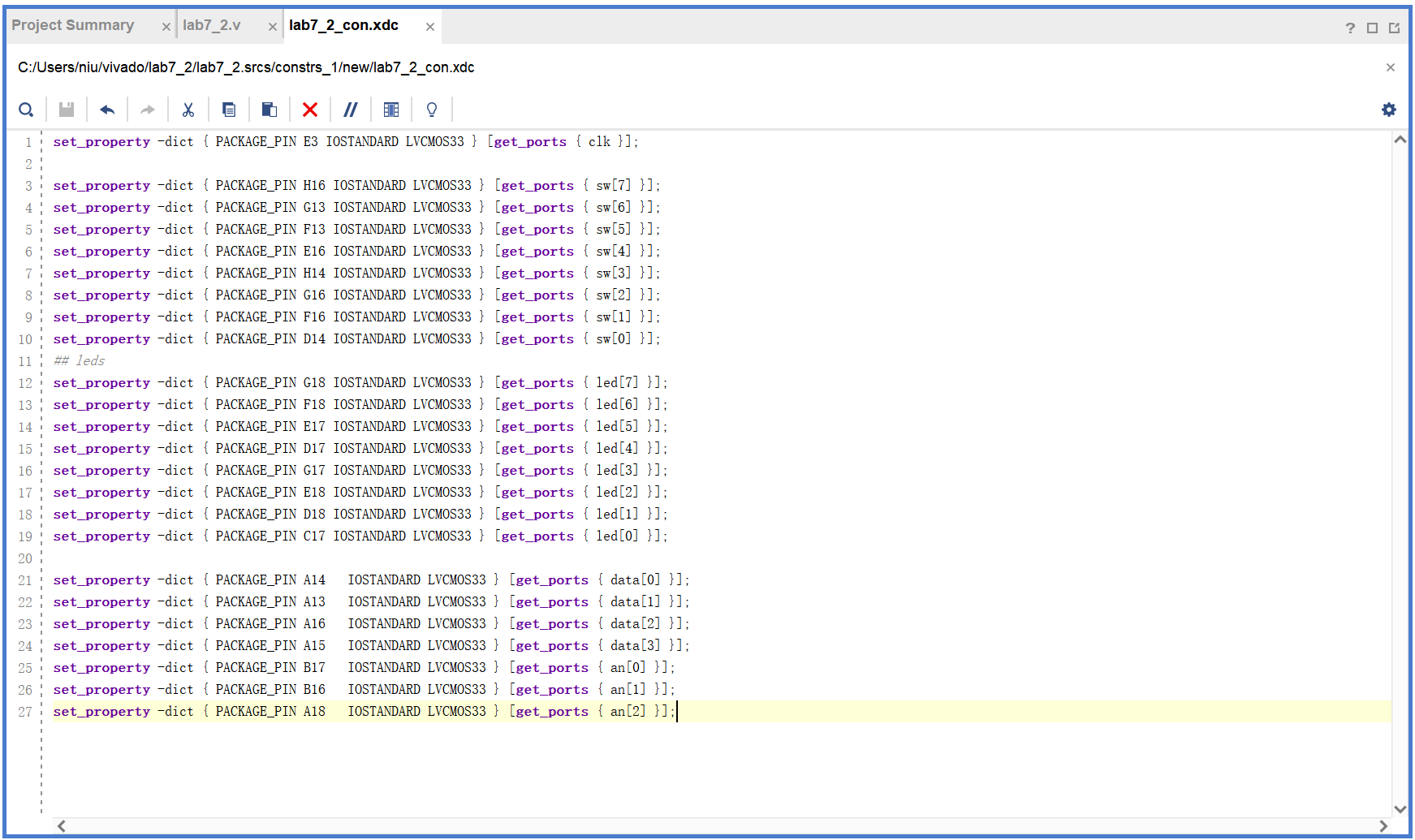
在生成的时钟信号temp处于高电平时，选取an为001,和高四位输入，反之选取an为000，和低四位输入，例化ip核。

通过以上分析编写设计文件如下：



将输出led以及输入sw约束在相应管脚，an和data也根据FPGA给出的样例约束文件进行约束，同样不要忘记将频率为100Mhz的时钟信号约束。

得到约束文件如下：



生成bits流导入FPGA平台烧写可以得到如下结果：



**题目三**

本题目ip核同样与题目一和题目二相同，用途都是使数码管显示对应的数字。

本题目要求生成四位的计时器，即采用分时复用的方式在不同的时间产生不同的输入信号，结果ip核处理得到不同的数字显示，通过an的选取来将不同的数字产生在四位上。

首先产生一个周期为0.1s的时钟，即频率为10hz的时钟，由于时钟默认产生为100Mhz时钟，所以我们需要通过一个计数器将100Mhz的时钟降到10hz，即计数器从0记到9999999到10的八次方时，过去了0.1s，将0.1s设为一个单位时间，在这一个单位时间内进行时钟的变化。

以下是很自然得到的计数器原理：

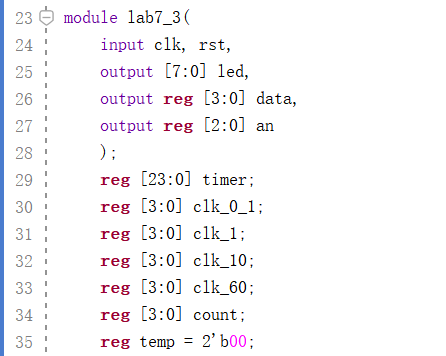
首先变化0.1s的位，每一个单位时间加1，当大于8时不再加1（此时该位为9），下个单位时间归为0，并将1s的位加1。当1秒的位大于8时不再加1（此时该位为9），下一个进位的时刻将其归为0，并将10s的位加1。当10秒的位大于4时不再加1（此时该位为5），下个进位的时刻将其归为0，并将1min的位加1。当1min的位大于8时不再加1（此时该位为9），下一个进位的时刻将其归为0。

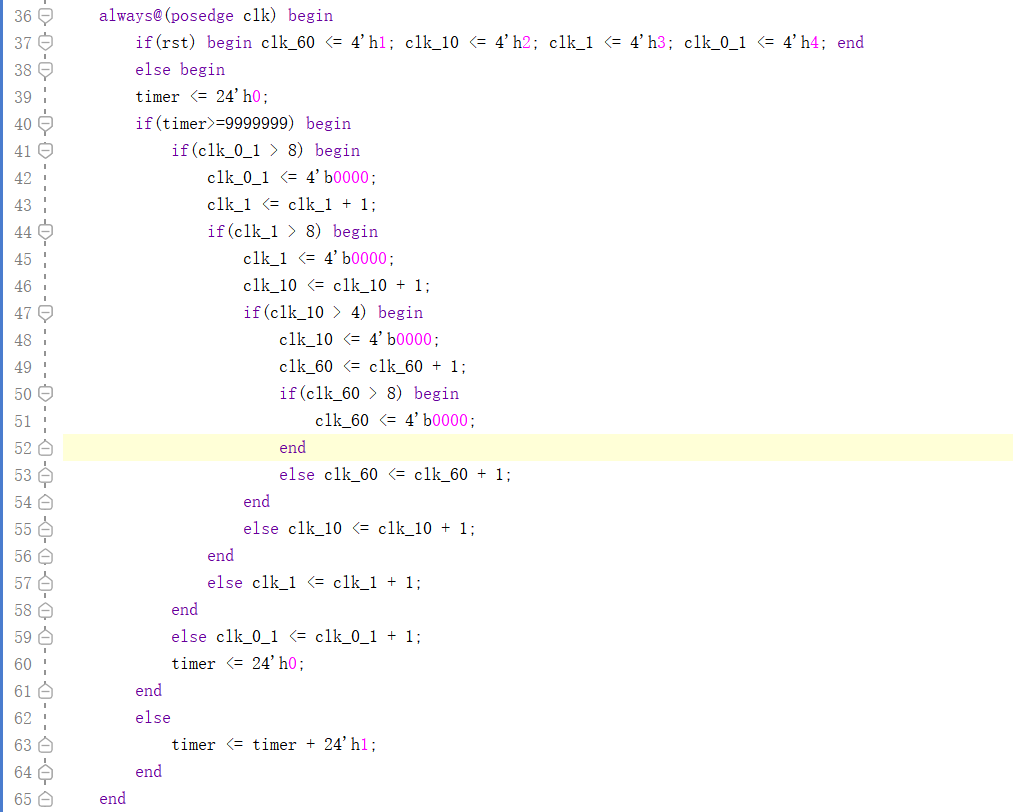
对于rst信号，我们将其设置为高电平有效，高电平时将从高到低位赋值为1 2 3 4，即使用if语句判断，然后依次赋值即可。else则不断计时即可。

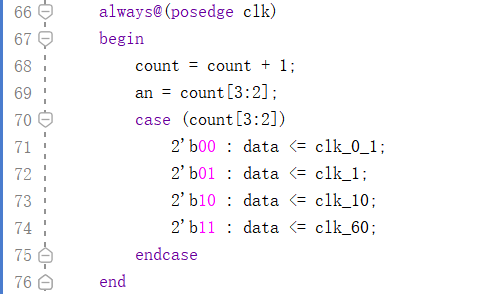
采用分时复用的方式，分别当an为011 010 001 000时将输入的data分别赋值为不同位数的clk：1min位， 10s位， 1s位， 0.1s位。

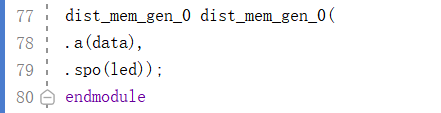
最后例化ip核即可。

通过上述的推导可以得到设计文件如下：

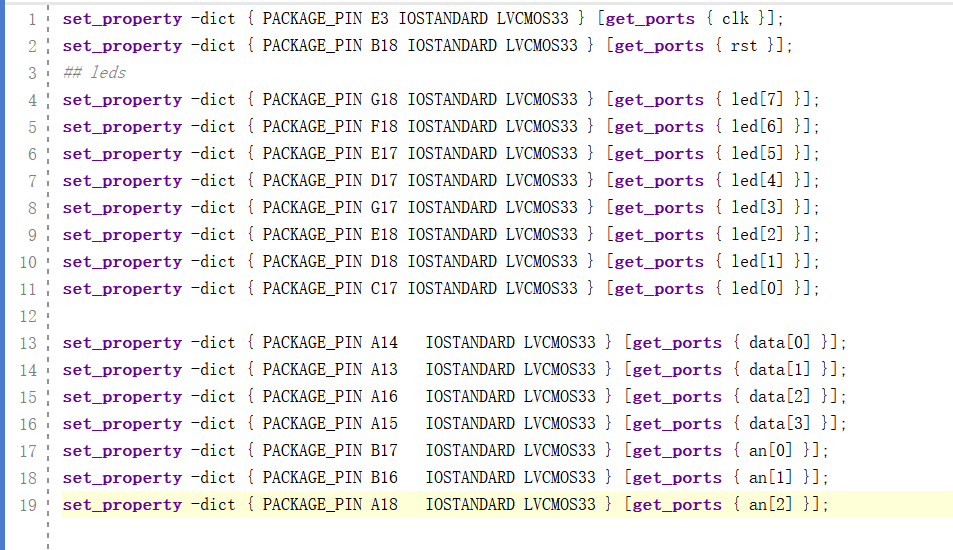




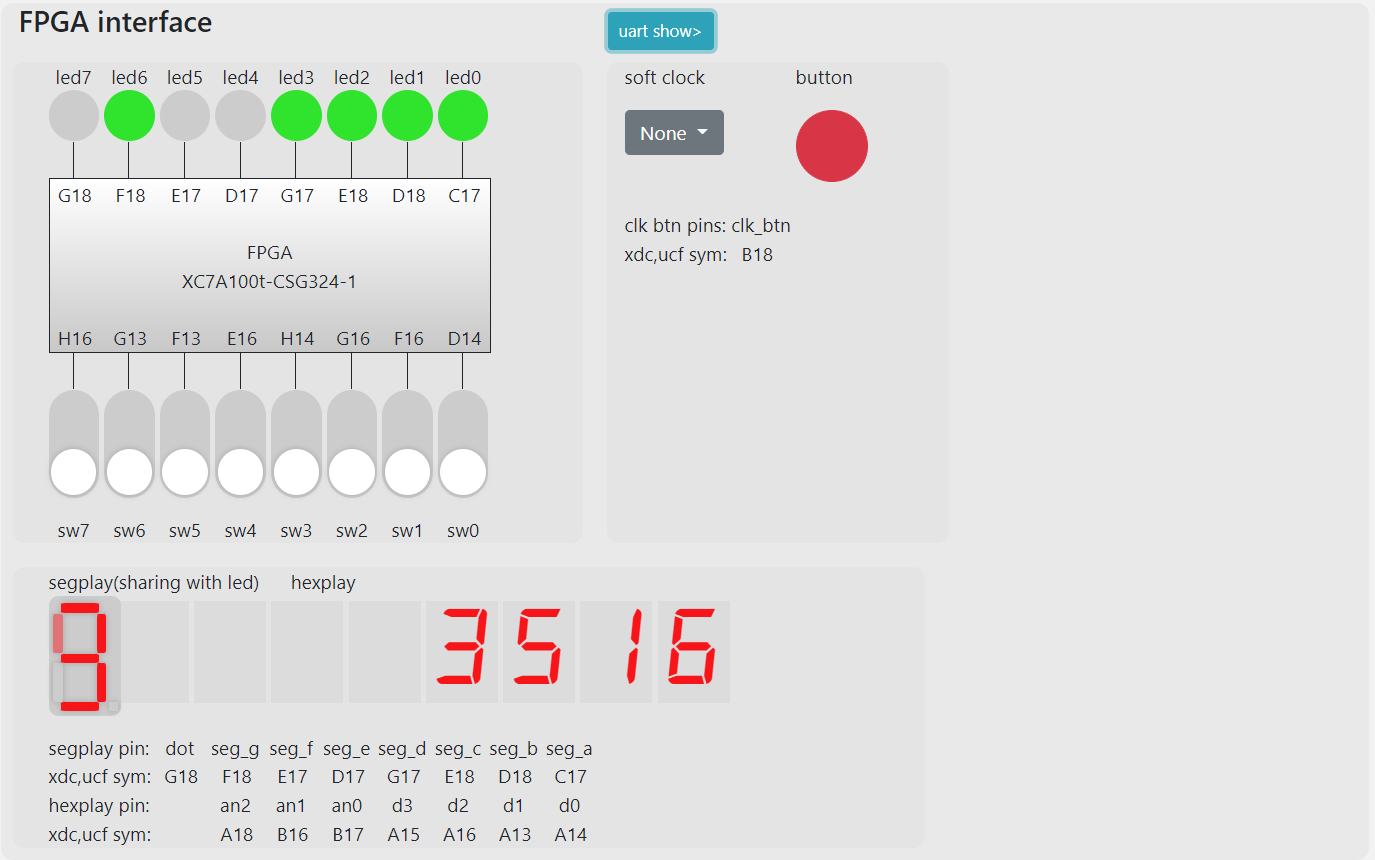




约束文件如下：



生成bits流在FPGA平台烧写可得到（一个瞬间的截图）



【总结与思考】

1. 学会了配置改变时钟快慢的ip核和ROM & RAMip核，编写了coe文件控制ROM生成0到F的数字。
2. 使用分时复用的方法来在FPGA平台显示多位的七段数码管。
3. 学会使用100Mhz的时钟以count计数的方式生成拥有新的频率的时钟，并采取这种生成方式完成分时复用以及简易计时器的设计。
4. 实验难度：中上，主要是对ip核的使用比较茫然。
5. 任务量：中上，两个下午完成。
6. 改进建议：可以在实验步骤的参考代码部分加些许注释便于我们快速阅读和理解，这样可以加快我们学习新东西的速度而不是将时间利用在阅读代码上。