**中国科学技术大学计算机学院**

**《数字电路实验》报告**



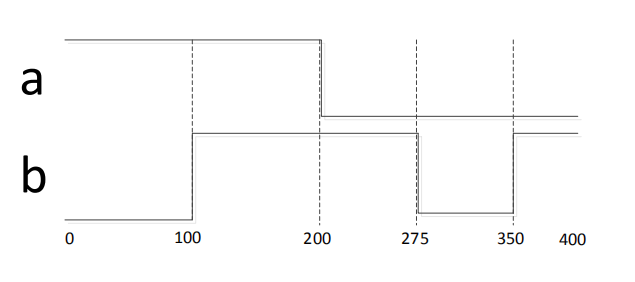
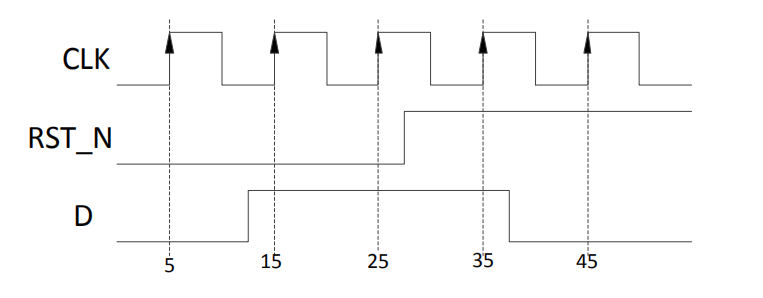
实验题目：\_\_\_\_\_\_使用Vivado进行仿真\_\_\_\_\_\_

学生姓名：\_ \_\_\_\_ \_\_牛庆源\_\_\_\_\_ \_\_\_

学生学号：\_\_\_ \_\_\_\_PB21111733\_\_ \_\_\_\_\_\_

完成日期：\_\_\_\_ \_\_\_2022.11.10\_\_\_\_ \_\_\_\_

【实验题目】

1. 编写verilog仿真文件，生成指定波形，使用Vivado仿真。
2. 编写verilog仿真文件，生成指定波形，使用Vivado仿真。
3. 利用题目2中的信号作为一段给定代码的输入，使用Vivado仿真。并观察仿真波形。
4. 设计一个3-8译码器，编写仿真测试文件，在Vivado中进行仿真，要求遍历所有的输入组合。

【实验目的】

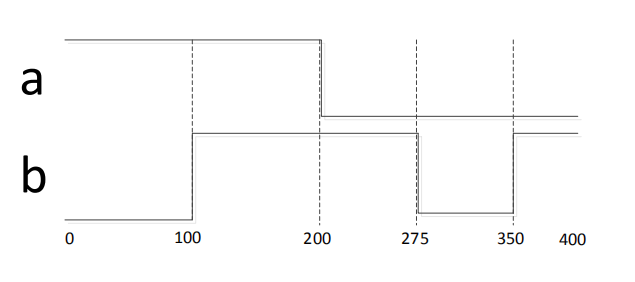
1. 熟悉如何编写verilog仿真文件，以及了解并利用initial,$以及#语句。
2. 熟悉如何使用vivado进行仿真，并可以通过仿真判断模块是否正常运作，或者观察模块的运行特性。

【实验环境】

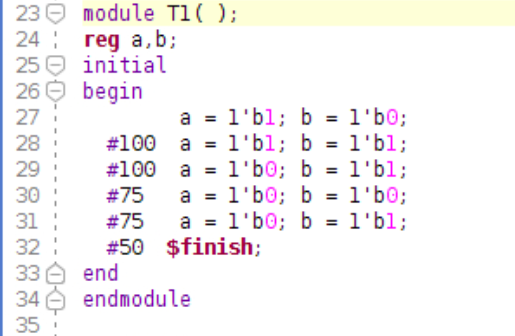
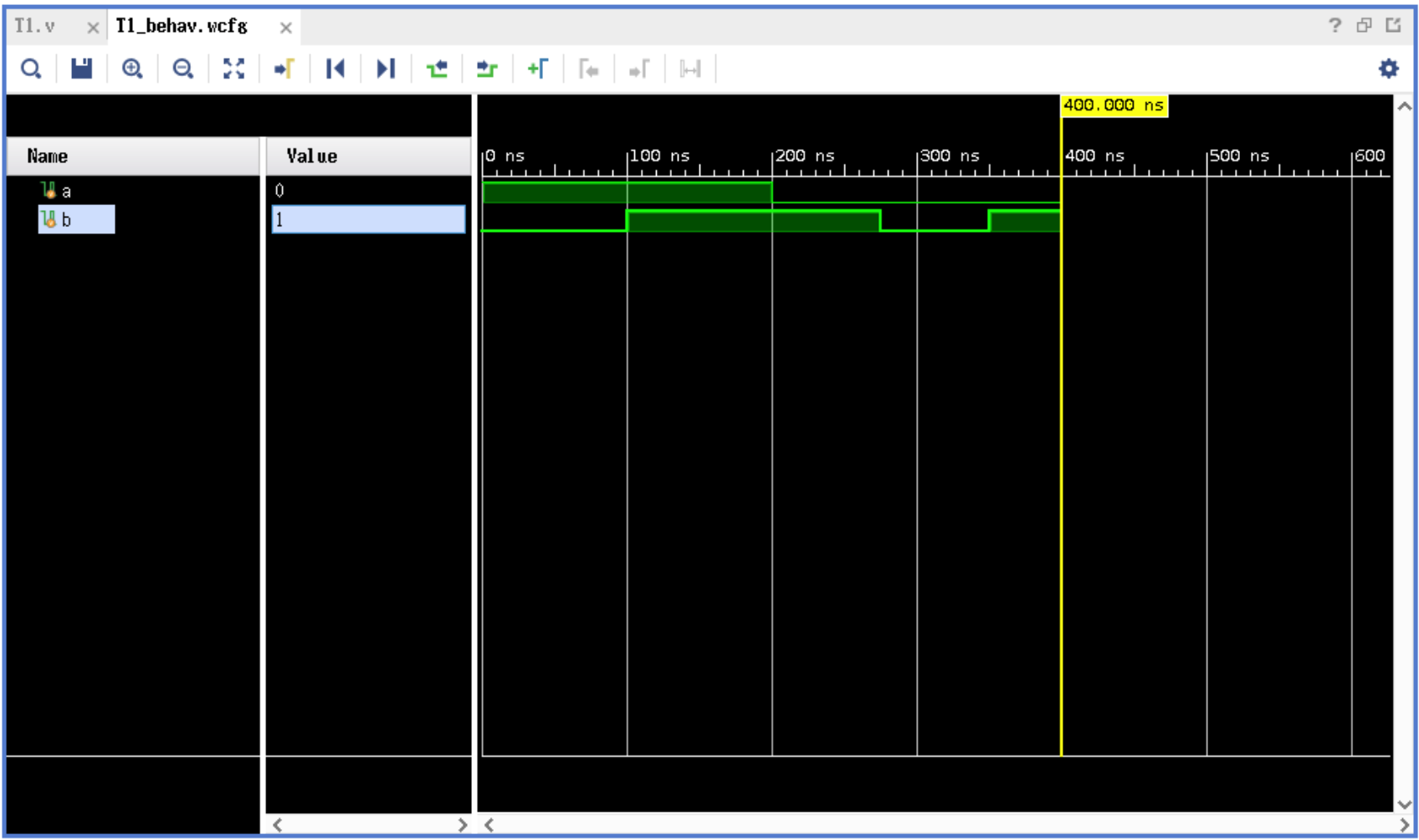
vlab.ustc.edu.cn

【实验练习】

**题目一**

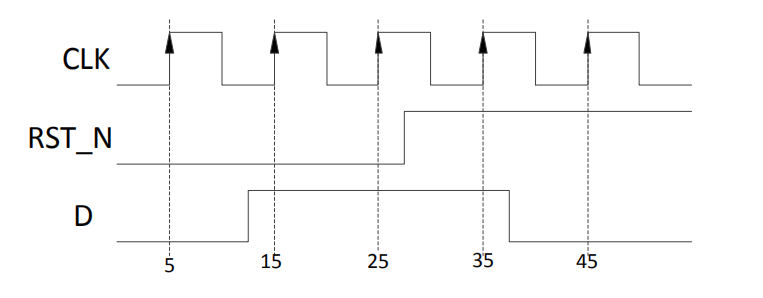
编写verilog仿真文件，生成下图波形，使用Vivado仿真。

观察波形图可得，信号a和b在时间为0-100,100-200,200-275,275-350,350-400内与之前的状态相比有发生改变，于是有如下仿真代码：

产生的仿真波形为：

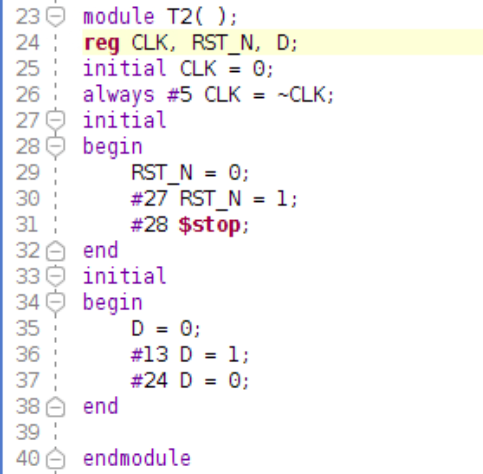
**题目二**

编写verilog仿真文件，生成指定波形，使用Vivado仿真。

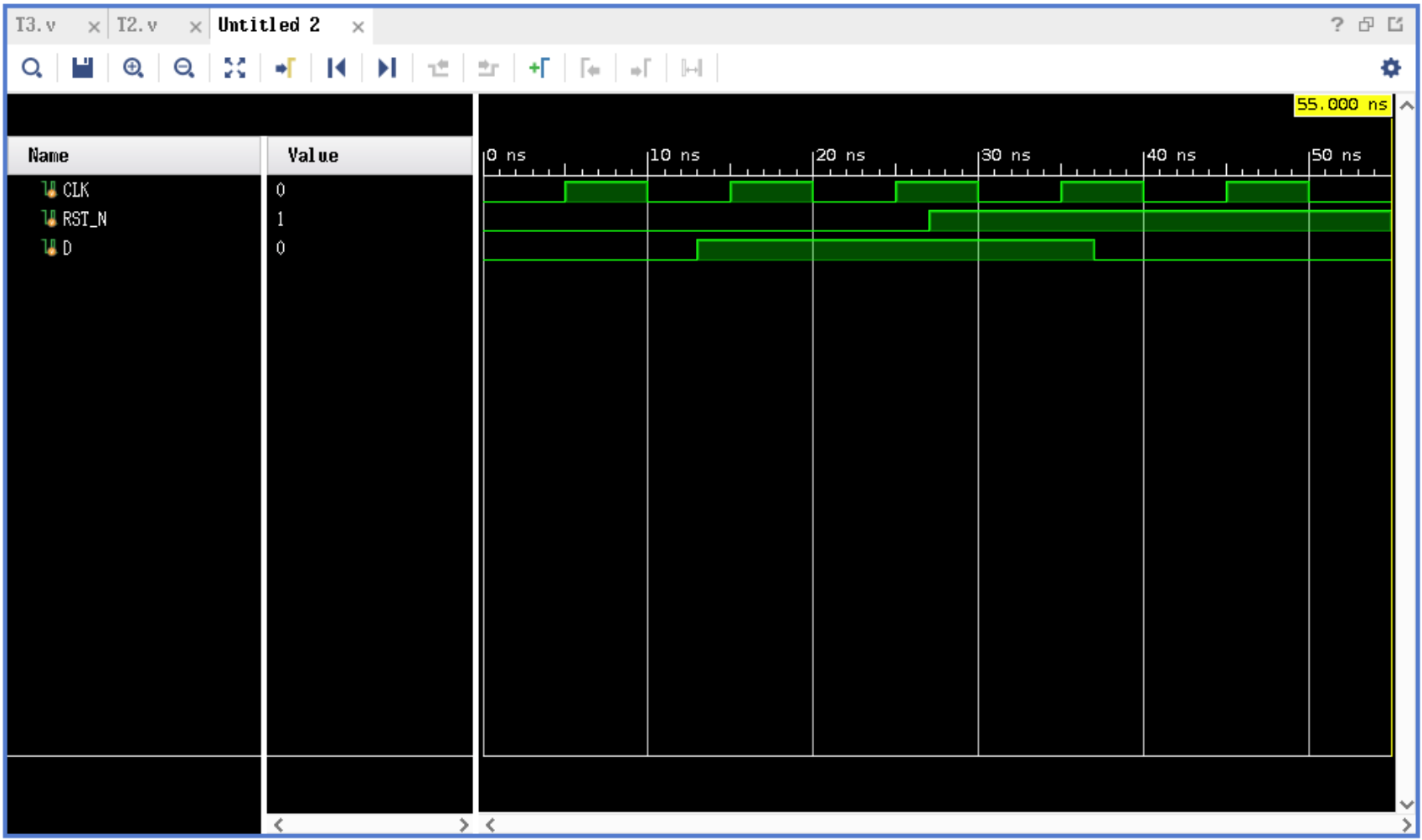
观察波形可得，时钟信号每5个单位时间变化一次，可以使用always语句每5个单位时间将initial为0的时钟信号翻转一次。

对于剩下两个信号，分别用initial语句赋初值和经过某一个时间间隔后变化的值即可。

注意时钟信号在55处停止，所以在55处停止仿真。代码如下：



产生的仿真波形为：



**题目三**

用题目二中的信号作为以下代码的输入，进行仿真并观察波形。

module T3(

input clk, rst\_n, d,

output reg q);

always@(posedge clk)

begin

if(rst\_n == 0)

q <= 1'b0;

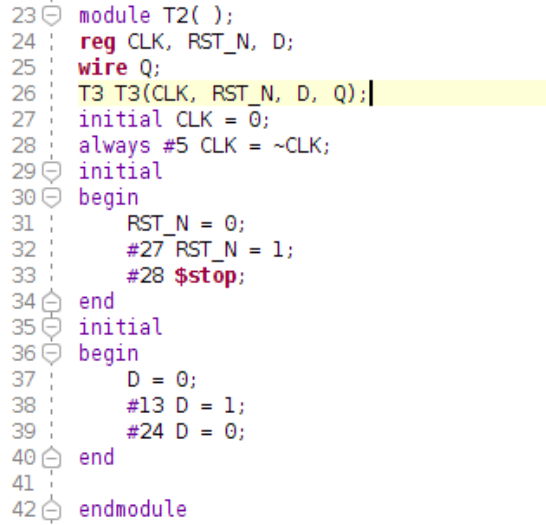
else

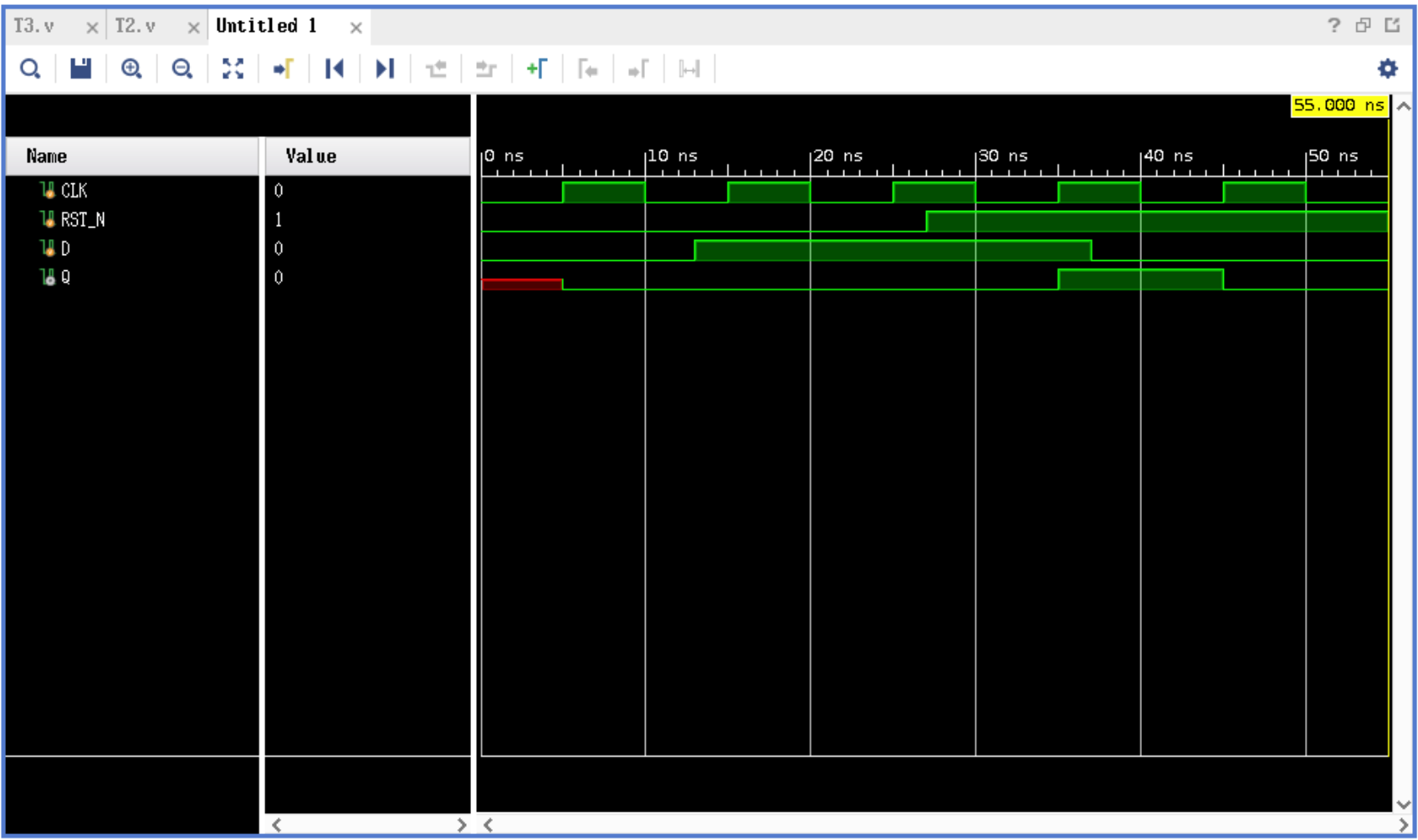
q <= d;

end

endmodule

使用模块例化的方式，在题目二中加入线网类型wire的Q，例化题目所给的模块，进行仿真即可：

仿真结果如下：

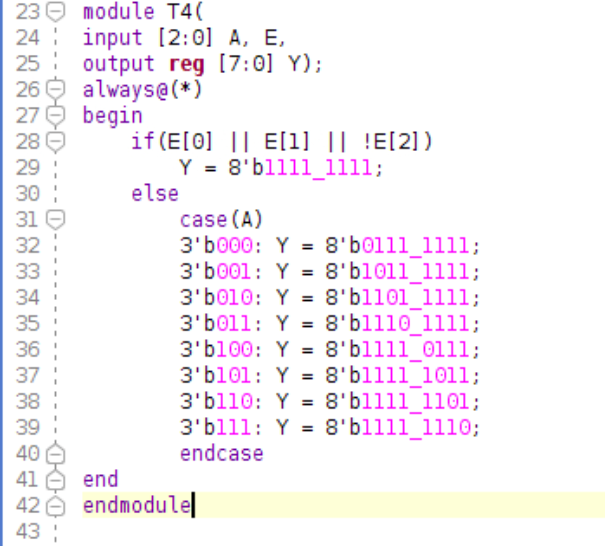


观察到在时钟信号第一个上升沿到来之前，输出信号Q为不确定态x，在时钟信号第一个上升沿开始Q开始在每一个时钟上升沿根据RST\_N和D的值发生变化，观察波形可知，RST\_N信号为同步复位信号，低电平有效，当RST\_N为0时，无论D如何变化，Q依然为0。当RST\_N为1时，在时钟上升沿，Q变为D信号，并保持一个时钟周期，之后再更新状态。

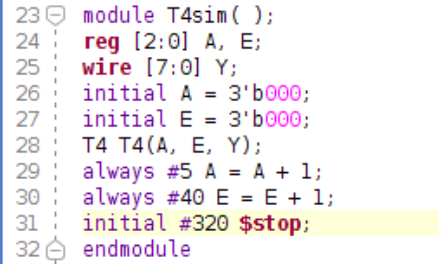
**题目四**

设计一个3-8译码器，编写仿真测试文件，在Vivado中进行仿真，要求遍历所有的输入组合。

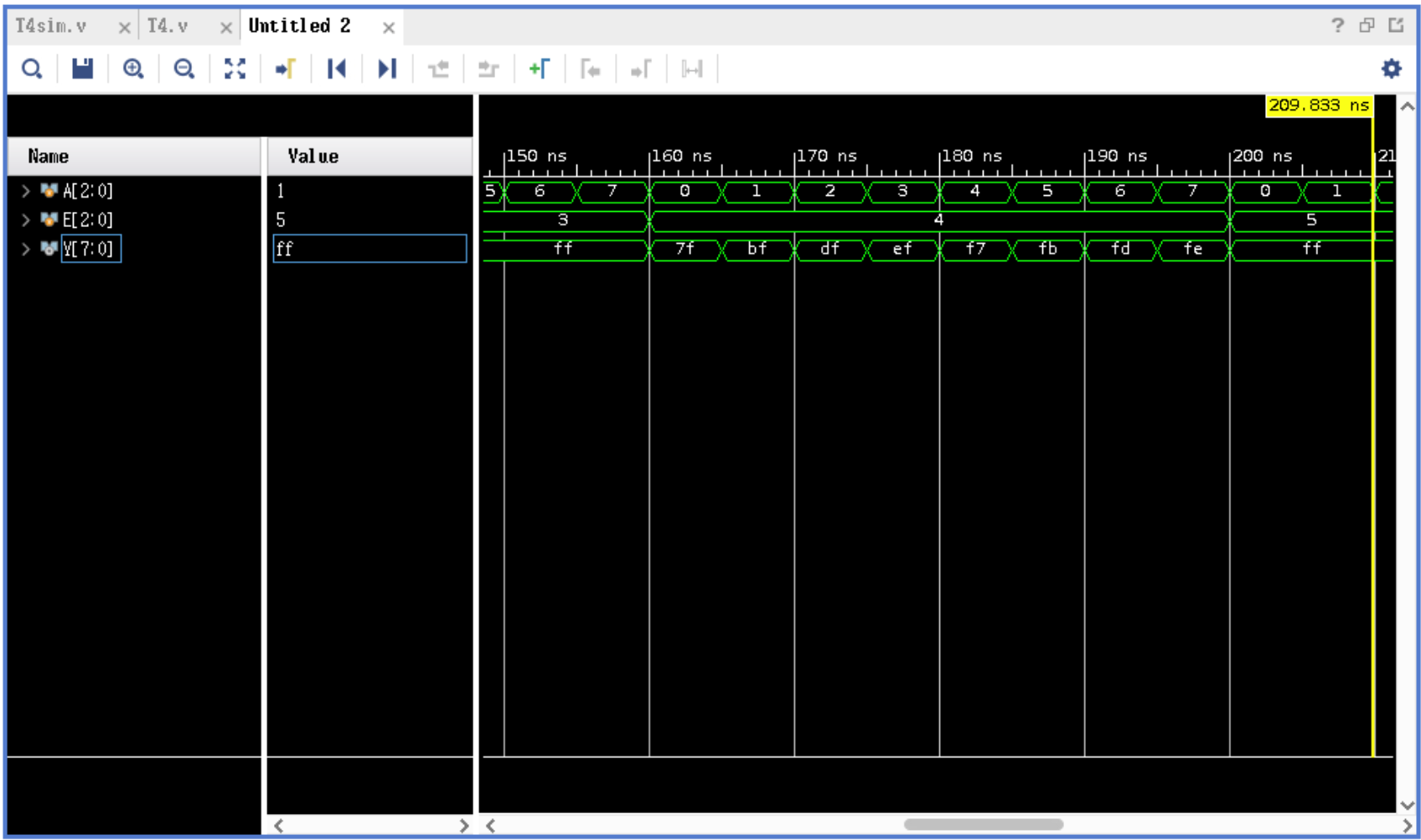
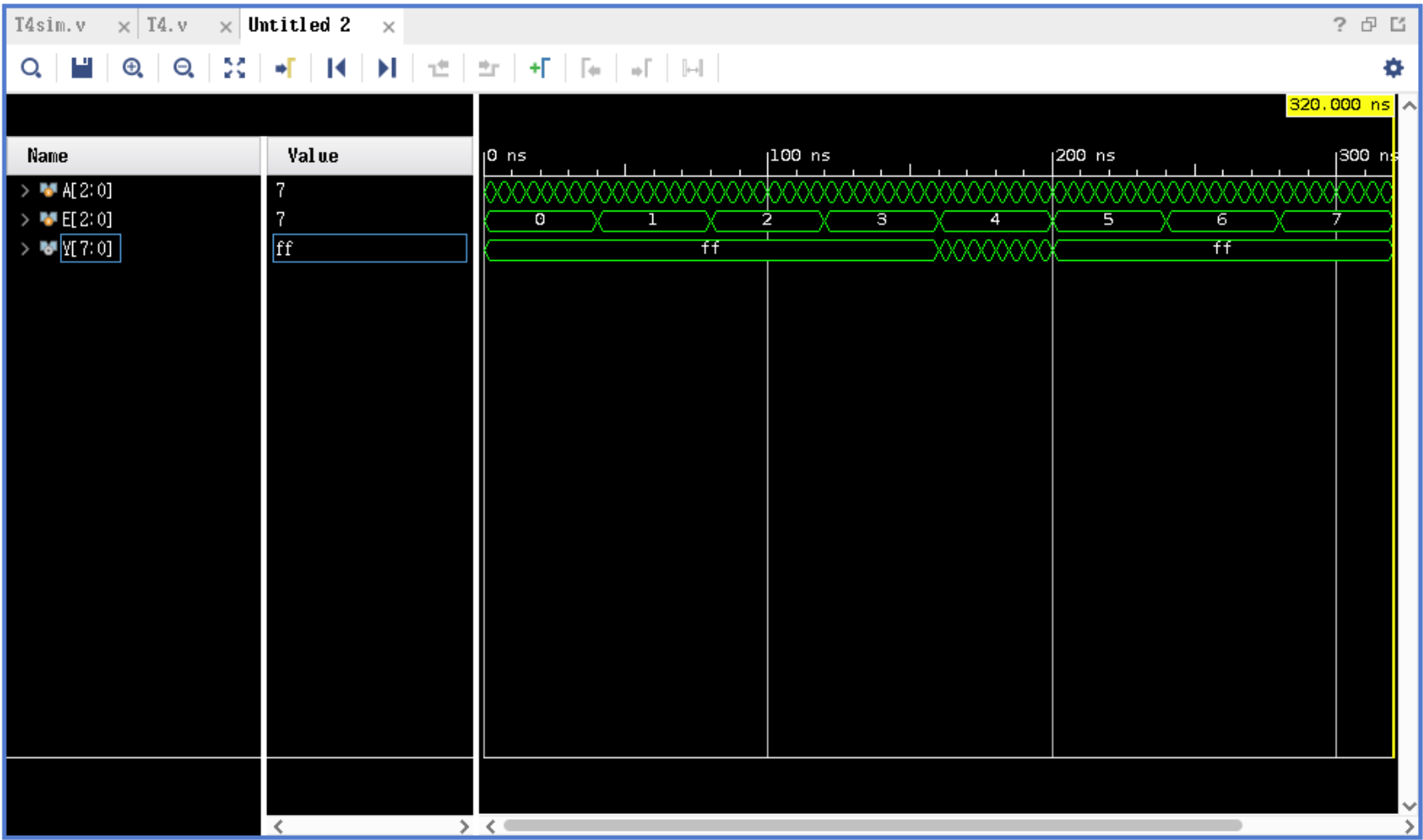
当使能信号S2S1S0为1 0 0时，三位信号A输入有效，将输出的八位信号Y的某一位变为0（低电平有效）。使能信号无效时，输出为八位1。Verilog代码如下：



要求遍历所有的输入组合，即遍历六位输入00\_0000到11\_1111。可以分别对A和E进行遍历，A信号初始为000，每过5个单位时间变为A+1，E信号,初始为000，每次A的八种情况遍历结束后E变为E+1，即每5 \* 8 = 40个单位时间变化一次。仿真在遍历完所有的输入信号后结束，即在40 \* 8 = 360时间后结束，写出仿真代码：



用vivado进行仿真得到结果：（第一张为所有情况遍历的大图，细节看不太清除；第二张为使能信号有效以及前后部分的细节展示）



【总结与思考】

1. 初步编写了verilog仿真文件，对仿真文件中的一些关键字和语句有了初步了解。
2. 进行了vivado仿真实验，也通过仿真判断了模块是否正常运作，同时有了更直观的观察模块特性的方法。