**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：\_\_\_\_\_\_FPGA原理和vivado综合\_\_\_\_\_\_

学生姓名：\_ \_\_\_\_ \_\_牛庆源\_\_\_\_\_ \_\_\_

学生学号：\_\_\_ \_\_\_\_PB21111733\_\_ \_\_\_\_\_\_

完成日期：\_\_\_\_ \_\_\_2022.11.17\_\_\_\_ \_\_\_\_

【实验题目】

1. 请通过实验中给出的可编程逻辑单元、交叉互连矩阵及IOB电路图，实现如下代码，并将其输出到引脚 B 上。给出配置数据和电 路截图。

*module test(input clk,output reg a);*

*always@(posedge clk)*

*a <= a ^ 1’b1;*

*endmodule*

1. 实验中的开关和 LED 的对应关系是相反的，即最左侧的开关控制最右侧的 LED，最右侧的开关控制最左侧的 LED，请修改实验中给出的 XDC 文件，使开关和 LED 一一对应（最左侧的开关控制最左侧

的 LED）。

1. 设计一个 30 位计数器，每个时钟周期加 1，用右侧的 8 个LED 表示计数器的高 8 位，观察实际运行结果。将该计数器改成 32位，将高 8 位输出到 LED，与前面的运行结果进行对比，分析结果及时钟信号在其中所起的作用。

【实验目的】

了解 FPGA 工作原理

了解 Verilog 文件和约束文件在 FPGA 开发中的作用

学会使用 Vivado 进行 FPGA 开发的完整流程

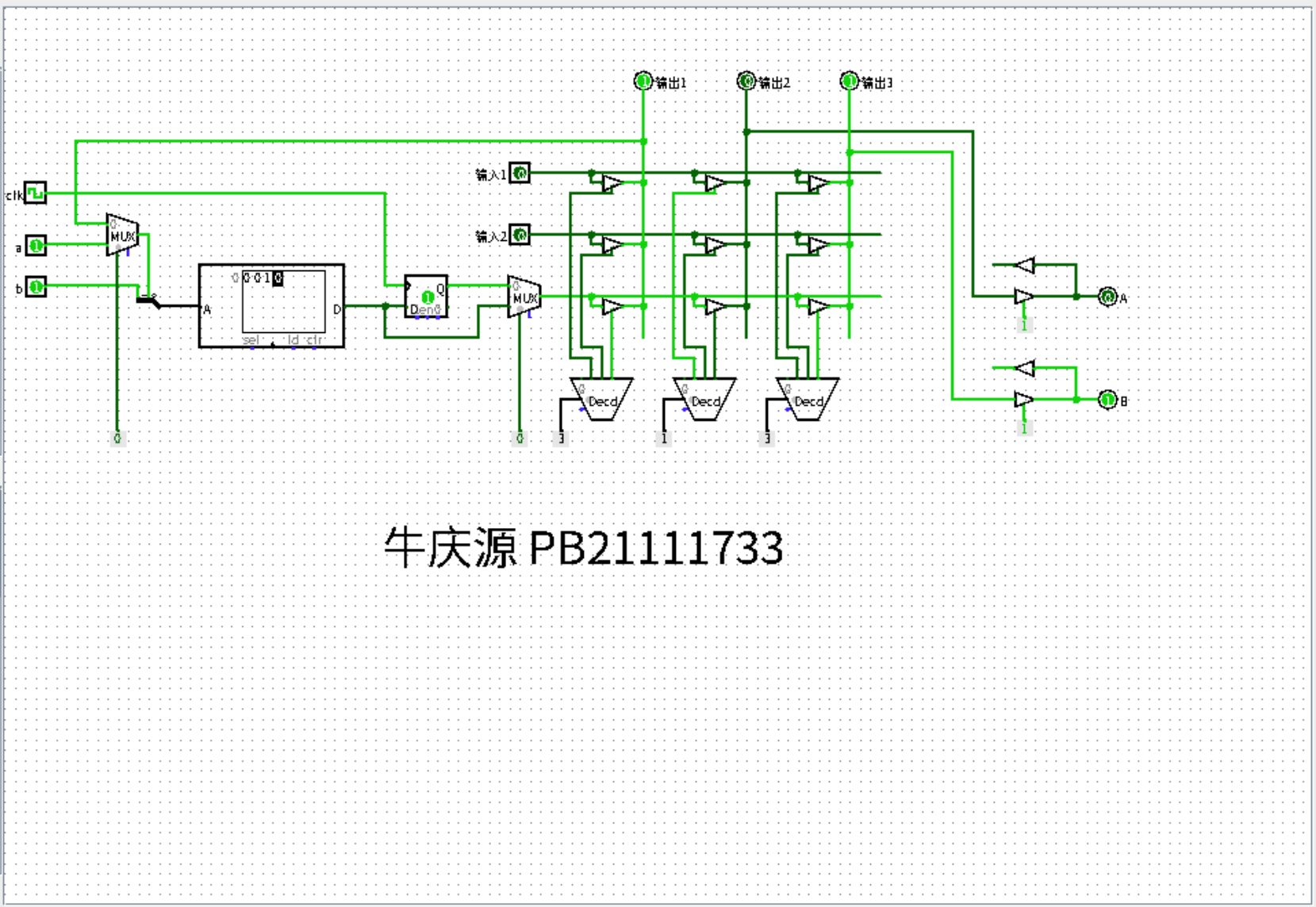
【实验环境】

vlab.ustc.edu.cn

Vivado软件

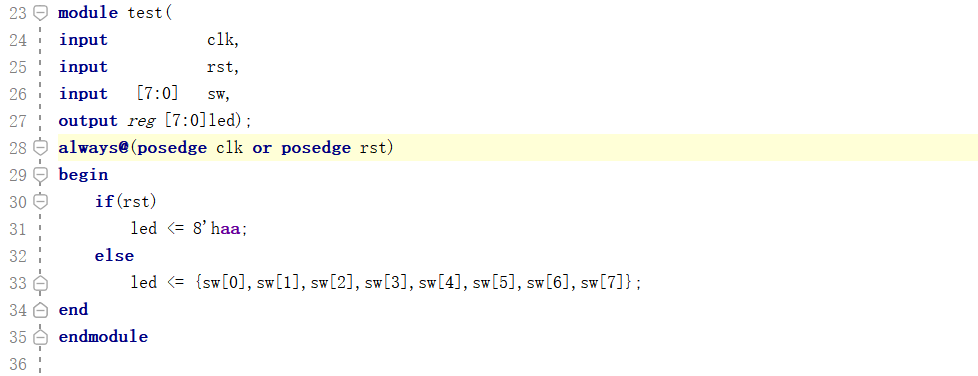
fpgaol.ustc.edu.cn

【手册操作】

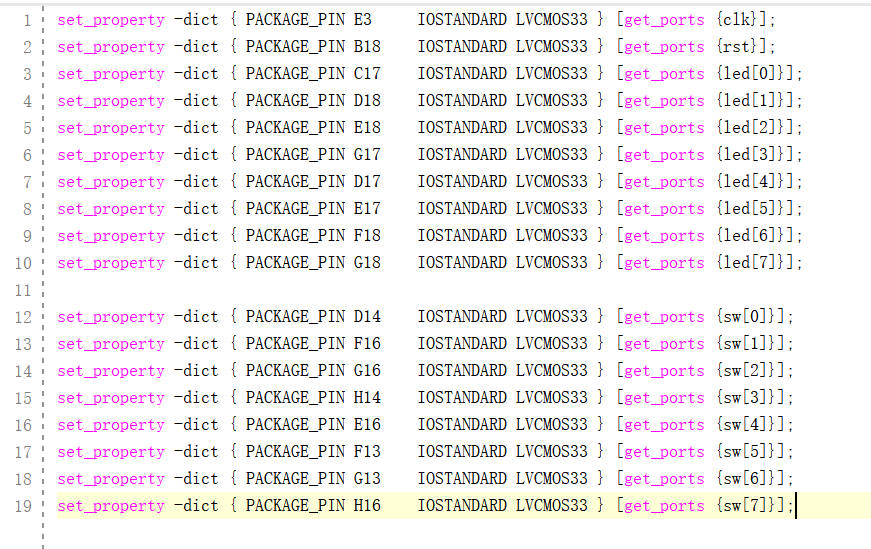
Step4：

Step5：

控制文件

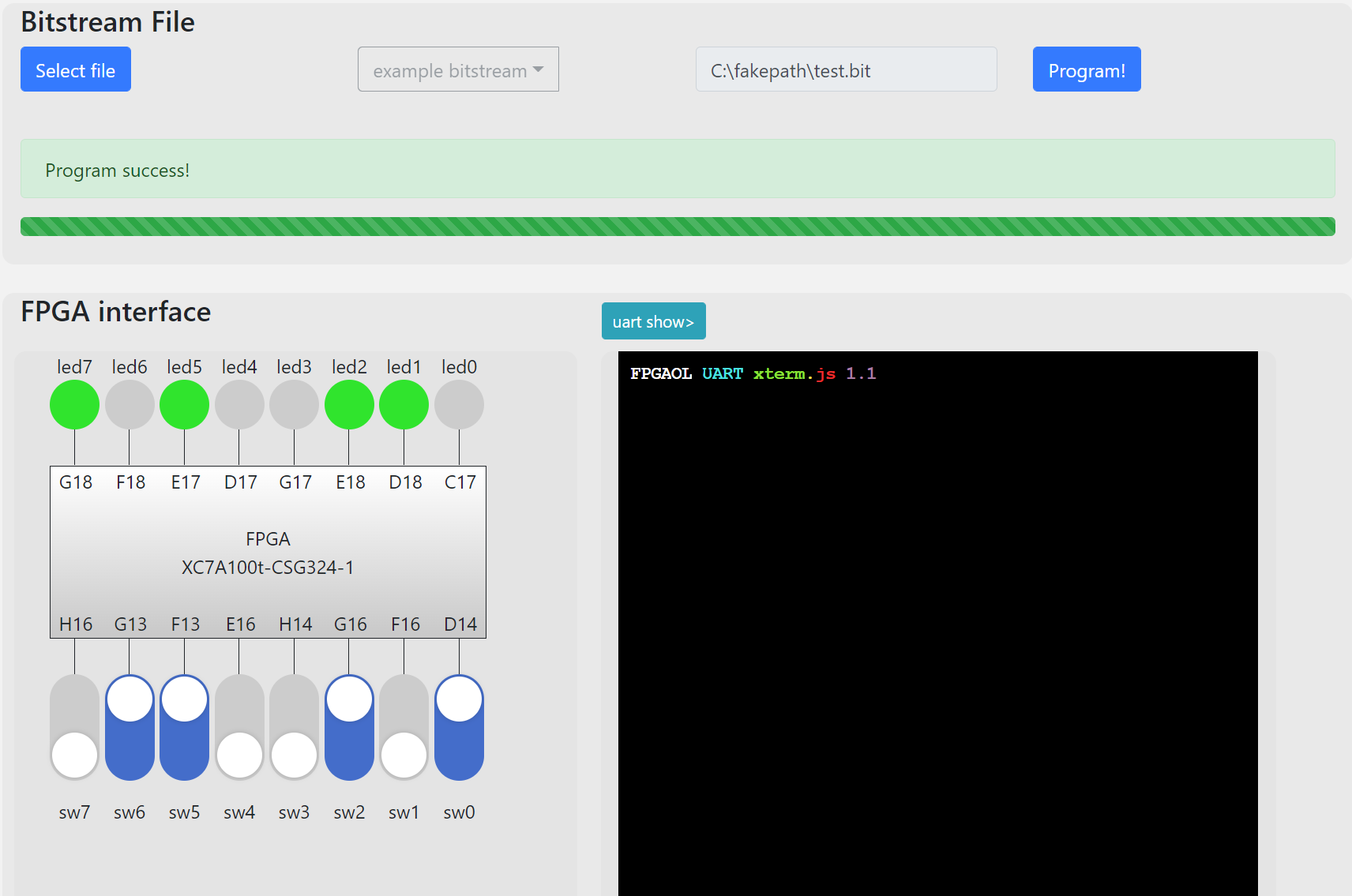


约束文件



Step6：

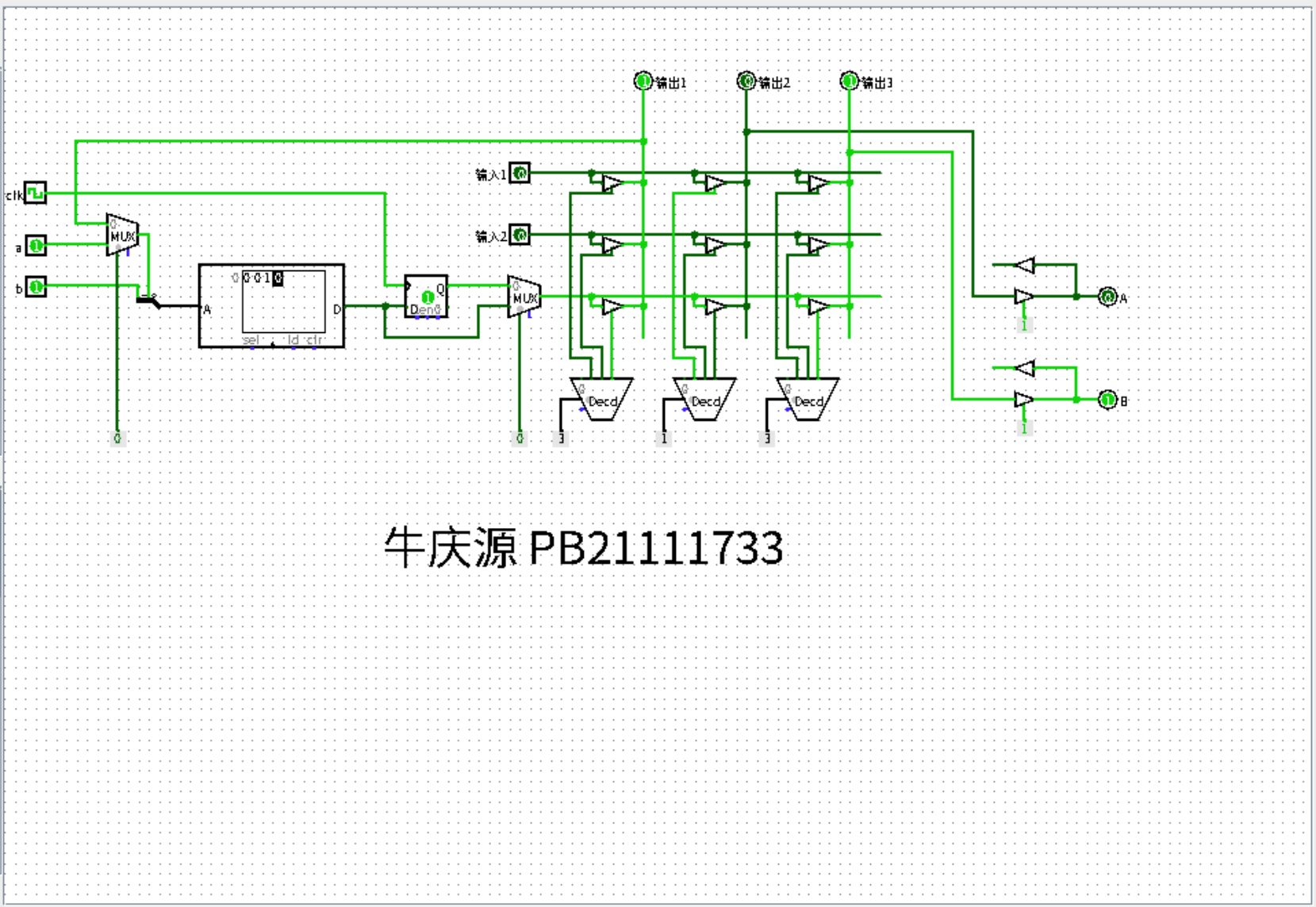
烧写FPGA



【实验练习】

**题目一**

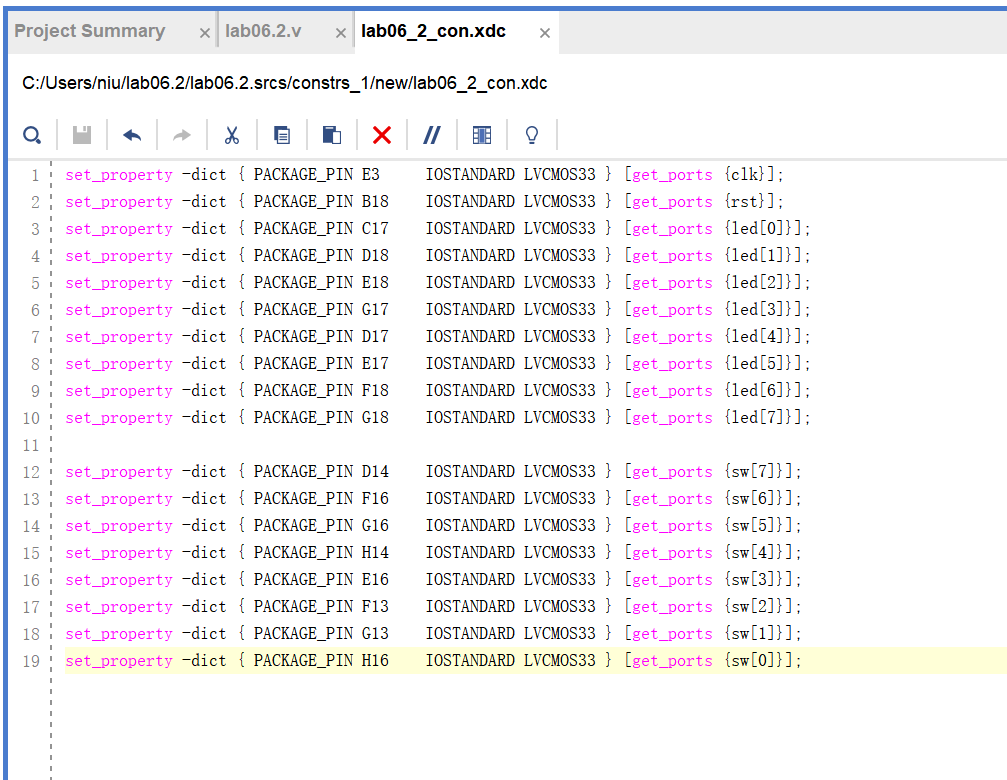
设置配置区域为0 0 3 1 3，RAM配置为0010，a和b输入为1 1。另RAM接入的2bit信号为{b，a}，a的信号由0,1变化则选择RAM的后两位中的一位输出，经过选择器输入到交叉互连矩阵中，作为输入。输出1为电路的输出，输出2和输出3经过控制模块IOB。输出3与输出1相同，输出2与输出1不同。输出1回到a端，与a信号处理后当做RAM接入的低位bit输入。得到电路图如下。



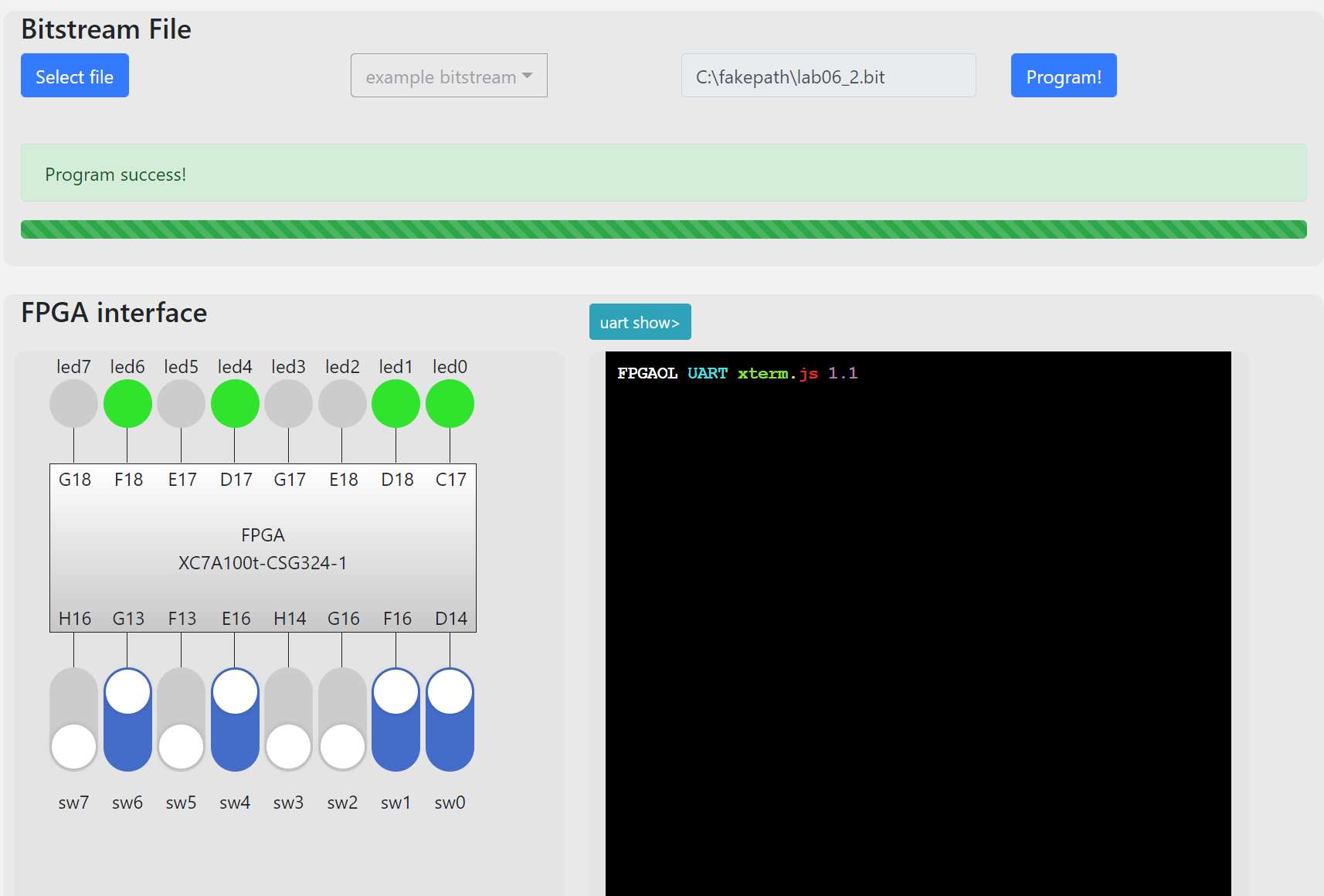
**题目二**

只需要将step5中的sw全部反接即可。

约束文件如下：（仅将sw的高位与低位一一调换即可）

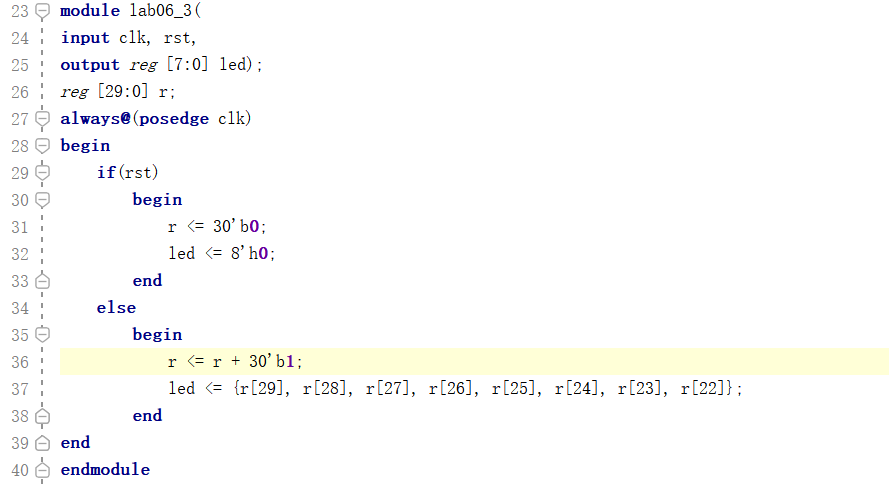


烧写FPGA如下

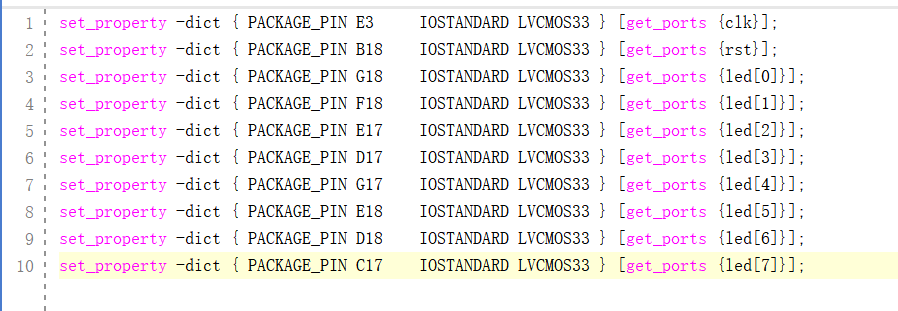


**题目三**

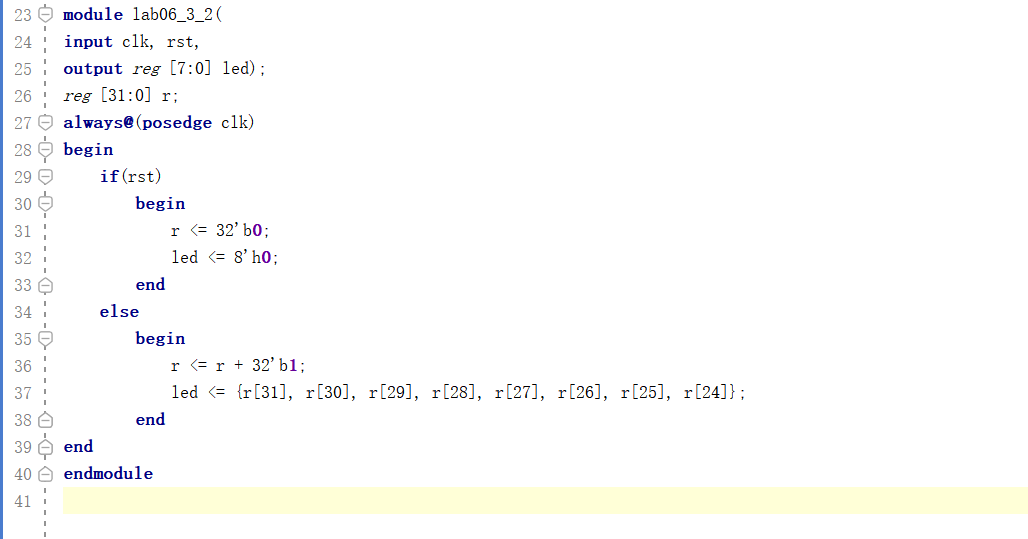
要设计30位计数器，使用30bits的信号作为计数器，时钟信号用于触发计数器所计数的增加，每经过一个时钟周期，计数器信号增加，并将高八位赋予led的八位信号。设计rst同步复位信号，rst有效时复位为0。控制文件如下：



约束文件如下，只需要将rst信号，led信号与管脚一一对应即可：



32位计数器只需要将计数的信号改为32bits，led取高八位信号，其余相同即可，控制文件如下：



约束文件与之前文件相同。

烧写FPGA发现32位计数器中LED闪烁的频率低于30位计数器。 时钟信号作用为控制计数器增加。

【总结与思考】

1. 首先了解了FPGA的工作原理以及Verilog 文件和约束文件在FPGA 开发中的作用 ，其次学会了如何编写约束文件，如何使控制文件和约束文件联动。
2. 难易程度为中等，出现了不少的bug，一一解决。
3. 任务量中等，完成时间花费中等。
4. 没有较好的改进建议，实验手册详尽，不过希望约束文件可以以文字形式给出例子，可以减少我们重复的工作量。