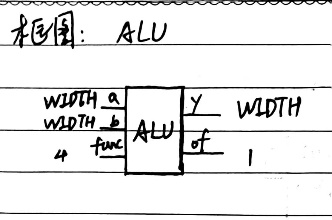
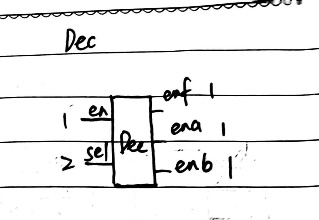
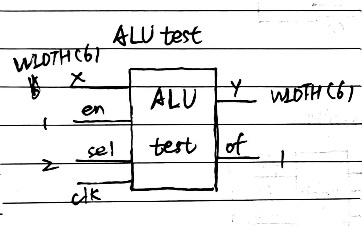
# Lab 1 report

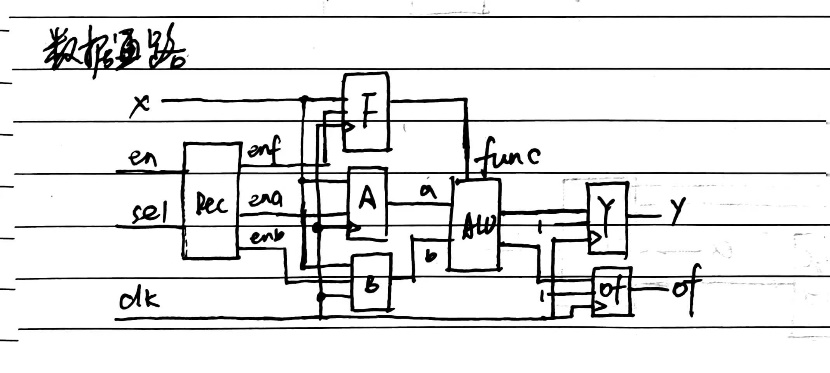
## 实验目的与内容

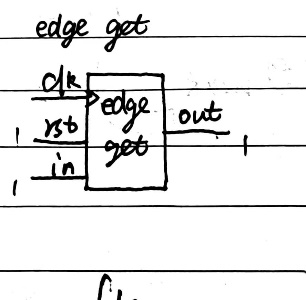
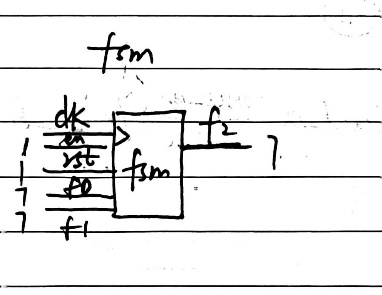
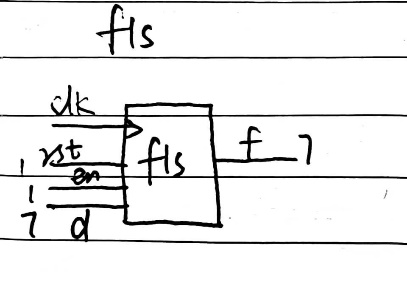
1. 本次实验主要完成了alu运算器模块的设计，并例化该模块使用译码器分时输入数据测试了该模块。使用该模块的加法功能完成了对斐波那契数列的计算。均在vivado中完成了仿真，最后上板实验。本次实验的目的为复习verilog的基础语法和例化方法，使用vivado进行仿真实验，使用vlab平台在线fpga。

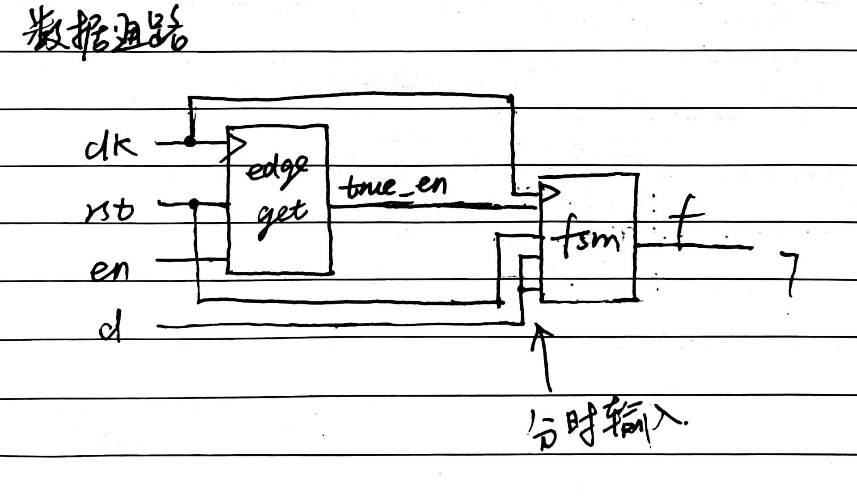
## 逻辑设计

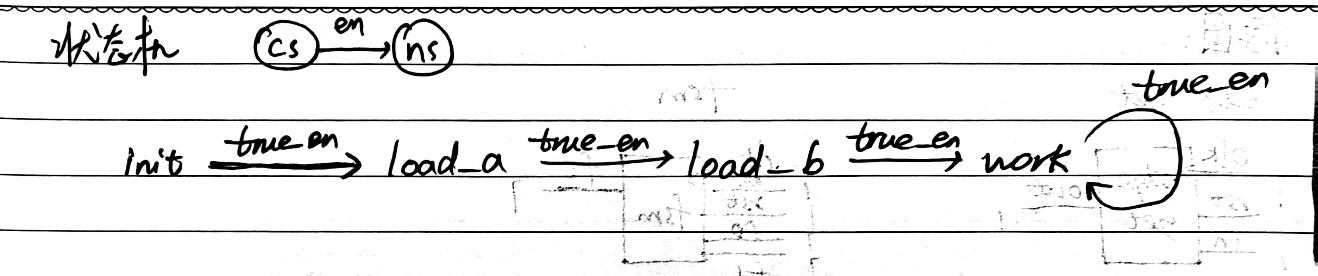
1. 框图和数据通路如下

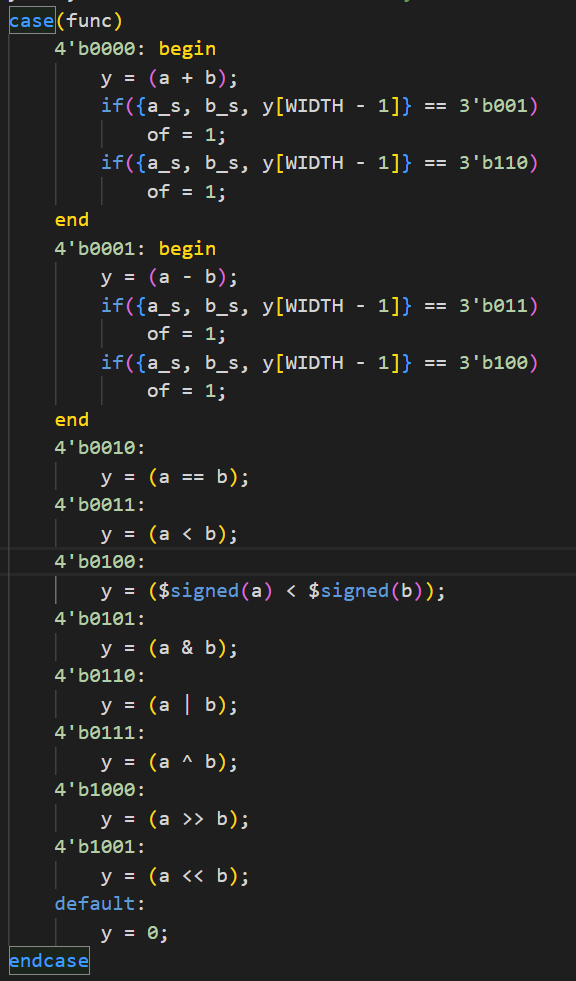
alu： dec alutest

数据通路：

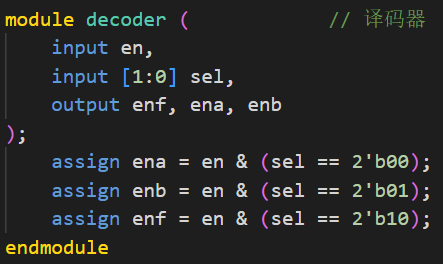
edgeget fsm fls

数据通路：

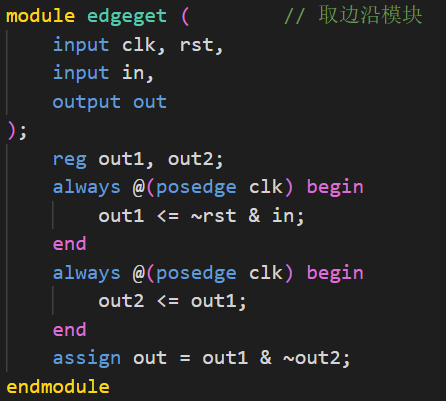
1. 状态机在fls中有fsm为状态机：如图
2. 核心设计代码如下：

对于溢出标志of，采用取a,b,y的最高位，通过罗列溢出的各种可能性，用==判断语句描述溢出。

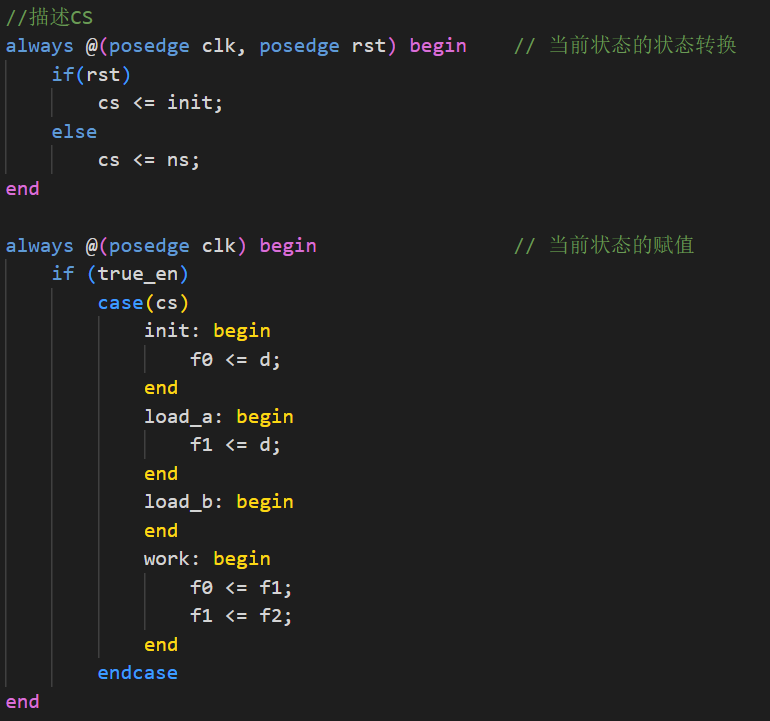
译码器如下：

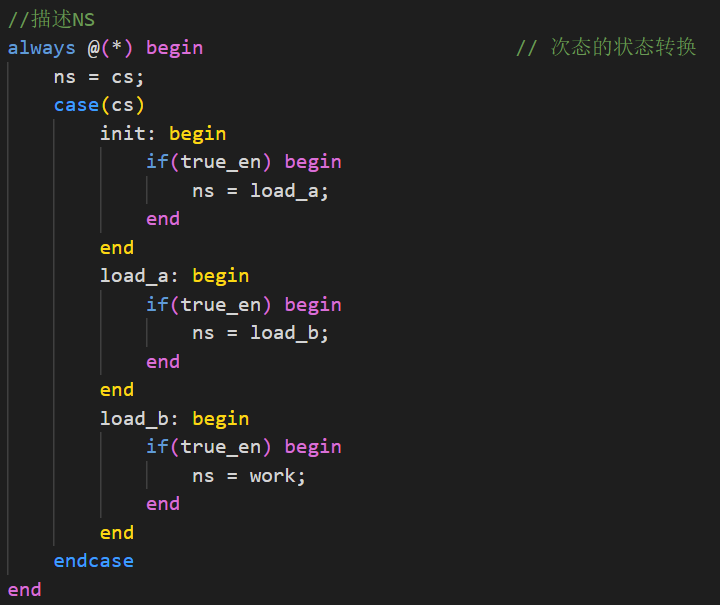
简单的assign赋值。

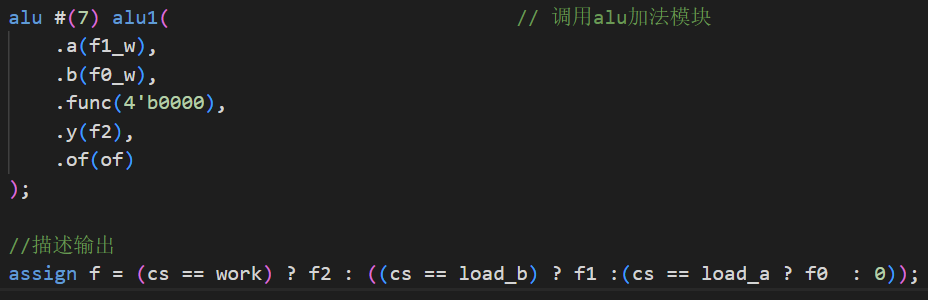
取边沿代码沿用之前的设计：

保证每次生效均在时钟上升沿。

三段式如下：

对当前状态进行赋值

状态机的状态转换

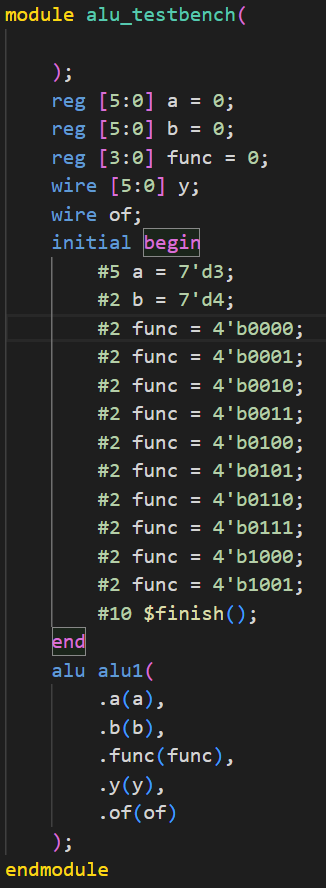
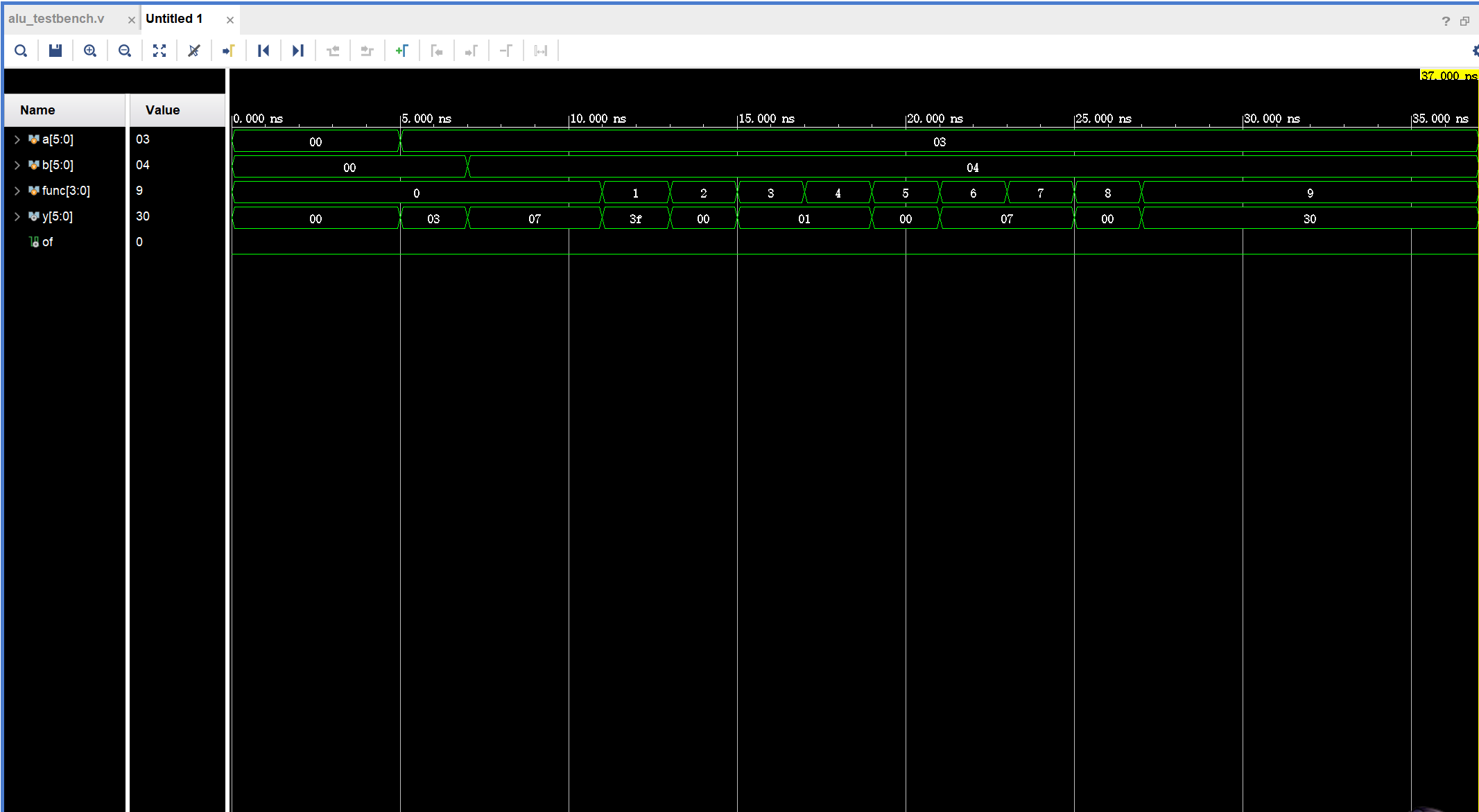


对当前态处于哪种状态进行判断得到输出。

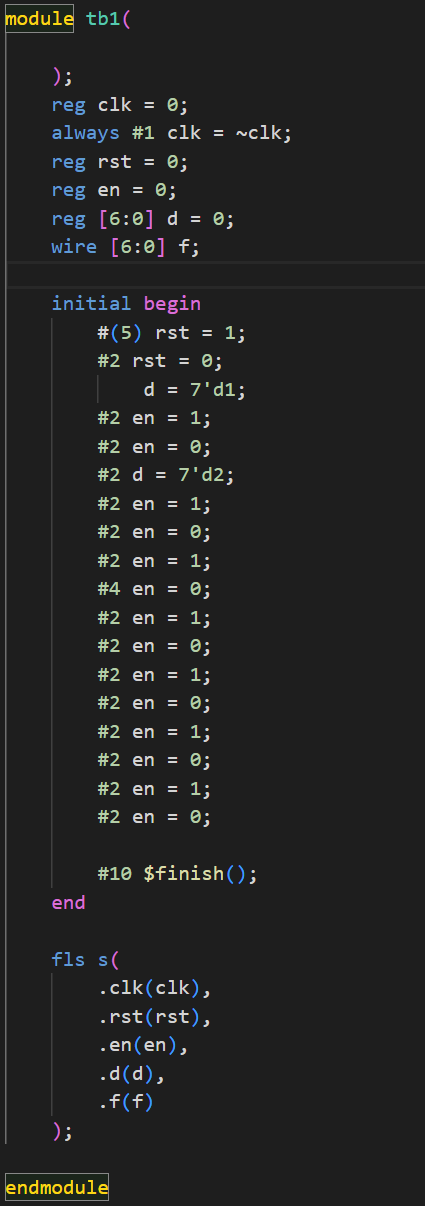
## 仿真结果与分析

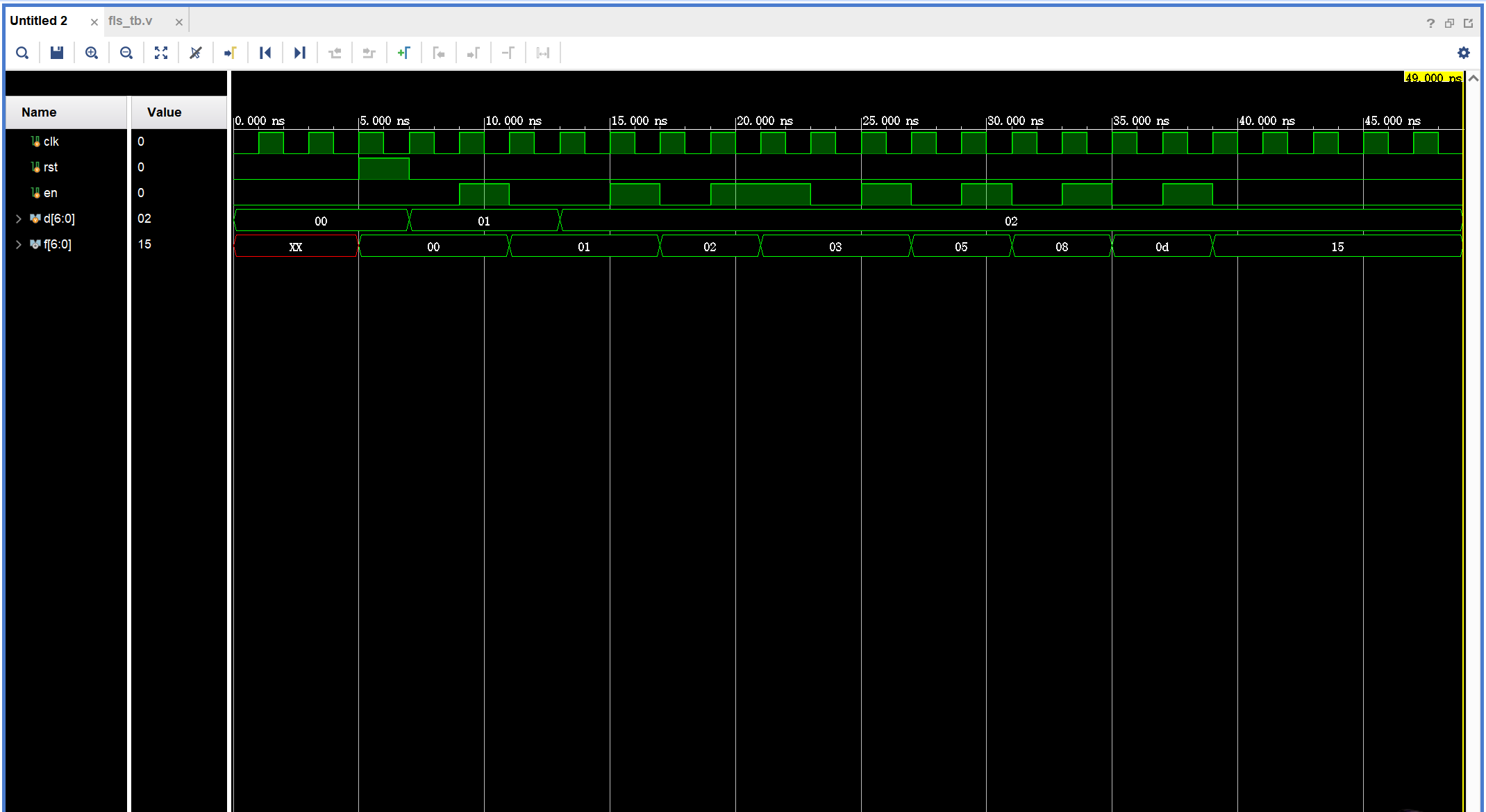
1. 仿真文件截图和仿真结果解释：

alutest仿真：

func初始为0时，当a输入为3，b为4，结果为7，of标志不溢出，当func为1时结果为-1，6位补码表示为3f，同理检查之后的func，均无误。

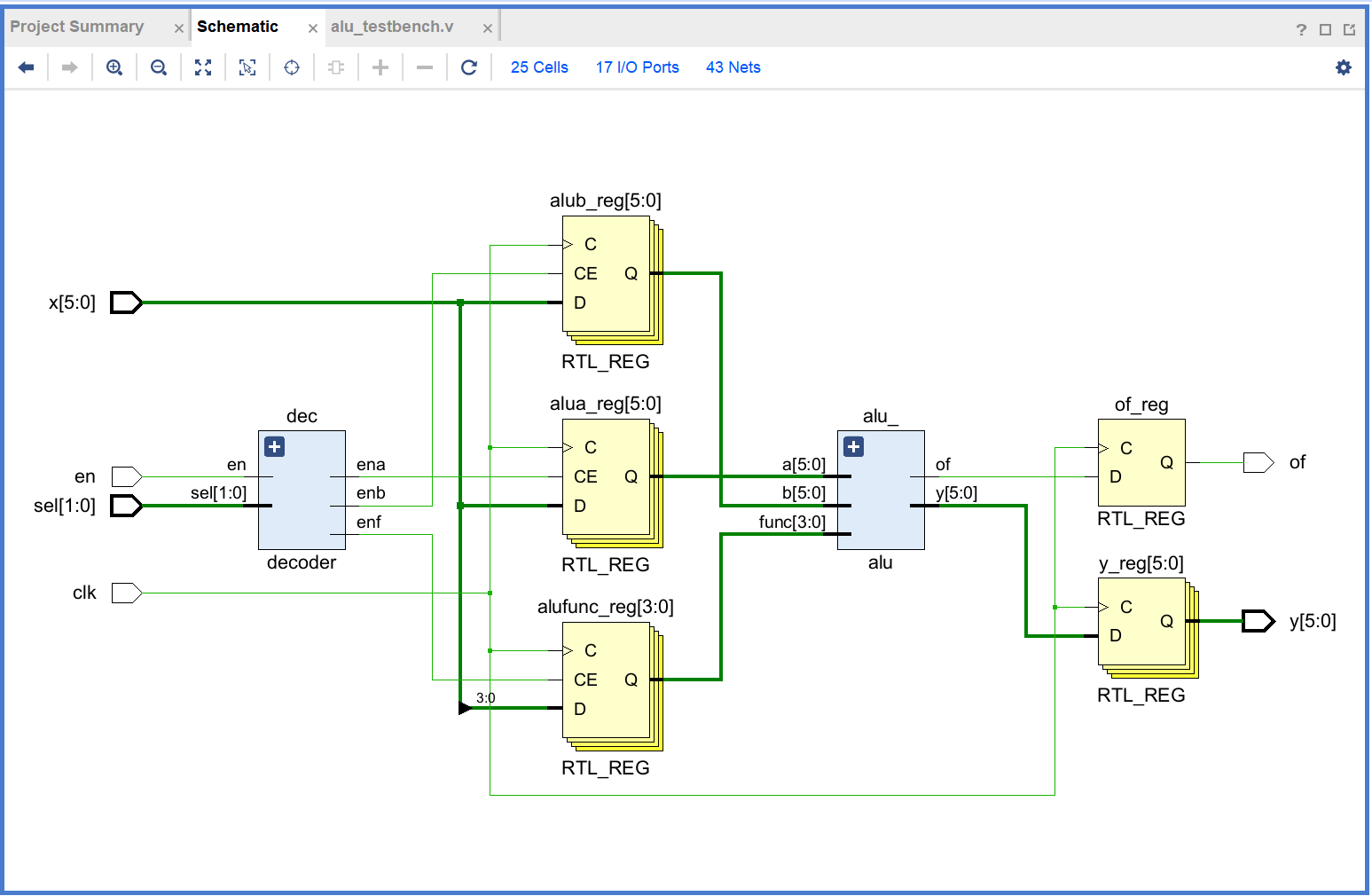
fls仿真：

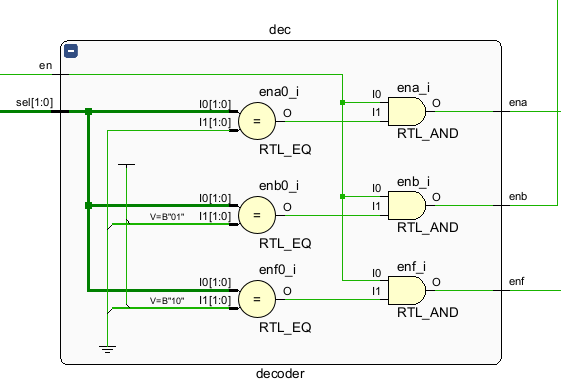
首先rst，在rst之后适时载入第一个数字和第二个数字，之后分别隔可能不一样的时间间隔使en有效。仿真结果观察到在en有效时，只有当一个时钟上升沿时进行数据的载入或者是数据的计算，载入1,2之后得到后续的计算结果也无误，满足要求。

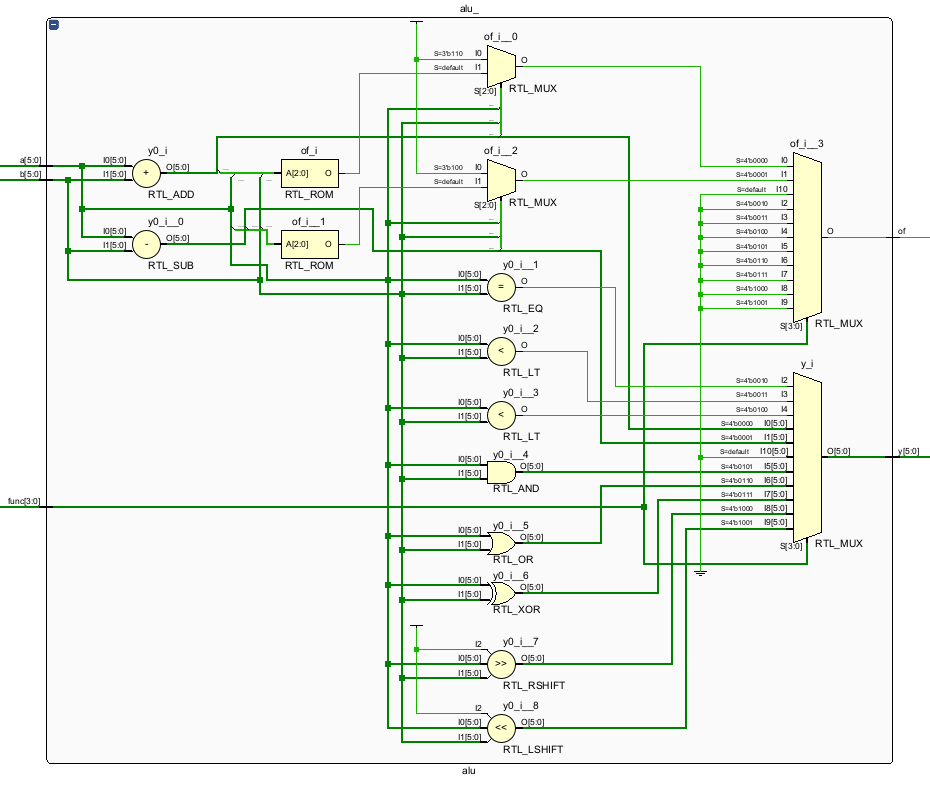


## 电路设计与分析

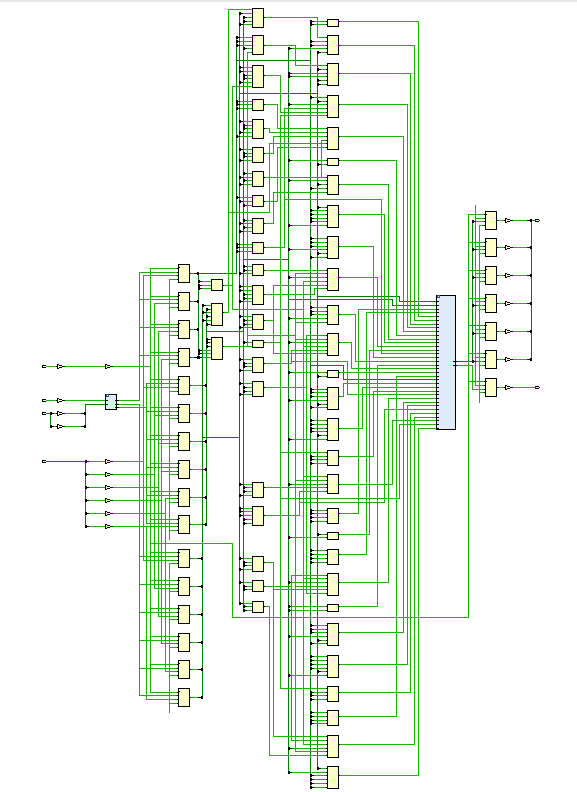
1. RTL电路图如下：



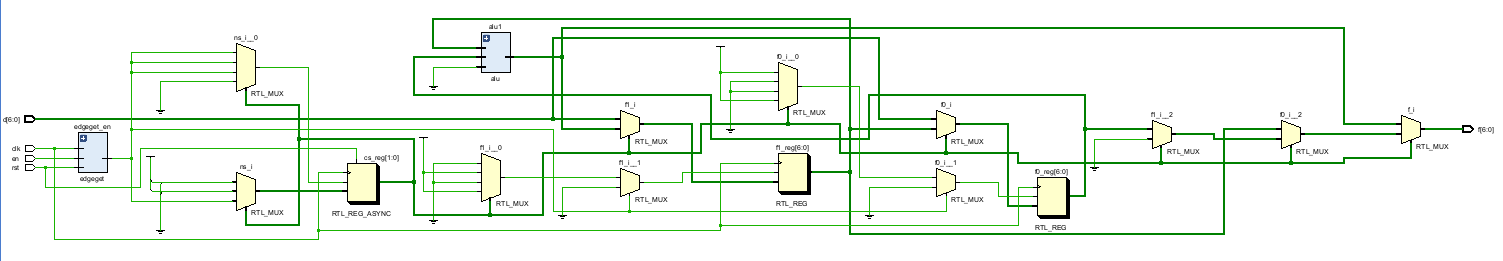


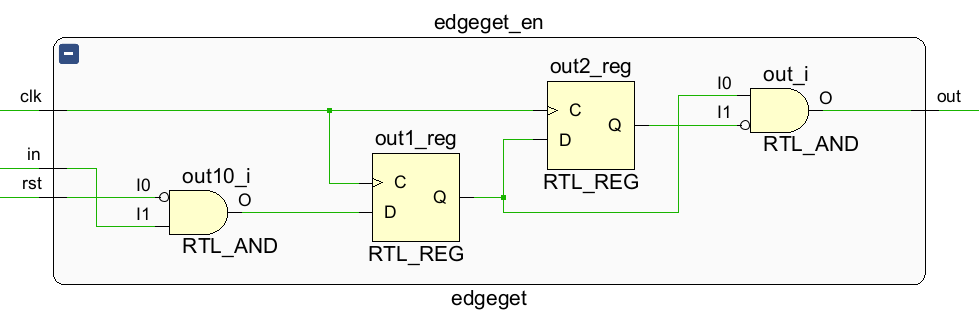


alutest综合后电路如下：

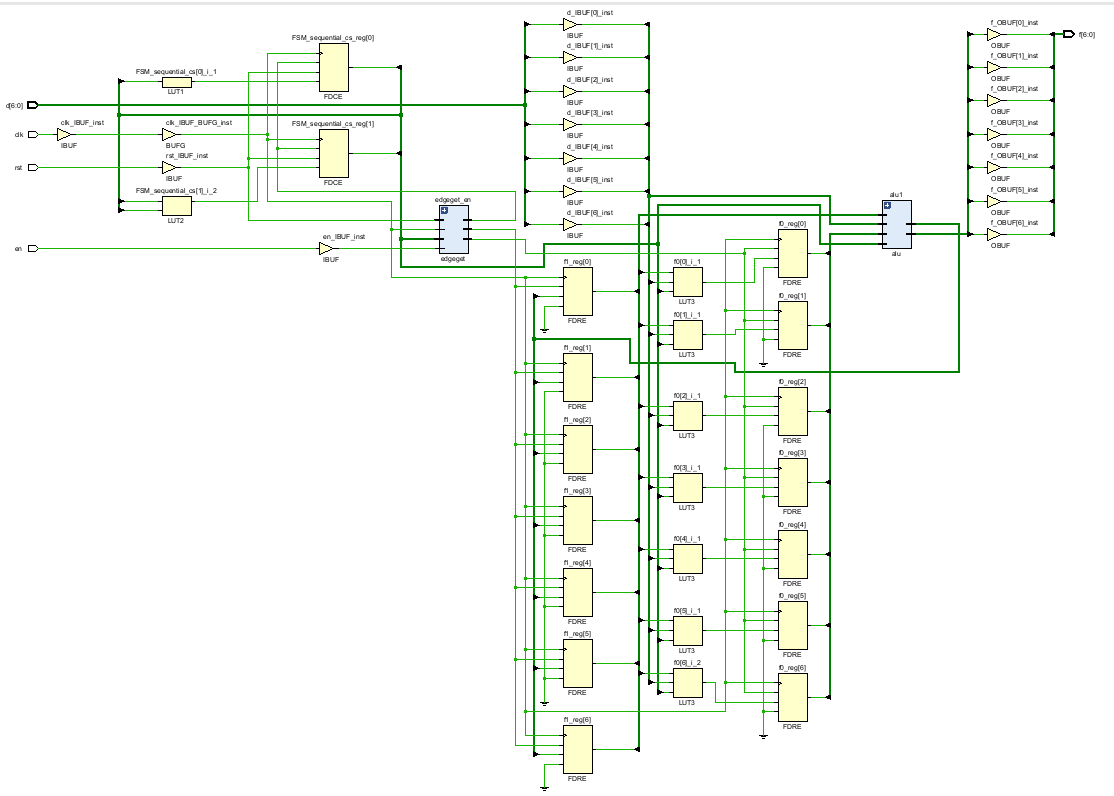


fls的RTL电路如下：





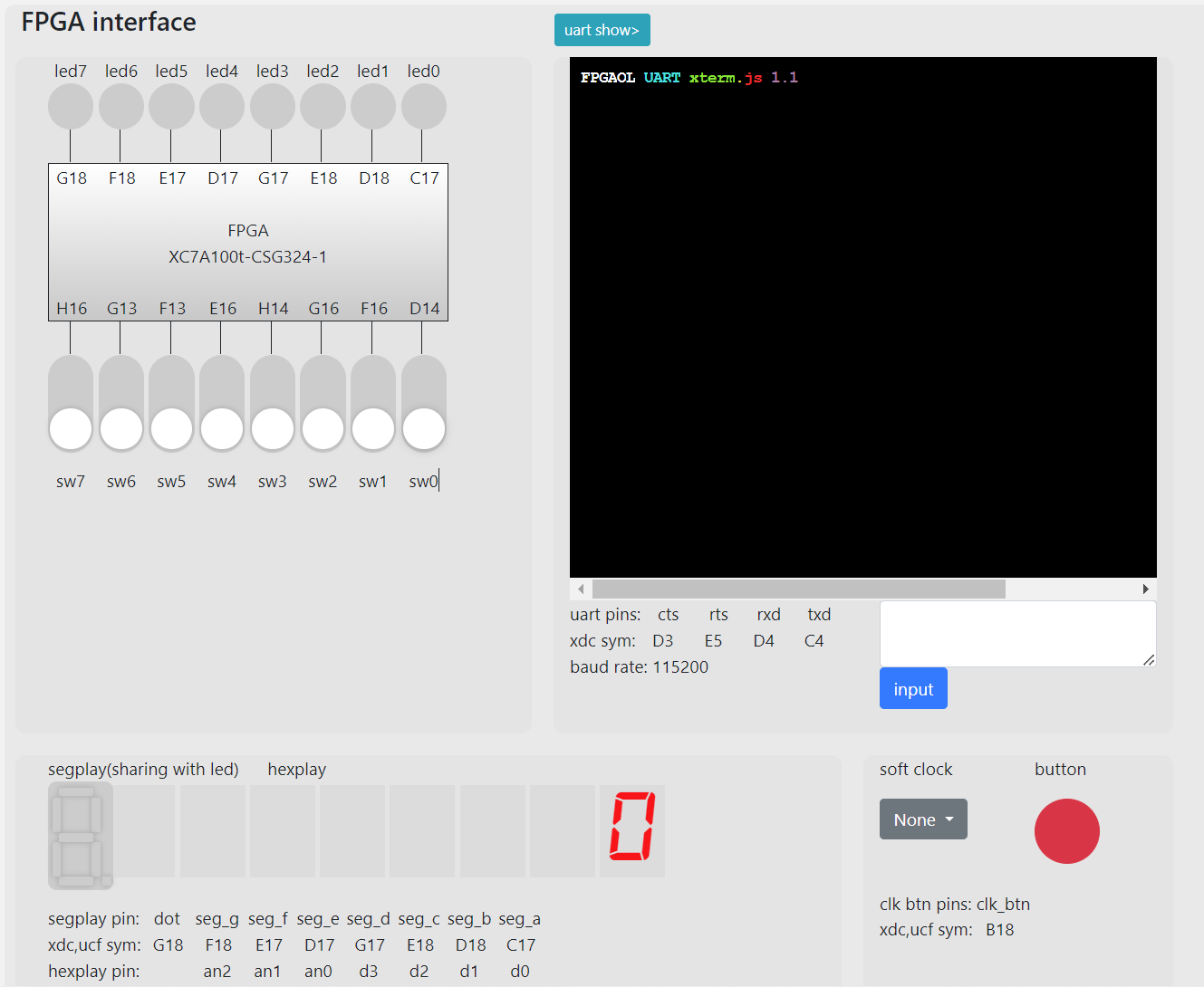
综合后电路如下：



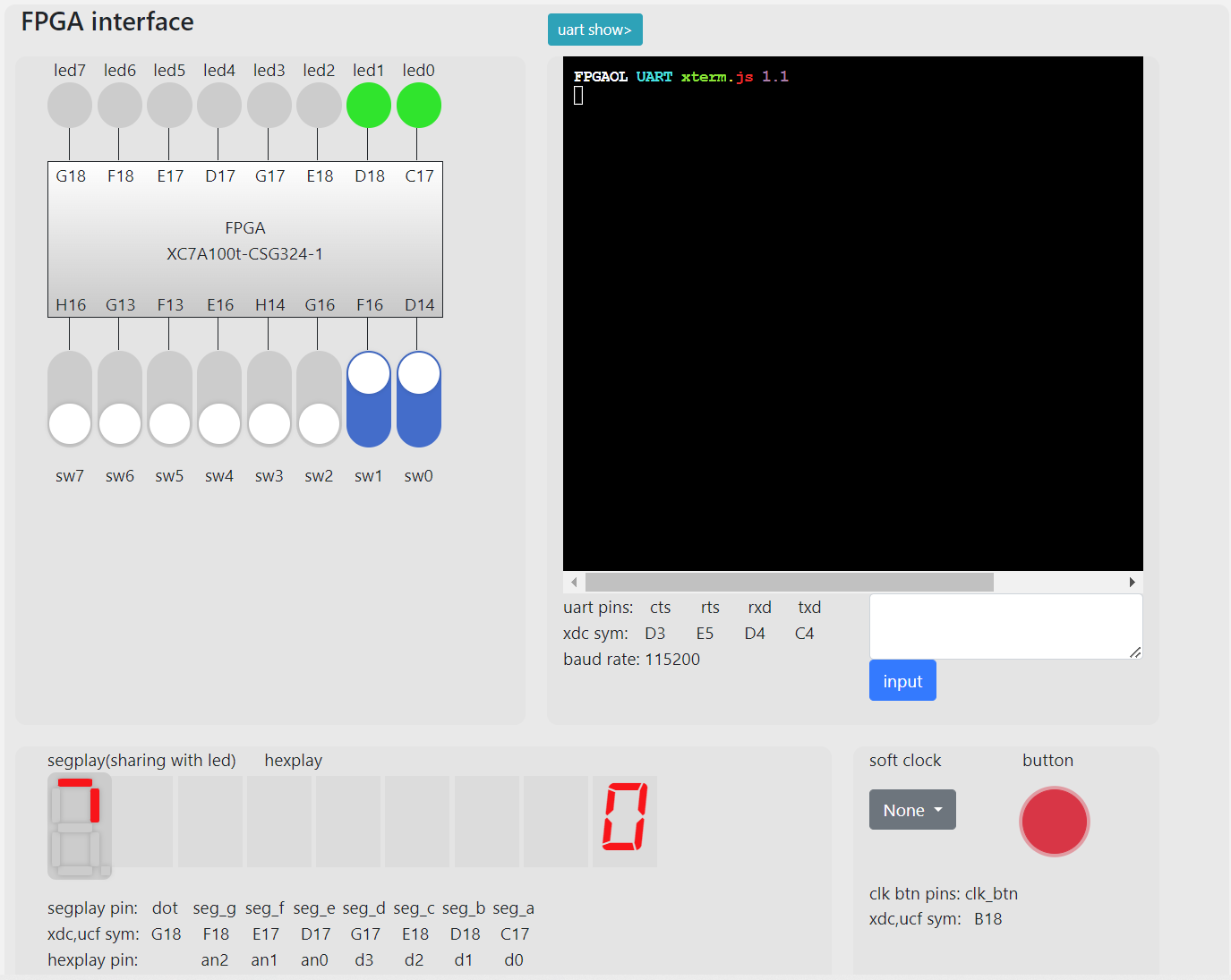
## 测试结果与分析

1. alutest上板实验：

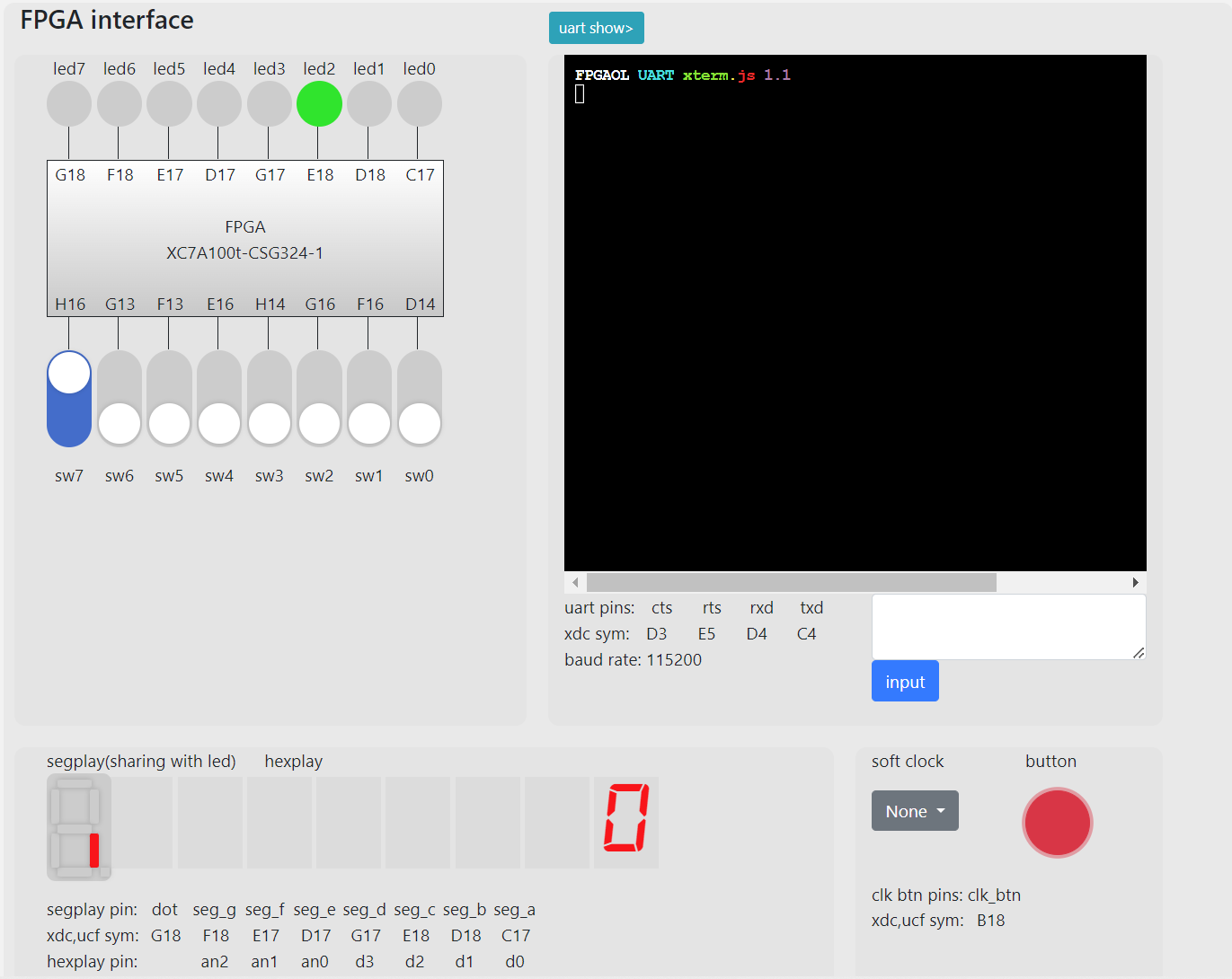
初始：



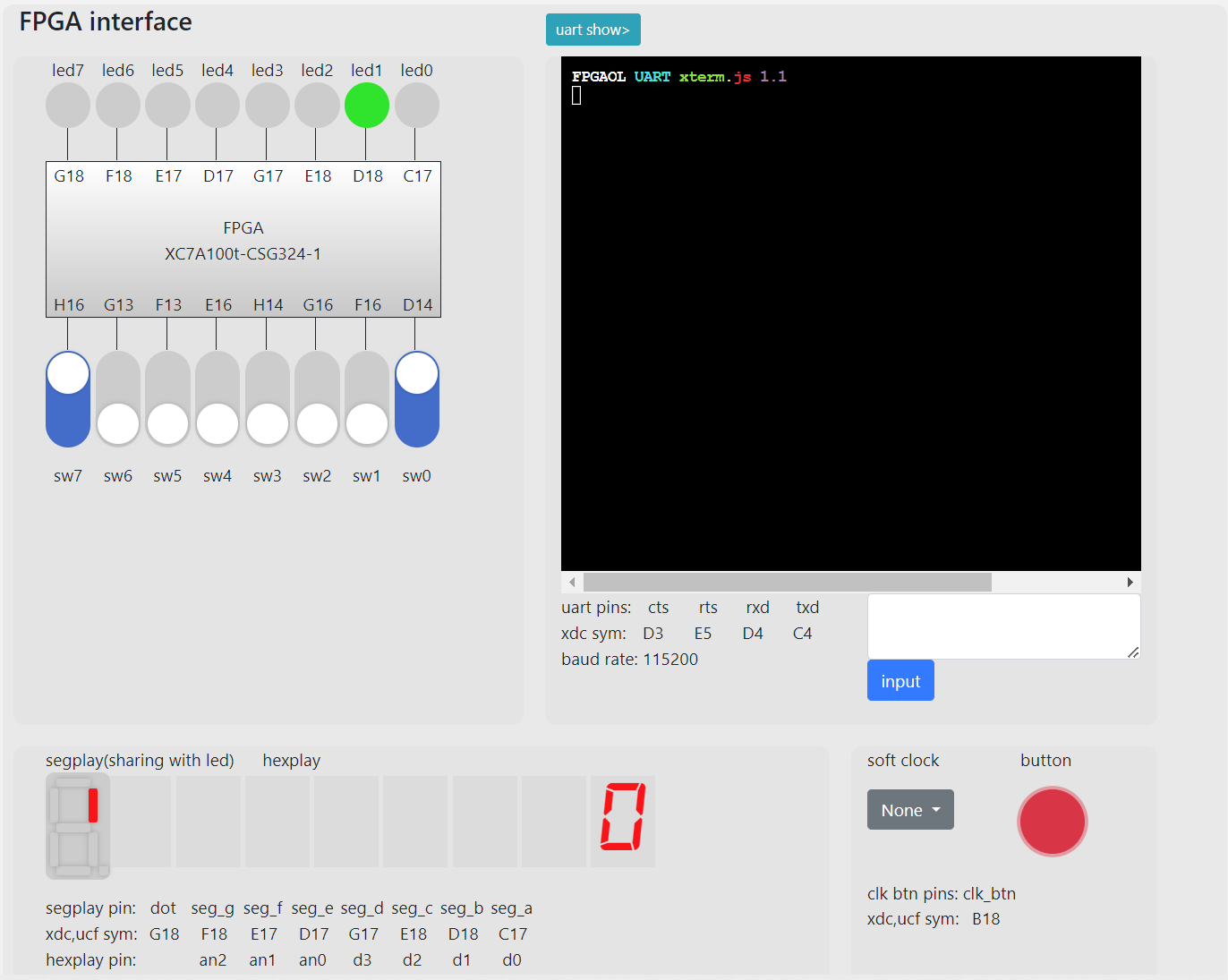
载入a为3：



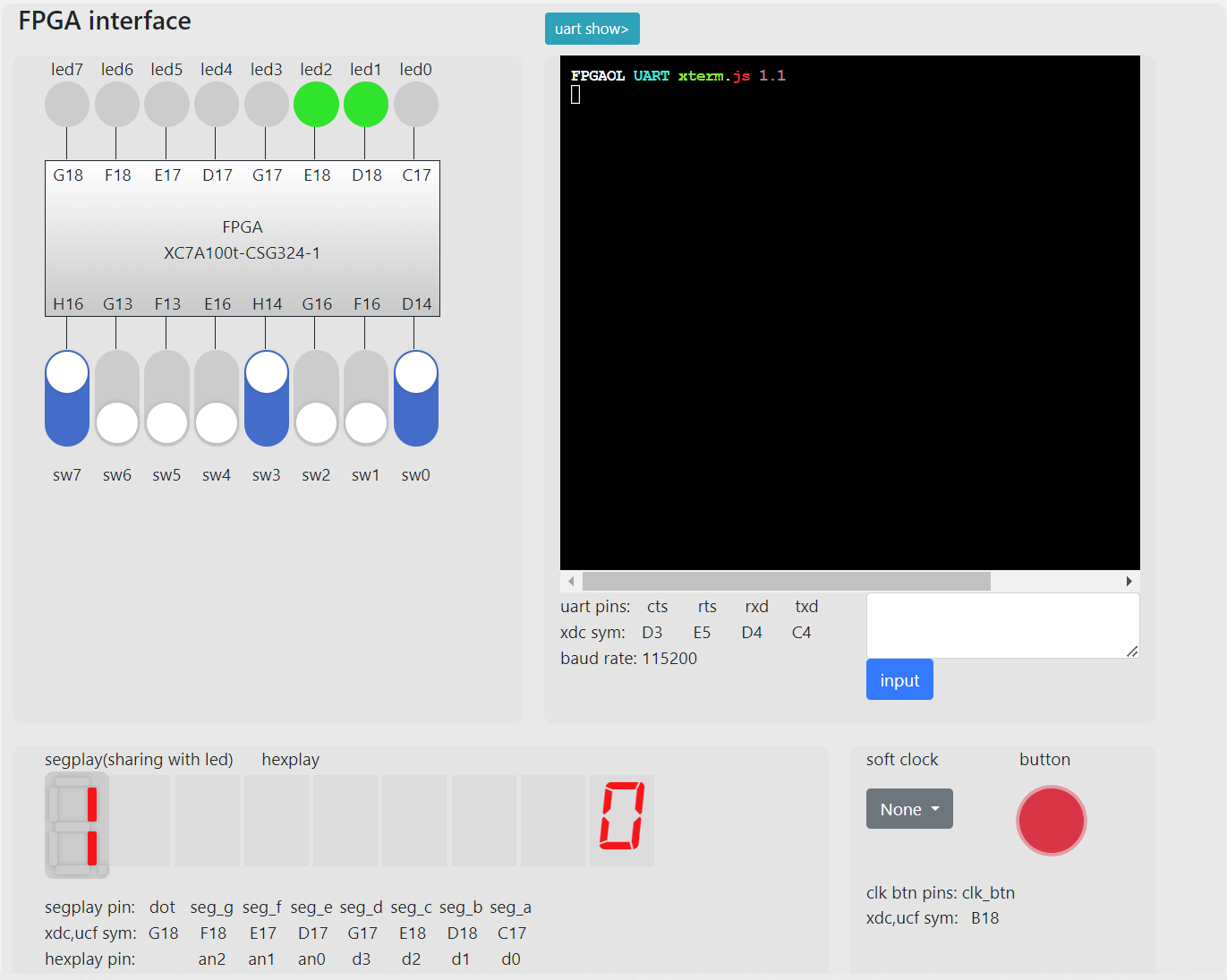
载入b为1同时由于func默认为0000完成加法得到结果4：



载入func为0001测试减法得到结果2：

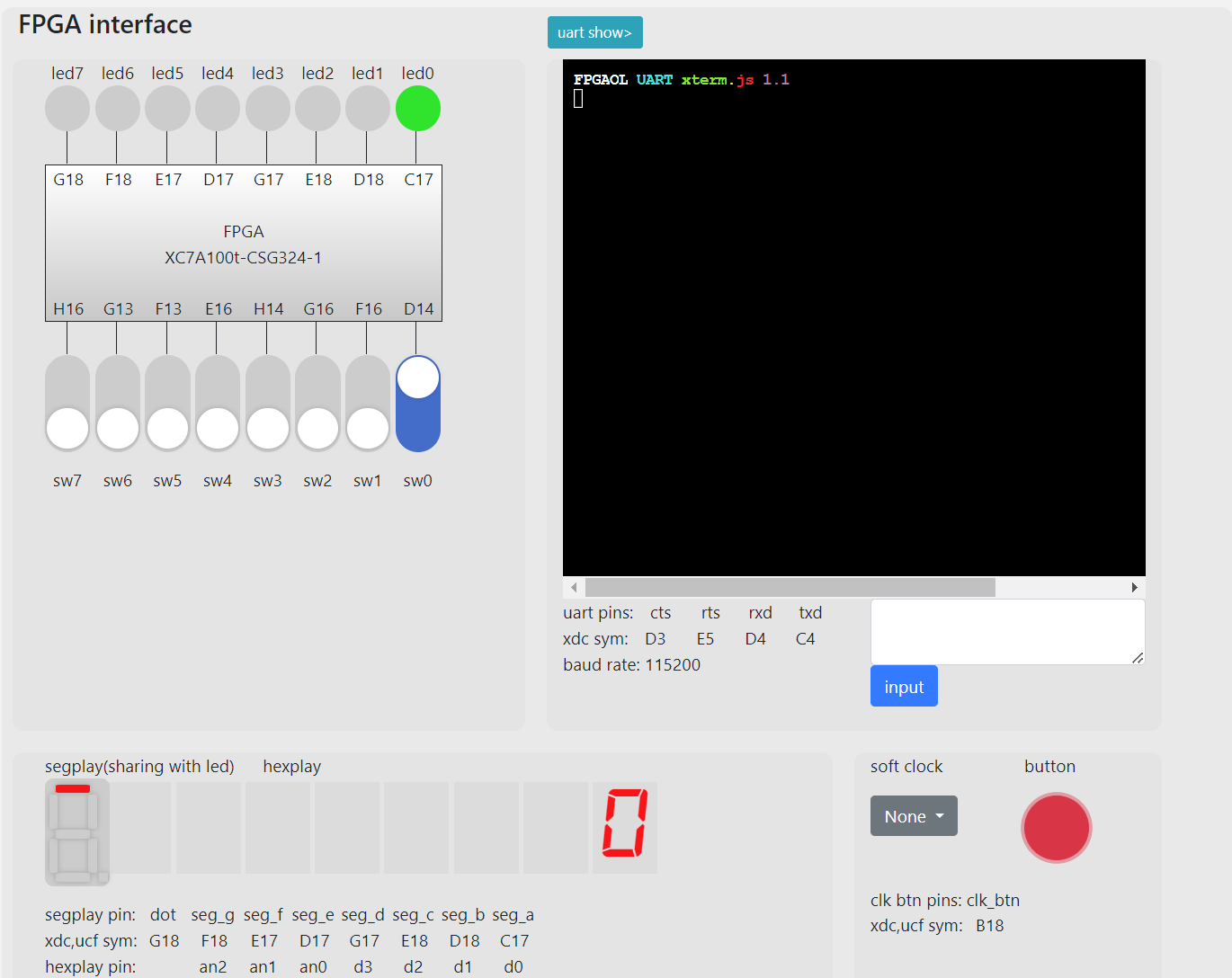


载入func为1001进行左移操作得到的结果如下,即从000011变为000110：

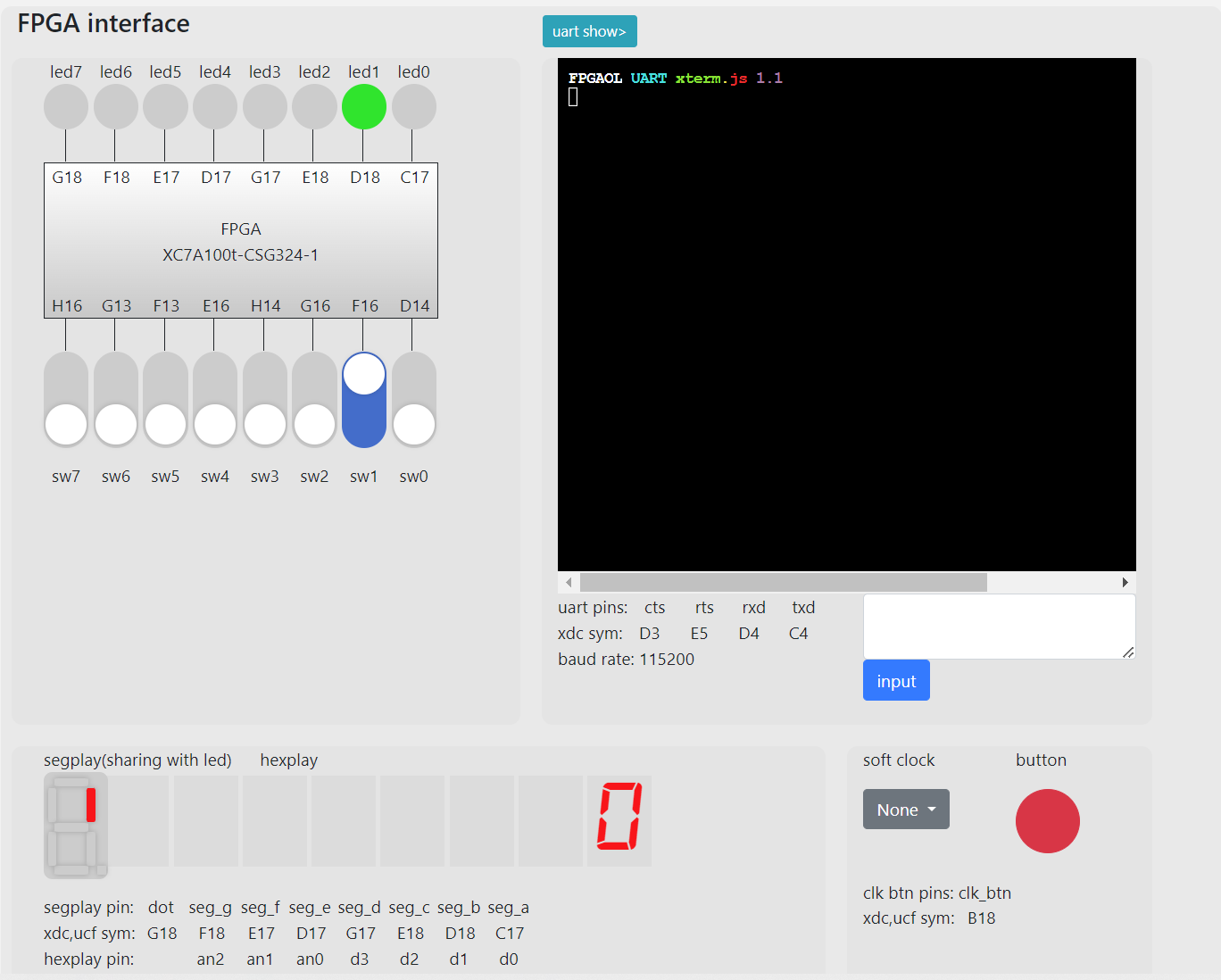


对fls上板测试：

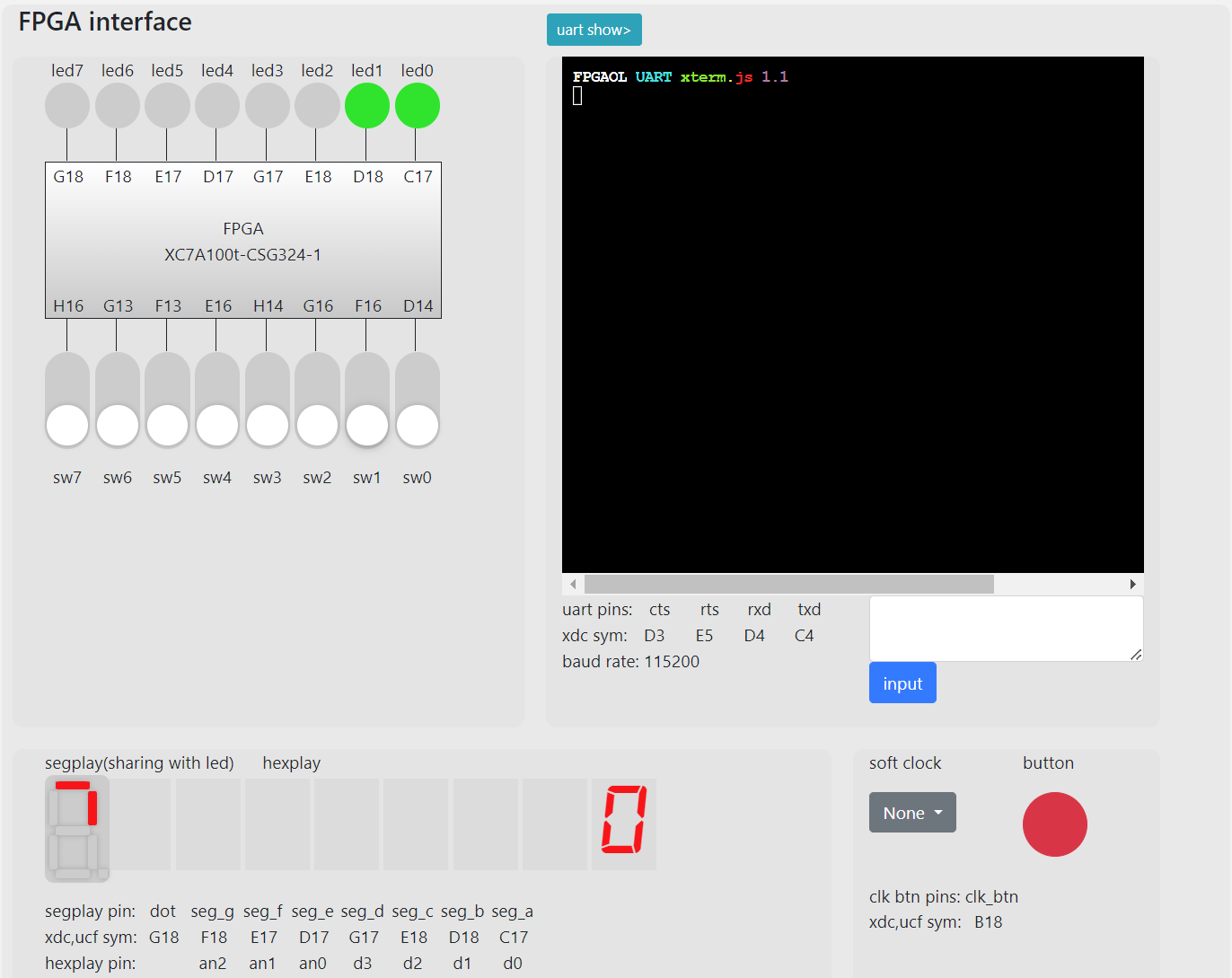
载入第一个d为1：

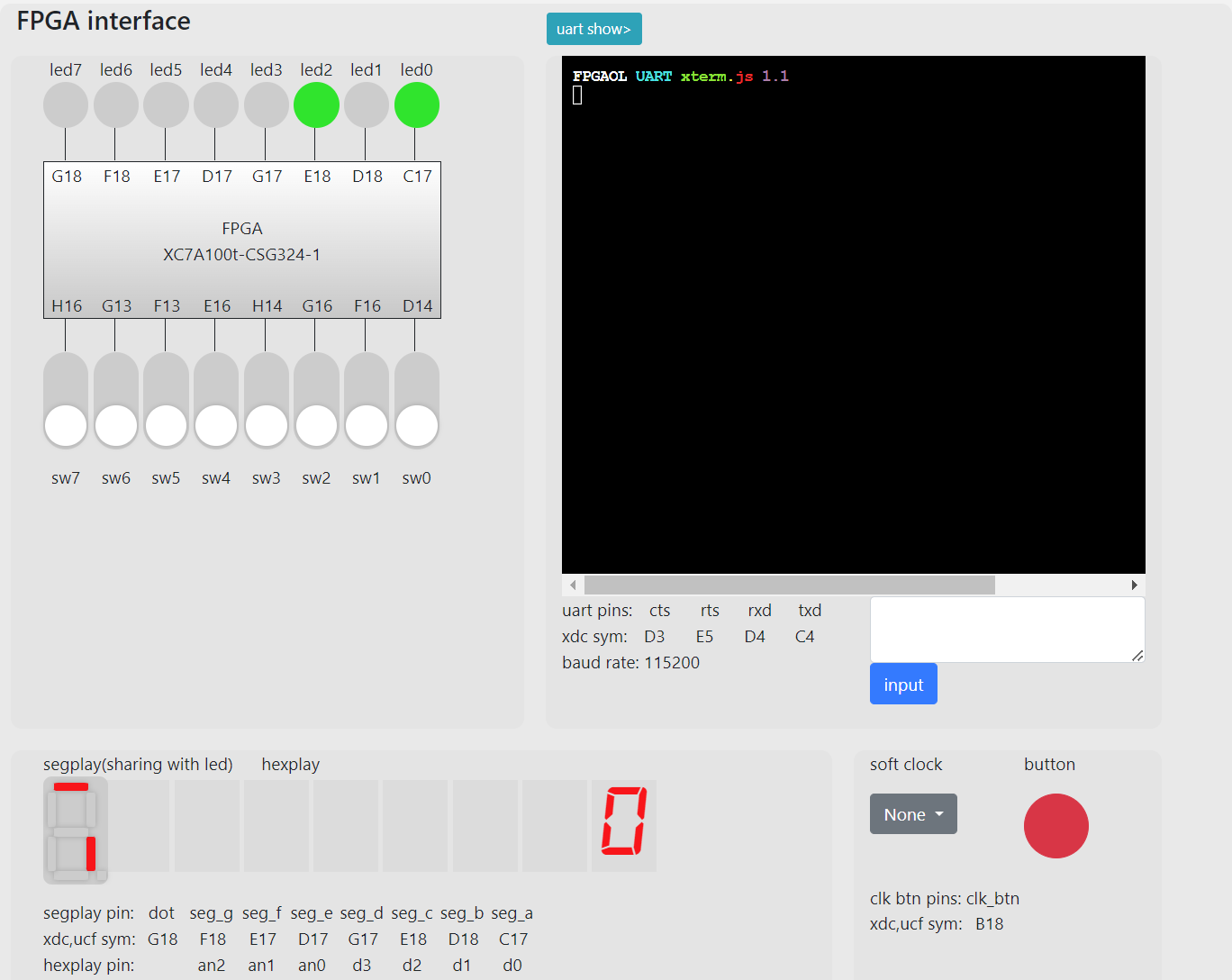


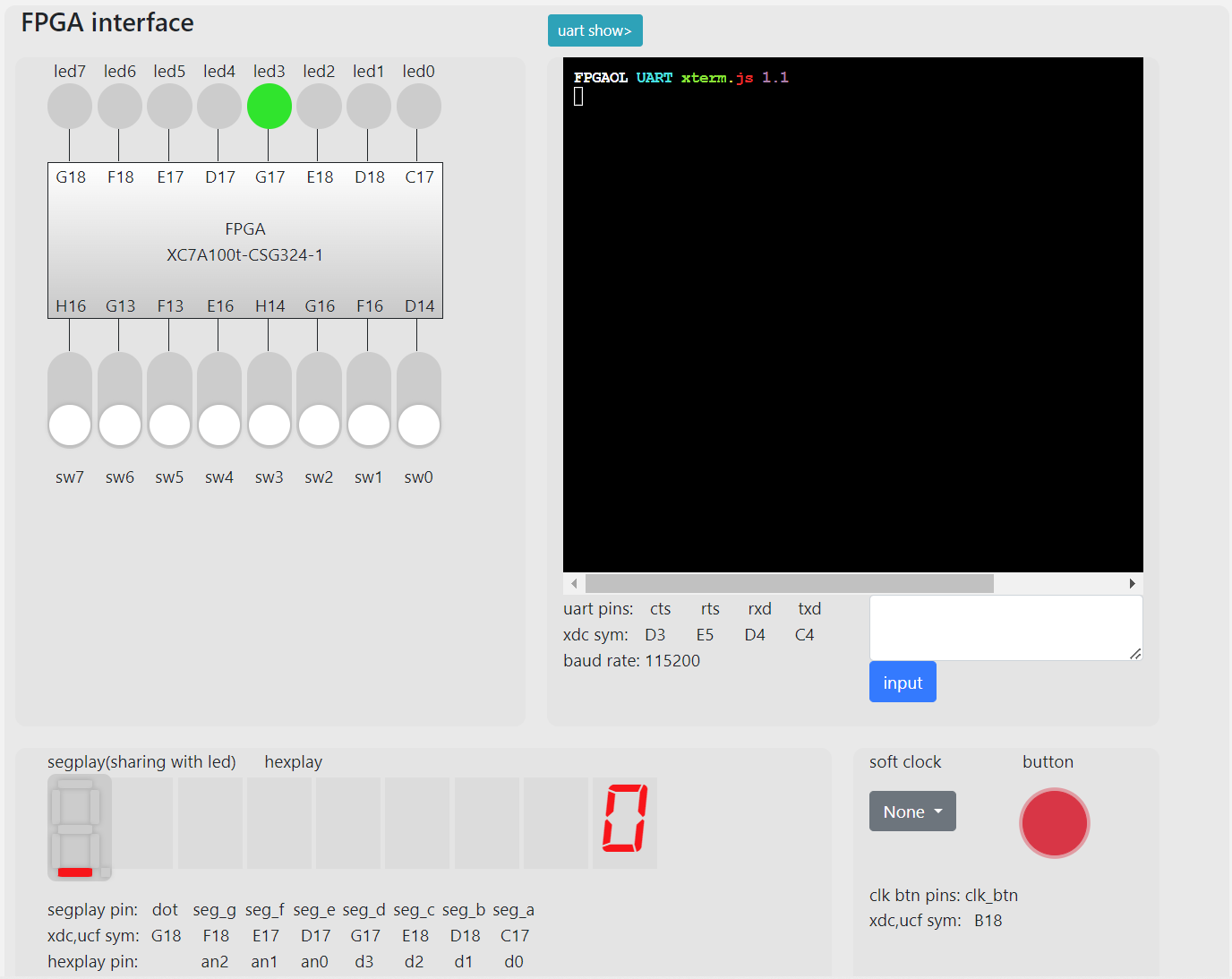
载入第二个d为2：

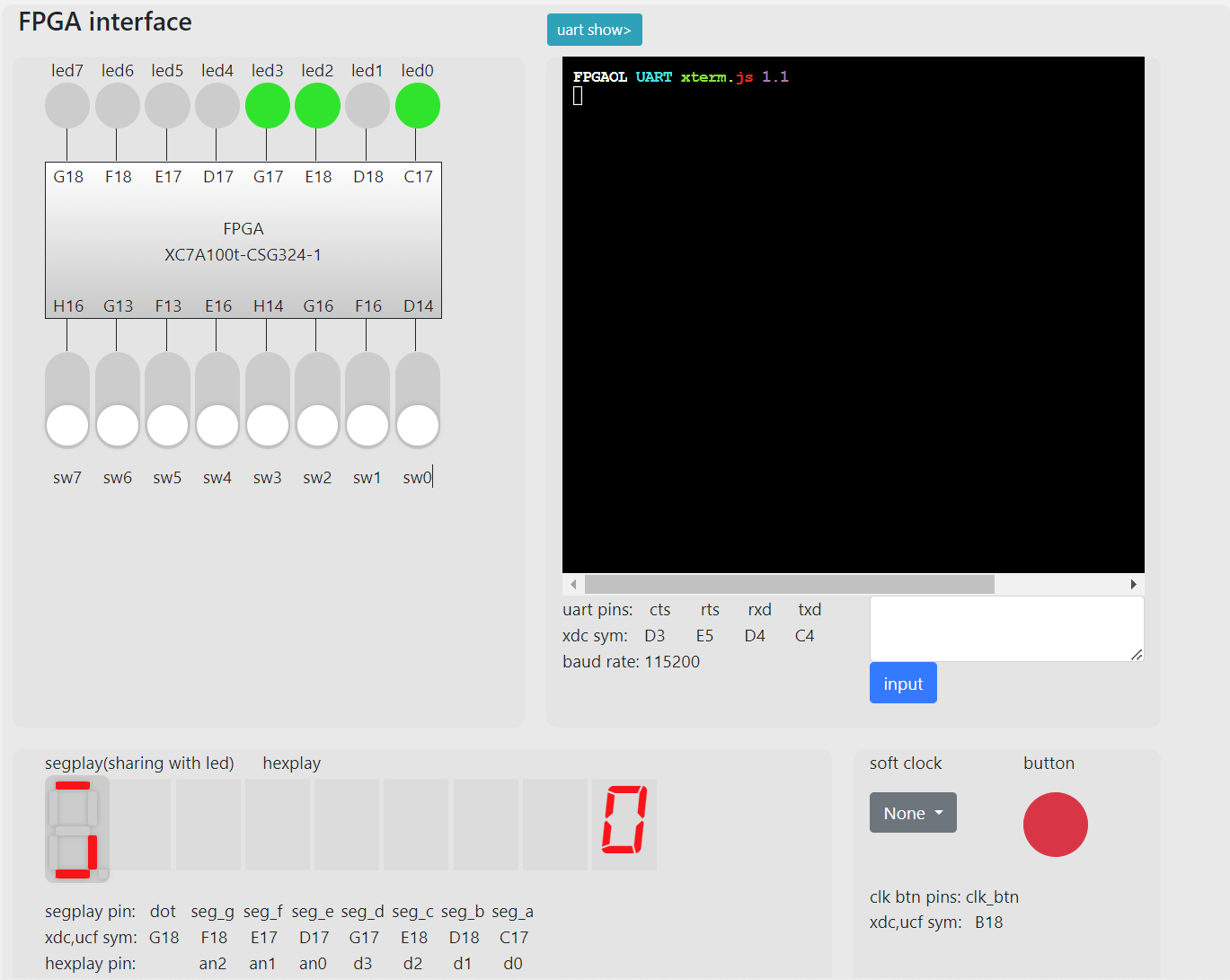


反复按压button得到之后的数列为1 2 3 5 8 13：

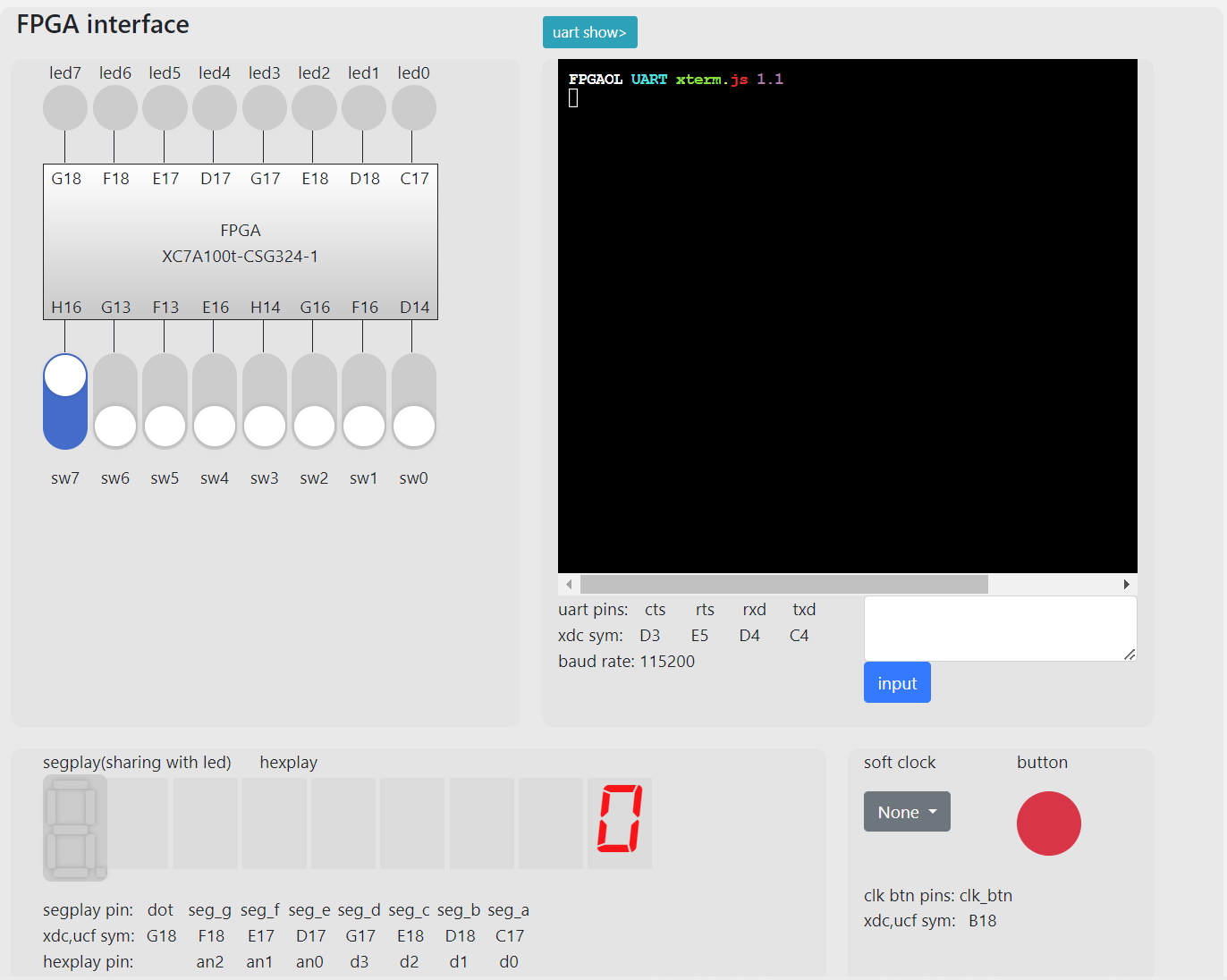








按一次sw7复位：（重新载入也成功）



## 总结

1. 本次实验我完成了alu的设计和测试，利用加法模块编写代码并上板计算了fls。再次对verilog进行了熟悉和了解，使用vivado仿真和生成RTL电路，并在fpga平台完成了烧写。
2. 实验文档全面，实验讲解翔实。