

PREPARATION REPORT LAB2

ADVANCED CPU ARCHITECTURE AND HARDWARE ACCELERATORS LAB

361.1.4693

Nachman Mimoun 321730558

Danel Barsheshet 209471242

תוכן עניינים

| | |
|--------|---------------|
| 2----- | מבוא |
| 2----- | מבנה המערכת |
| 3----- | הרצת סימולציה |
| 4----- | דיון ומסקנות |

מבוא

תיאור המערכת –

המערכת שפותחה היא מעגל דיגיטלי סינכרוני המקבל את כניסה x ברוחב n ביטים, ומטרתה לזהות תת-סדרה באורך לפחות m דגימות העומדת בתנאי שנקבע על ידי הכניסה `DetectionCode` בטווח 0 עד 3. התנאים האפשריים הם:

- $\text{DetectionCode} = 0$: ההפרש בין דגימה קודמת $(j-1)$ לשניים לפניה $(j-2)$ הוא בדיוק 1.
- $\text{DetectionCode} = 1$: ההפרש בין דגימה קודמת $(j-1)$ לשניים לפניה $(j-2)$ הוא בדיוק 2.
- $\text{DetectionCode} = 2$: ההפרש בין דגימה קודמת $(j-1)$ לשניים לפניה $(j-2)$ הוא בדיוק 3.
- $\text{DetectionCode} = 3$: ההפרש בין דגימה קודמת $(j-1)$ לשניים לפניה $(j-2)$ הוא בדיוק 4.

| <i>DetectionCode</i> | <i>Condition</i> |
|----------------------|---------------------------|
| 0 | $x[j - 1] - x[j - 2] = 1$ |
| 1 | $x[j - 1] - x[j - 2] = 2$ |
| 2 | $x[j - 1] - x[j - 2] = 3$ |
| 3 | $x[j - 1] - x[j - 2] = 4$ |

Table 1: cond value

כאשר מתקבלת תת-סדרה תקינה באורך m לפחות, מופעל את היציאה `detector`.

מבנה המערכת :

המערכת מורכבת מ-3 תהליכים מקביליים:

תהליך Two-sample array :

רגיסטרים x_1 ו x_2 שומרים את 2 הדגימות האחרונות של x , ומתעדכנים בכל עליית שעון כאשר אות `ena` פעיל.

תהליך Single Adder based Condition Logic :

המערכת משתמשת ברכיב חישובי Adder המקבל שני וקטורים a ו- b ברוחב n ביטים, נשא כניסה C_{in} , ומפיק סכום S ונשא יציאה C_{out} . מודול זה מחושב את ההפרש בין x_1 ל- x_2 ומשווה אותו ל- `Detection_code` אם מתקבל שוויון המערכת מוציאה 1 ב- `valid`.

תהליך m valid process :

סופר במשתנה `count` כמה פעמים ברצף מתקבל את `valid` המעיד על תת-סדרה תקינה. אות `detector` מופעל כאשר `count` גדול או שווה ל- m .

ניתוח התוצאות :

על פי תוצאות הסימולציה שהתקבלו מריצת קובץ ה-testbench, ניתן לומר שהמערכת שתוכננה מתפקדת בצורה תקינה ועומדת בדרישות שהוגדרו:

- א. ניתן לראות שהאות x גדל בצורה לינארית כמתוכנן, כאשר הקפיצות הן בגודל $k+1$ בכל $ns100$. המערכת מזהה בהצלחה את תתי הסדרות התקינות בהתאם לערך של `DetectionCode`.
 - ב. האותות הפנימיים x_1 ו- x_2 עוקבים אחר השינויים ב- x בהפרש של דגימה אחת ושתיים בהתאמה, כל עוד האות `ena` במצב '1'. הם משמשים בסיס לחישוב תקינות ההפרשים.
 - ג. האות `valid` מחושב כראוי ומשקף נכונה האם ההפרש בין x_1 ל- x_2 תואם את `DetectionCode`. ערכו עובר ל-'1' ברגע שמזוהה הפרש תקין ול-'0' אחרת.
 - ד. האות `detector` מופעל כאשר ישנן לפחות m דגימות עוקבות עם `valid='1'`. הוא נשאר דלוק באופן רציף כל עוד תנאי זה מתקיים, ונכבה ברגע שמופיע `valid='0'`.
 - ה. המערכת מגיבה כהלכה לשינויים באותות הבקרה `rst` ו-`ena`. בזמן `rst='1'` כל האותות מאותחלים. המערכת מפסיקה לפעול כש-`ena='0'` וממשיכה מהמצב האחרון כשהוא שב ל-'1'.
 - ו. בדיקה של ערכים שונים של `DetectionCode` מראה שהמערכת אכן מסוגלת לזהות תתי סדרות מסוגים שונים בהתאם לתנאי שהוגדרו.
- באופן כללי, התוצאות המתקבלות תואמות את ההתנהגות הצפויה של המערכת על פי הבנת הדרישות והמימוש של הקוד. לא נצפו אי-התאמות מהותיות בין הסימולציה לבין הערכים הידועים מראש.

דיון ומסקנות:

- לסיכום, המערכת שפותחה במסגרת מעבדה זו מממשת בהצלחה את היכולת לזהות תתי-סדרות בזרם נתונים, כאשר התנאי לתקינות נקבע דינמית על ידי קלט חיצוני. המנגנון מבוסס על רכיבי חומרה בסיסיים כגון אוגרים, מחברים והשוואות, המאורגנים במבנה מקבילי חסכוני.
- הקוד נכתב בצורה מודולרית וברורה תוך הפרדה בין התהליכים השונים. נעשה שימוש יעיל ברכיבים חיצוניים קיימים כדי לפשט את המימוש.
- תוצאות הסימולציה שבוצעה באמצעות ה-testbench מראות התנהגות תקינה של המערכת במגוון רחב של תרחישים, כולל מקרי קצה. ניתן לראות שהיא מגיבה כראוי הן לשינויים בנתוני הכניסה והן לערכים השונים של אותות הבקרה. לא זוהו באגים או סתירות לעומת הפונקציונליות הנדרשת.
- ככלל, ניתן לומר שהמימוש הנוכחי של המערכת עומד ביעדים שהוצבו במסגרת המעבדה, ומהווה בסיס איתן להמשך פיתוח ושכלולים נוספים בעתיד.