



UNIVERSIDAD DE BUENOS AIRES

FACULTAD DE INGENIERÍA

Circuitos Electrónicos II (66.10)

AMPLIFICADOR CLASE G

Informe de Avance del Proyecto

FECHA: 14 de diciembre de 2015

INTEGRANTES:

Pollitzer, Ivan Gustavo	- #22922
<igpollitzer@gmail.com>	
Carballeda, Ignacio	- #91646
<carballeda.ignacio@gmail.com>	
Marques Rojo, Rui Alejandro	- #85748
<rui.rojo@gmail.com>	

Docentes:

José Alberto Bertuccio
Federico D'Angiolo

Índice

1. Actividades desarrolladas	3
1.1. Diseño conceptual	3
1.1.1. Objetivo y requerimientos de usuario	3
1.1.2. Especificaciones	3
1.1.3. Diseño general	3
1.1.4. Diagrama en bloques	4
1.2. Circuito diseñado	5
1.2.1. Simulaciones	7
1.2.2. Compensación	13
1.3. Análisis de los condicionantes de integración	14
1.3.1. Disipación de Calor	14
1.4. Diseño PCB	16
2. Grado de avance	17
3. Dificultades encontradas	17
4. Resumen de actividades a desarrollar	18

1. Actividades desarrolladas

1.1. Diseño conceptual

1.1.1. Objetivo y requerimientos de usuario

El objetivo es amplificar una señal de audio que será reproducida en un parlante. Debe proveer al usuario con una buena calidad de sonido con volumen alto sin consumir mucha más energía de la necesaria ni ser muy grande y pesado. Es decir, debe tener baja distorsión, alta relación señal-ruido (SNR), eficiencia razonable y buena ganancia y potencia máxima de salida.

1.1.2. Especificaciones

- Máxima Potencia de Salida: 100 W RMS @ 8Ω
- Salida clase G
- THD: $< 0,01\%$
- Slew Rate: $> 7,5 \frac{V}{\mu S}$
- Impedancia de entrada: 10 k Ω
- Sensibilidad: 1 V RMS
- Ancho de banda: 10Hz – 30kHz
- Factor de amortiguamiento: > 200
- Ancho de banda de potencia: $> 30kHz$
- Alimentación:
 - Baja tensión: $+/- 15$ V al 5 %
 - Alta tensión: $+/- 50$ V al 5 %

1.1.3. Diseño general

Un amplificador típico consta, básicamente, de 3 etapas: una de entrada, diferencial, una intermedia, de ganancia de tensión, y una de salida, de ganancia de corriente. Esta última etapa es la responsable de proveer la potencia y la que determina la eficiencia, tamaño y peso del amplificador.

Etapas de entrada Inicialmente consideramos una típica topología diferencial, de colectores acoplados. Como los transistores no son componentes lineales, propusimos agregar otro par diferencial, en paralelo, con componentes complementarios; es decir, donde originalmente usamos transistores NPN, colocamos PNP, y viceversa. De esta forma, la simetría cancela alinealidades y se reduce la distorsión. Esto llevó a luego intentar mantener una simetría total en todo el circuito.

Etapla intermedia Con el cambio a 2 pares diferenciales, la etapa intermedia también se duplica, complementariamente, y se conectan a la etapa de salida, por arriba y por abajo del multiplicador de V_{be} . Es la primera etapa la que la polariza y no una fuente de corriente como muchas veces sucede. Cada uno de los dos VAS hace de carga del otro.

Etapla de salida Se consideraron diferentes opciones de diseño. Esta etapa es responsable de amplificar la potencia de la señal. Es decir, debe tener **alta eficiencia**, y **bajos niveles de distorsión**. Además, se busca **minimizar la impedancia de salida** para mantener un **alto factor de amortiguamiento** y evitar que el rebote acústico afecte el comportamiento del amplificador.

Los amplificadores clase D son de muy alta eficiencia, pues operan a los transistores de salida en modo de conmutación. Sin embargo, son de diseño difícil, la distorsión puede ser alta si la frecuencia de los pulsos no es muy superior a la de la máxima frecuencia y generan interferencia electromagnética. Se optó entonces por un diseño clase G, que son de eficiencia superior a los AB sin las dificultades del D.

Un amplificador clase G está compuesto por dos o más niveles de alimentación que permiten incrementar la eficiencia del amplificador con respecto al clase B. Esto se logra ya que con tensiones bajas, se utilizará una fuente de tensión menor, preservando la máxima excursión posible sobre la carga que ofrece un clase B alimentado con la fuente de tensión mayor. Para señales con picos de baja amplitud en relación al valor medio, la mejora en la eficiencia es modesta. Sin embargo, en el caso en que la señal tenga picos considerables con respecto a su valor medio, la mejora es notable.

Realimentador global El uso de realimentación global permite mejorar notablemente casi todas las especificaciones del amplificador y simplificar su diseño. El factor de realimentación queda definida por las especificaciones de sensibilidad y potencia RMS para una carga de 8Ω . La ganancia del amplificador debe ser de $29dB$ y por lo tanto el realimentador debe atenuar $-29dB$.

1.1.4. Diagrama en bloques

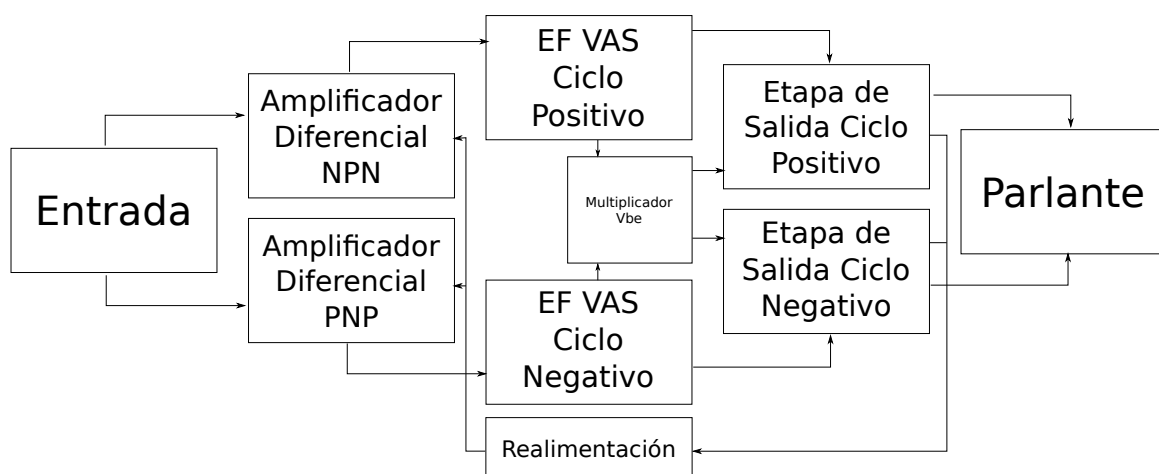


Figura 1: Diagrama en bloques del amplificador clase G

1.2. Circuito diseñado

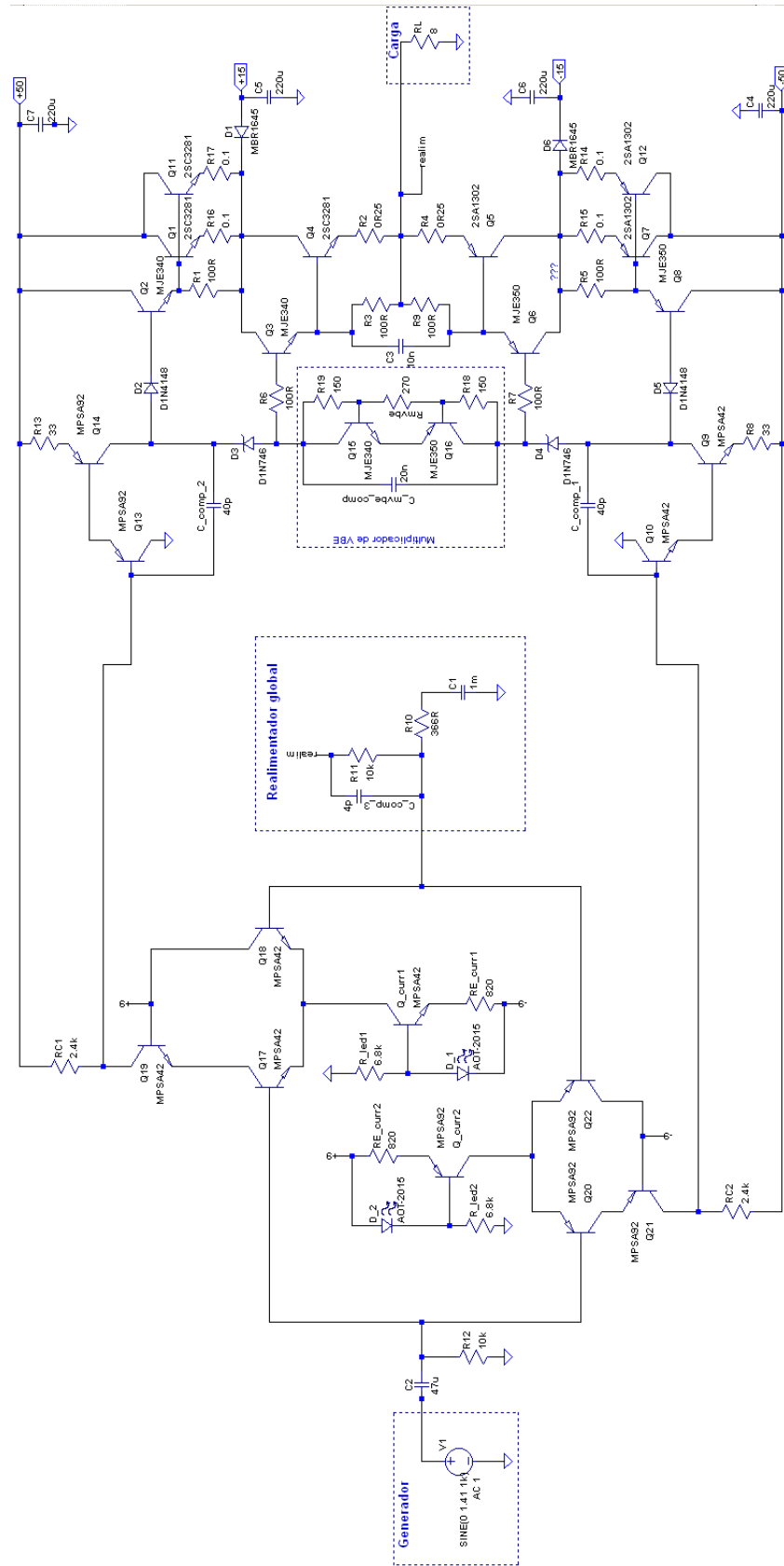


Figura 2: Circuito Diseñado

Alimentación Se colocaron capacitores (C4,C5,C6 y C7) en los 4 rieles de alimentación ($\pm 50V$ y $\pm 15V$) para filtrar ruidos a la entrada.

Etapas de entrada Se usó doble par diferencial para mantener la simetría total y reducir la distorsión por armónicos pares. Cada par se diseñó teniendo en cuenta que la tensión de salida de polarización debía ser estable, pues la segunda etapa no estará polarizada por una fuente de corriente. Por esto, la resistencia de carga del par diferencial (RC1 y RC2) es de sólo $2,4k\Omega$, mucho menor que la resistencia dinámica de pequeña señal que le ofrece la segunda etapa ($\cong 100k\Omega$), dominando el paralelo. Por la misma razón, se consideró de particular importancia garantizar que las corrientes de polarización por las ramas del par se independicen de posibles variaciones en la segunda etapa o del riel. Los transistores Q19 y Q21, en configuración cascode con Q17 y Q20 cumplen justamente la función de generar esta independencia.

Se polarizó cada rama con una corriente de $\cong 1mA$. Mayor corriente no generaría una mucho mayor amplificación de la etapa, pues, para mantener una tensión de salida fija habría sido necesario reducir la resistencia de carga en igual proporción. Esta corriente se generó con una fuente hecha por un LED de 2,3V. Este LED permitirá visualizar rápidamente posibles errores de polarización en el amplificador armado.

Etapas de amplificación de tensión Se optó por una configuración CC-EC. El colector común cumple la función de ofrecer una resistencia alta a la primera etapa, independizando la polarización de los parámetros variables de los transistores de la segunda etapa. Además, aumenta la diferencia de tensión de polarización requerida entre el riel y la entrada de la etapa, lo que permite el uso de una resistencia de carga mayor en la primera etapa, mejorando su ganancia. Esta configuración, además, ofrece un alto grado de independencia de las variaciones de tensión del riel, pues todas las tensiones involucradas varían en conjunto (la única que no lo hace es masa, pero está conectada al colector de Q13 y Q10, nodos de alta impedancia).

Las resistencias de emisor del EC (R8 y R13) implementan realimentaciones locales que estabilizan la corriente de polarización y ganancia de la etapa. Son de valor reducido pues al estabilizar la ganancia, la reducen. Además, la caída de tensión en estas resistencias reduce la máxima excursión de la etapa antes de que saturen los transistores. Se eligieron los valores exactos (junto con los de las cargas de la primera etapa) para que la corriente de polarización sea $\cong 25mA$.

Etapas de salida Se usan transistores en configuración Darlington, para tener una ganancia de corriente elevada, y con transistores en paralelo en la parte de mayor potencia para repartir la corriente y disminuir la disipación en cada uno. Se colocaron las resistencias R14, R15, R16 y R17 de valor $0,1\Omega$ para evitar el embalamiento térmico de los transistores de salida.

Multiplicador de V_{be} Se diseñó (figura 3) con dos transistores para mantener la simetría total del circuito. La corriente de polarización de los transistores del VAS es $\cong 25mA$, y esta puede tener una excursión máxima de aproximadamente $4mA$ pico-a-pico. Es decir, el multiplicador debe lograr polarizarse con corrientes de $\cong 20mA$. Las simulaciones muestran que se logra una mayor estabilidad en la tensión si los transistores están polarizados con corrientes bajas. Por lo tanto, se eligió R_{mvbe} tal que consuma una corriente $< 20mA$, pero del orden de los mA . Se podría haber elegido un valor más cercano a $20mA$, pero una simulación remplazando al multiplicador por un generador de tensión ideal mostró que el funcionamiento y la distorsión del circuito no se veían afectados. Por esta misma razón, no se agregaron resistencias adicionales

en los colectores, que usualmente se usan para generar una caída que compense el incremento de tensión con la corriente. Puede hacerse como posible optimización.

Las resistencias R18 y R19 se eligieron iguales por simetría, y de valor tal que la tensión generada sea levemente superior a 2,8V. Esto permite colocar a los transistores de salida en modo levemente A-B, reduciendo la distorsión de su etapa.

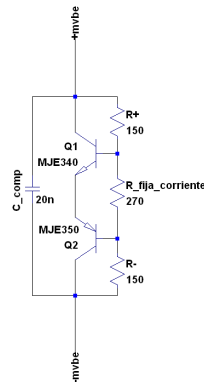


Figura 3: Multiplicador de V_{be} simétrico utilizado.

1.2.1. Simulaciones

THD A continuación se muestra una tabla con los resultados del análisis de Fourier realizados con el LTSpice para entrada de 1,41V pico (máxima excursión) a 1kHz.

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component	Phase [degree]	Normalized Phase [deg]
1	1.000e+03	3.985e+01	1.000e+00	0.00°	0.00°
2	2.000e+03	3.599e-03	9.032e-05	91.57°	91.57°
3	3.000e+03	1.515e-02	3.803e-04	1.50°	1.50°
4	4.000e+03	1.144e-03	2.871e-05	94.01°	94.01°
5	5.000e+03	1.920e-03	4.817e-05	-177.23°	-177.23°
6	6.000e+03	5.374e-04	1.348e-05	-74.65°	-74.65°
7	7.000e+03	6.560e-04	1.646e-05	14.67°	14.67°
8	8.000e+03	3.168e-04	7.950e-06	129.84°	129.84°
9	9.000e+03	3.698e-04	9.279e-06	-5.66°	-5.66°
10	1.000e+04	3.239e-04	8.127e-06	61.19°	61.19°

...

Total Harmonic Distortion: 0.0396%

La distorsión armónica simulada es de 0,04% en la máxima excursión a 1kHz. Aún no cumple con el 0,01% especificado.

En la figura 4 se muestra la distorsión en función de la tensión pico de salida.

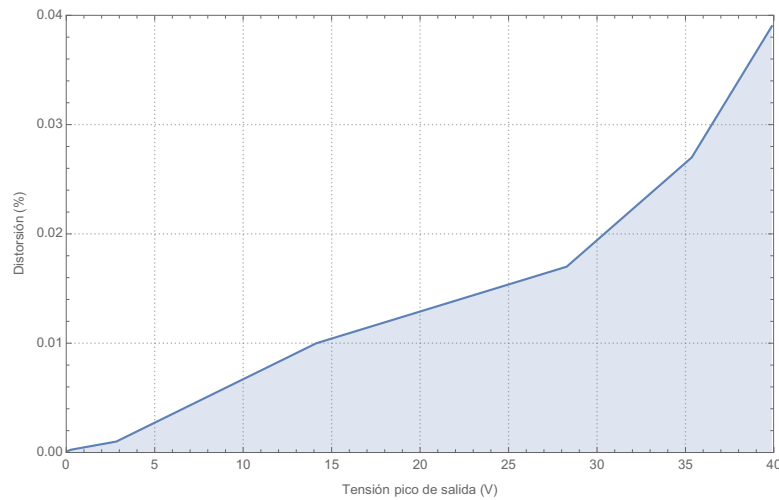


Figura 4: Distorsión a $1kHz$ a distintos valores de tensión pico de salida.

Slew Rate Simulando una entrada escalón en el amplificador, se observa la salida de la figura 5 en la carga.

La pendiente es de $20 \frac{V}{\mu s}$. Esto es mayor a la máxima pendiente de la salida en máxima potencia a la máxima frecuencia especificada de $30kHz$, por lo que el ancho de banda de potencia cumplirá lo especificado ($2\pi \times 30kHz \times 40V \cong 7,5V \frac{V}{\mu s} < 20 \frac{V}{\mu s}$).

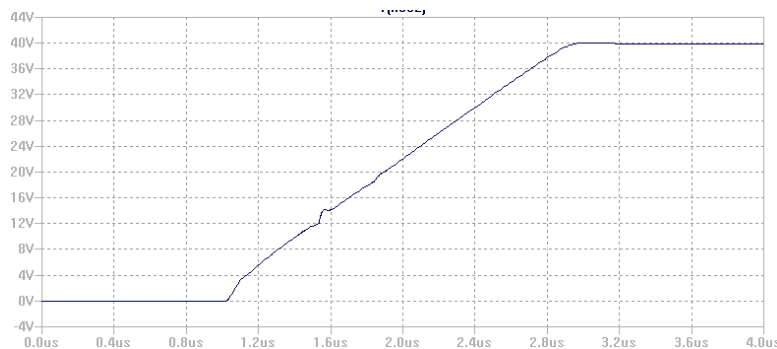


Figura 5: Salida simulada frente a una entrada escalón.

CMRR - factor de rechazo de modo común Se simuló la primera etapa frente una entrada común de $100mA$ con el circuito de la figura 20 y se obtuvo la ganancia de modo común.

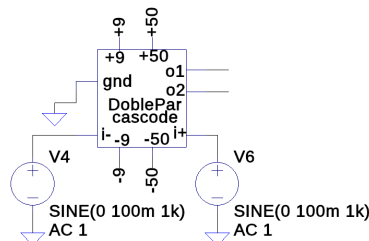


Figura 6: Circuito usado para simular la amplificación de modo común.

La amplificación de modo diferencial se obtuvo de forma análoga, con las fuentes de la figura 20 conectadas a contrafase. Las señales de entradas usadas fueron de sólo $1mV$ porque se esperaba una amplificación mucho mayor que para el caso de modo común.

	NPN	PNP
A_c	$-56dB$	$-59dB$
A_d	$37dB$	$39dB$
RRMC	$93dB$	$98dB$

PSRR - factor de rechazo a la fuente El PSRR se define como la relación entre el cambio en la tensión de alimentación y el cambio equivalente en la tensión de entrada. Idealmente este valor sería infinito.

Simulando para valores de la fuente de $+50V$ entre $40V$ y $60V$ se obtuvo:

$$PSRR := \frac{\Delta V_{\text{fuente}}}{\Delta V_o} \cdot A_d = 86dB$$

Es decir, con la ganancia de $29dB$ de este circuito, por cada $1V$ de riple en la fuente de $+50V$ se superponen aproximadamente $1,4mV$ en la salida ($86dB - 29dB = 57dB$ y $10^{\frac{-57}{20}} \cong 1,4mV$)

También, se simuló y verificó el comportamiento correcto del amplificador para una posible caída de tensión en los rieles del 10 %: sólo se reduce la máxima excursión.

Resistencia de salida Para la simulación de la resistencia de salida, se colocó una fuente de corriente alterna de $1A$ a la salida, con la entrada pasivada, y se capturó la tensión de salida en un barrido de frecuencias.

El circuito simulado, con una caja representando el amplificador, se observa en la figura 7.

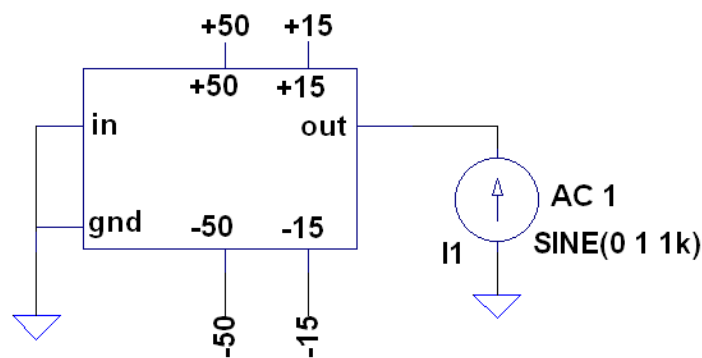


Figura 7: Circuito usado para simular la resistencia de salida. La caja representa al amplificador.

Los resultados del barrido se muestran en la figura 8, y un zoom en las frecuencias de trabajo especificadas en la figura 9.

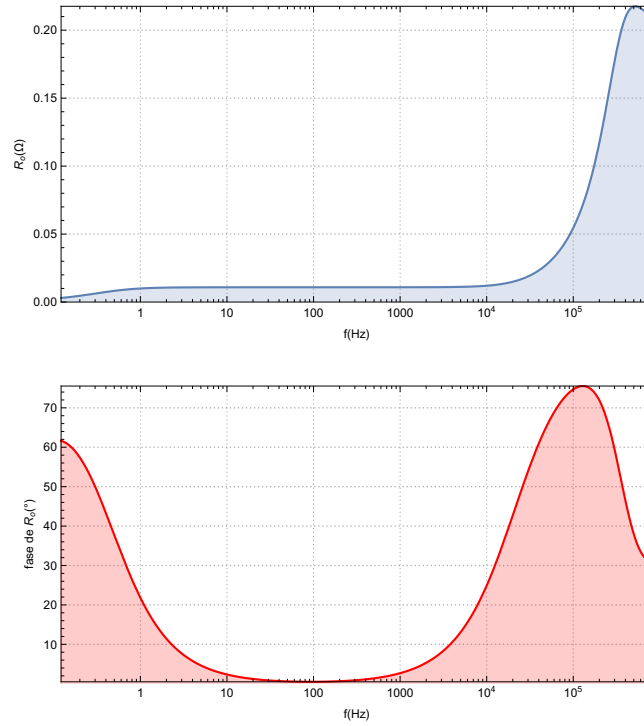


Figura 8: Barrido en frecuencias de la impedancia de salida simulada.

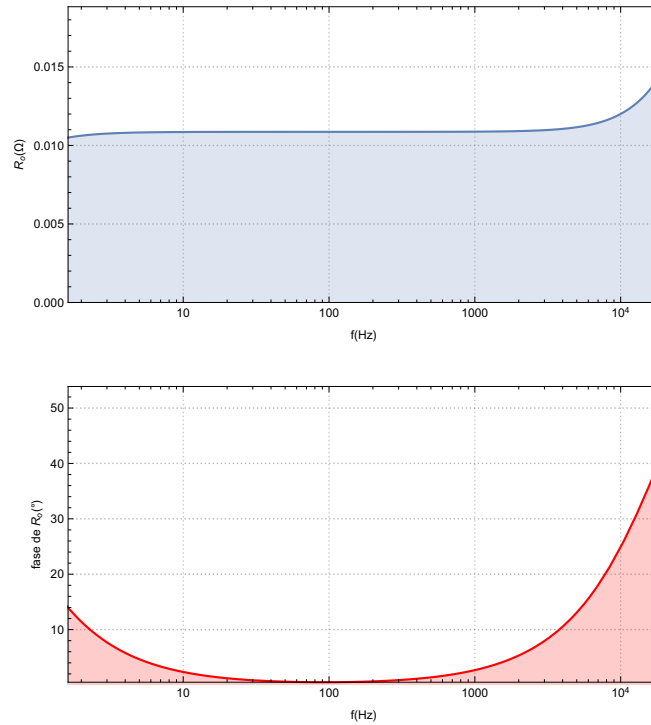


Figura 9: Barrido en frecuencias de la impedancia de salida simulada para frecuencias hasta $30kHz$.

El módulo de la media geométrica de la impedancia de salida para las frecuencias entre $1Hz - 30kHz$ es $11m\Omega$.

$$R_{out} \cong 11m\Omega$$

La realimentación logra que la resistencia de salida sea muy baja, tanto que las resistencias parásitas pueden terminar siendo un factor no despreciable. Si se desprecian, el factor de amortiguamiento es de $\cong 730$, cumpliendo cómodamente con lo especificado.

Resistencia de entrada Se simuló en el cociente entre la tensión de entrada y la corriente entregadas por el generador, para un barrido de frecuencias. El módulo de la media geométrica de la impedancia para las frecuencias entre $1Hz - 30kHz$ es $9,8k\Omega$.

$$R_{in} = 9,8k\Omega$$

En la figura 10 se puede ver un barrido en frecuencias de la resistencia de entrada para pequeña señal.

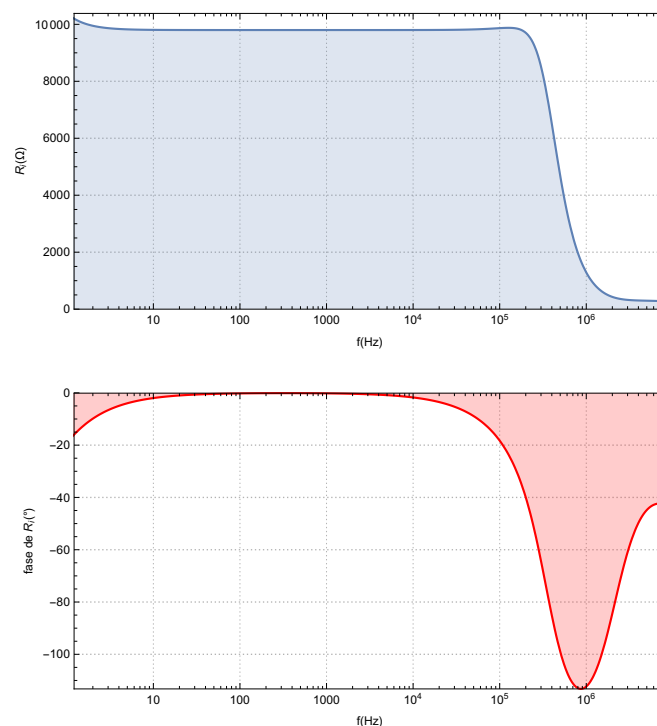


Figura 10: Resistencia de entrada. Cociente entre tensión y corriente de entrada simuladas para pequeña señal de distintas frecuencias.

Respuesta en frecuencia Se realizó un barrido de $0,1Hz$ a $100MHz$. Se puede apreciar en la figura 11 un ancho de banda de $1,57MHz@1dB$ o $2,16MHz@3dB$.

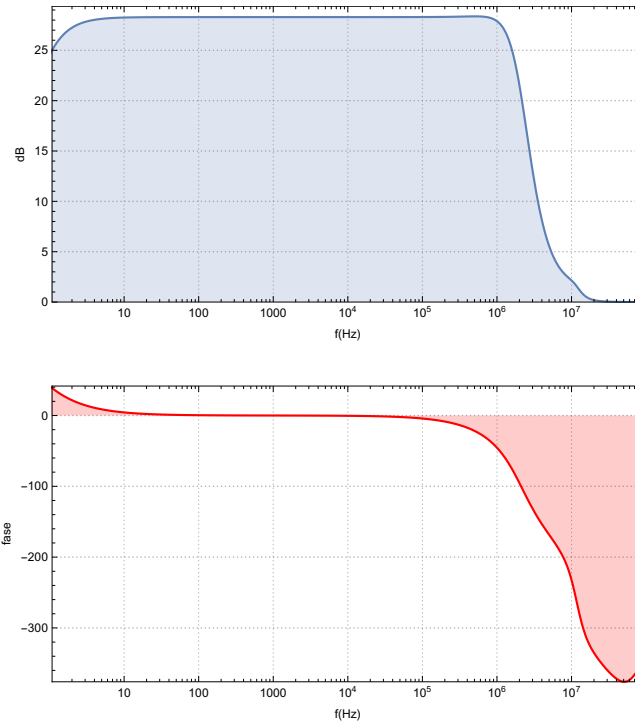


Figura 11: Diagrama de Bode del amplificador a lazo cerrado simulado. El módulo, en línea llena y la fase en línea punteada.

Ancho de banda de potencia Considerando el slew rate simulado de $20 \frac{V}{\mu s}$, la distorsión por slew rate comenzaría a afectar a frecuencia $\frac{20 \frac{V}{\mu s}}{40V \times 2\pi} \cong 80 kHz$. Se puede ver en la figura 12 cómo varía la distorsión simulada de máxima excursión con la frecuencia.

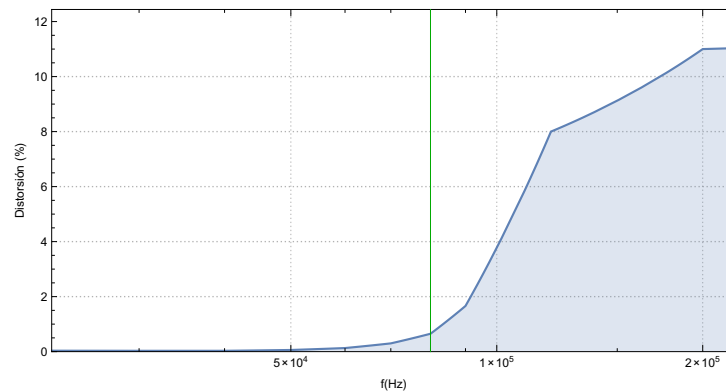


Figura 12: Distorsión a máxima excursión en función de la frecuencia. La línea verde marca la frecuencia a la cual comienza a afectar el slew rate ($80 kHz$)

Tal como se preveía, en los alrededores de la frecuencia $80 kHz$ la distorsión comienza a aumentar, sobrepasando valores perceptibles a simple vista mirando la forma de onda, para rápidamente estabilizarse en torno a un valor del 12 %, que es la distorsión de una onda triangular. Esto es efecto del slew-rate.

Primera etapa En la sección de CMRR se simuló la amplificación de modo común y diferencial para la primera etapa sin carga externa. Esto es similar a la primera etapa cargada pues las

resistencias de los pares diferenciales son bastante menores a las cargas que le proporciona la segunda etapa. Esto fue intencional, pues es esa resistencia la que fija la polarización de todo el circuito, y de este modo se independiza de parámetros como el β de los transistores que pueden variar con la temperatura y humedad.

Se vuelve a simular la ganancia diferencial de la primera etapa, ahora con la carga del circuito, a lazo abierto. Para esto, se coloca una capacidad de valor alto ($1F$) en la entrada realimentada del comparador. De este modo, no se cambiará la realimentación en polarización pero se evitará que entre señal (fijando $f_{alterna} = 0$). Se obtuvo una ganancia aproximada de $31dB$, como se ve en la figura 13.

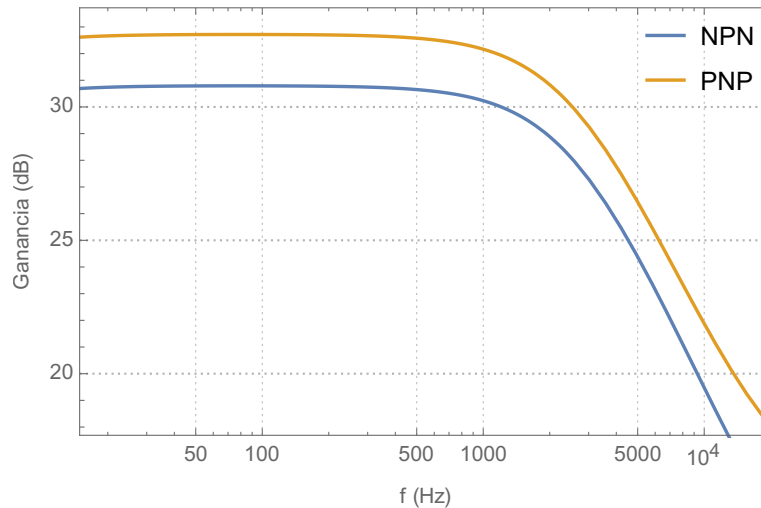


Figura 13: Simulación de ganancia de la primera etapa.

Segunda etapa El resto de la ganancia está provista por la segunda etapa, y se puede ver en la figura 14. Vale aproximadamente $55dB$.

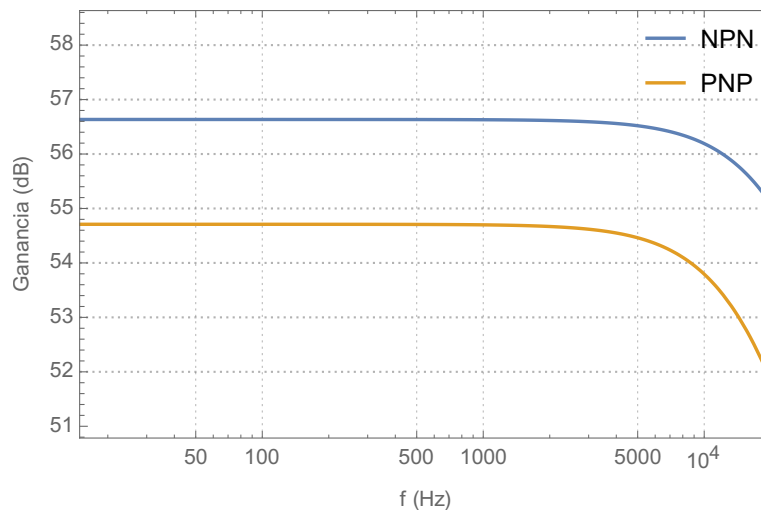


Figura 14: Simulación de ganancia de la segunda etapa.

1.2.2. Compensación

Se observó que el polo dominante correspondía a los nodos entre la primera y segunda etapa. Se colocaron capacitores de compensación entre dichos nodos y las salidas del VAS

(C_{comp_1} y C_{comp_2}) para aprovechar el efecto Miller y usar capacitores de menor valor ($40pF$). Esto desplaza el polo, que inicialmente se encontraba en aproximadamente $200kHz$ a aproximadamente $2kHz$, estabilizando y dando un margen de fase de 85° y un ancho de banda de $2,4MHz$. Estos capacitores limitan el slew rate, pero se observó que para valores menores a $100pF$ el slew rate se encontraba claramente por arriba de los $7,5 \frac{V}{\mu s}$ necesarios para el ancho de banda de potencia especificado. Incrementar este capacitor en exceso sin embargo, reduce la ganancia de lazo en frecuencias altas y, por lo tanto, los beneficios que esto trae a la distorsión, resistencias de entrada y salida, etc. Se optó por un valor de capacidades, con margen, que podría eventualmente reducirse.

Luego, se agregó un capacitor en paralelo al realimentador (C_{comp_3}) para mejorar levemente estas especificaciones. Esto agrega un cero seguido de un polo. Por ejemplo, para la frecuencia del cero, la fase se incrementó en 45° y la ganancia aumentó sólo en $3dB$, por lo que el ancho de banda se verá incrementado levemente y el margen de fase significativamente. Se comprobó simulando que ubicar el cero en $4MHz$ es un buen valor. Esto se obtiene con una capacidad de $4pF$ pues $\frac{1}{2\pi 10k\Omega 4pF} \cong 4MHz$.

El margen de fase resultante es de 105° y el ancho de banda de $3MHz$, con un margen de ganancia de $3dB$. Se puede ver en la figura 5 que la respuesta al escalón no oscila.

El multiplicador de V_{be} , en altas frecuencias, tiene un comportamiento inductivo que fue compensado con el capacitor C_{mvbe_comp} de $20nF$.

1.3. Análisis de los condicionantes de integración

1.3.1. Disipación de Calor

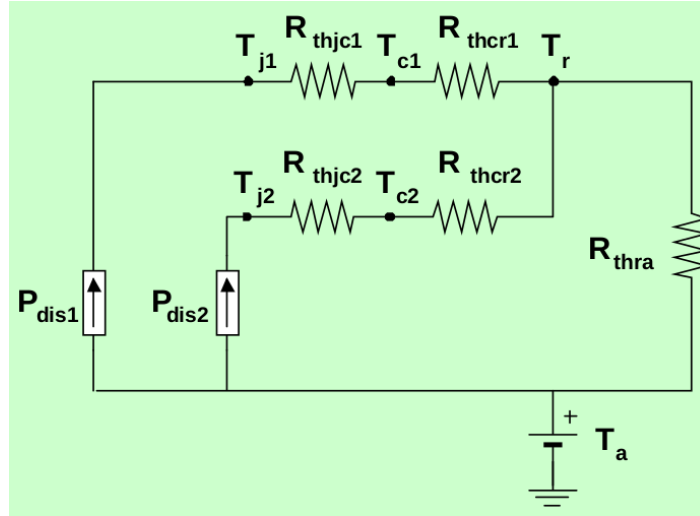


Figura 15: Modelo térmico estacionario.

En el peor caso, los transistores de potencia 2SC3281 de la etapa de salida y su par complementario 2SA1302 disipan cada uno $18W$, ya que los mismos se utilizan en paralelo.

$$T_r = R_{thra} * (P_{dis1} + P_{dis2}) + T_a$$

$$T_r = T_{junturaN} - (R_{tj-case} + R_{tc-heat}) * P_{disN}$$

$$T_r = 130^\circ C - (0,85^\circ C/W + 0,1^\circ C/W) * (18 * 2W) = 95,8^\circ C$$

$$95,8^{\circ}C = R_{thra} * (18 * 2 * 2W) + 40^{\circ}C$$

$$R_{tha} = 0,77^{\circ}C/W$$

En la parte interna de la etapa de salida, tenemos que en el peor caso se disipan 10 W por cada transistor. Haciendo las mismas cuentas con otros valores.

$$T_r = 120^{\circ}C - (6,25^{\circ}C/W + 0,1^{\circ}C/W) * (10W) = 57,5^{\circ}C$$

$$R_{tha} = 0,87^{\circ}C/W$$

Disipadores elegidos: Para la parte externa de la salida ZD-23 $0.65^{\circ}C/W$

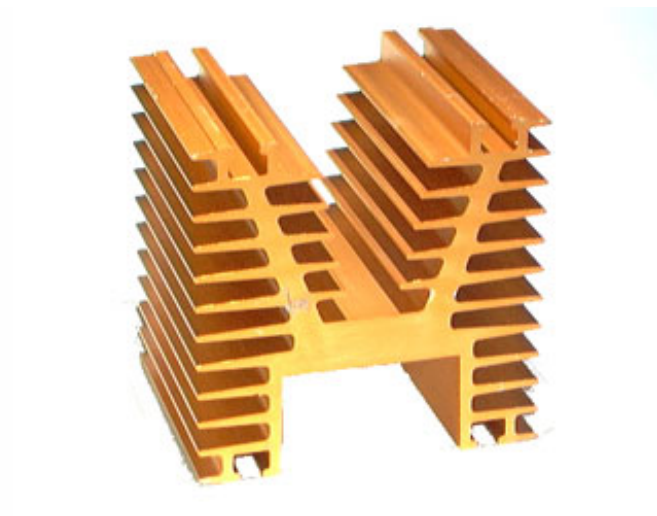


Figura 16: Disipador ZD-23

Para parte interna ZD-55 $0.8^{\circ}C/W$:

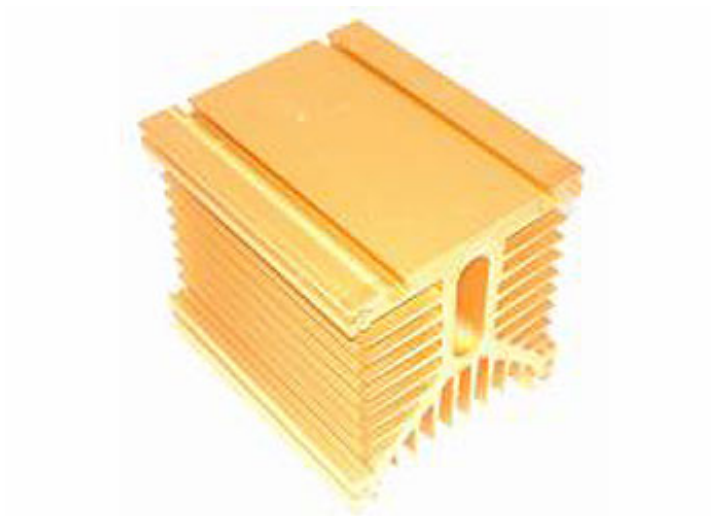


Figura 17: Disipador ZD-55

1.4. Diseño PCB

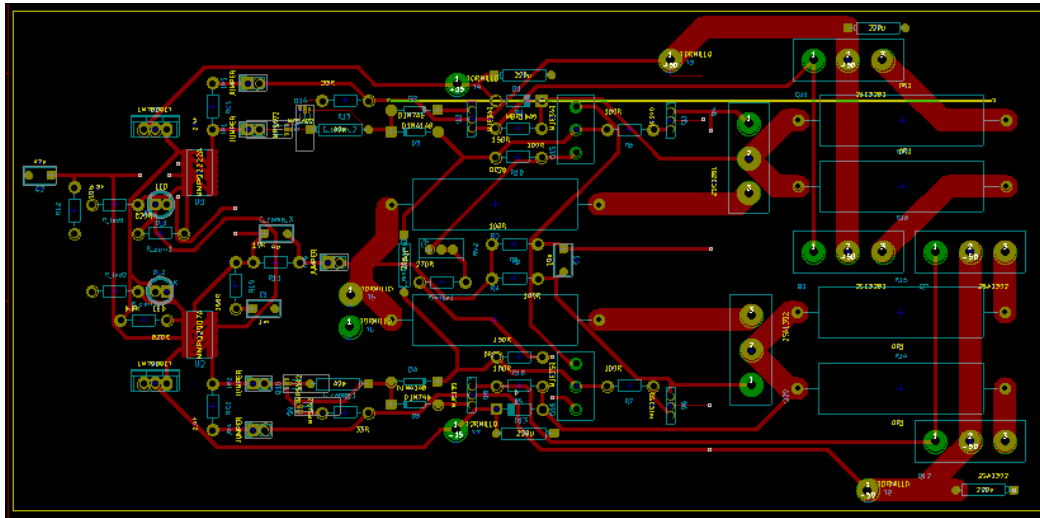


Figura 18: Diseñando en programa Kicad

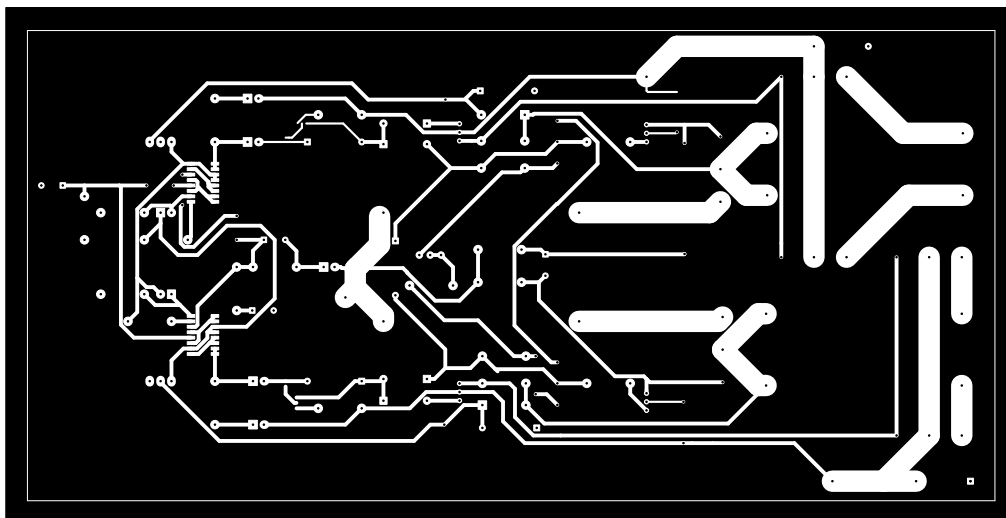


Figura 19: PCB, front

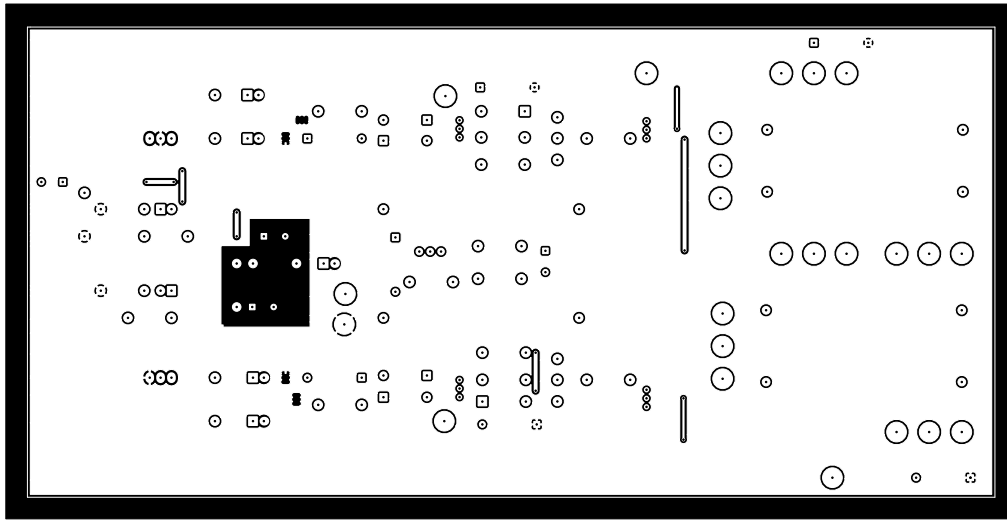


Figura 20: PCB, back

2. Grado de avance

Hasta el momento, hemos elegido las configuraciones de las distintas etapas, realizamos los cálculos para hallar los valores de realimentación, resistencias para el embalamiento térmico y los disipadores para los transistores; realizamos simulaciones del circuito.

3. Dificultades encontradas

Para el desarrollo del proyecto, nos encontramos con varios obstáculos. En el primer diseño que realizamos, nos encontramos con una disparidad en las corrientes del par diferencial, que resolvimos comprando transistores de más, midiendo sus parámetros β , y agrupándolos para poder trabajar con valores apareados. Otra solución que encontramos, y que aplicaremos en esta versión del circuito, es utilizar transistores integrados, que asegura que todos los transistores tengan las mismas propiedades, y estén apareados. Esto también equilibraría más las amplificaciones en modo diferencial de los comparadores NPN y PNP.

La simulación de distorsión se hacía con pocos períodos en el LTSpice y, por cuestiones numéricas, eso parece resultar en valores de distorsión mucho menores a los que devuelve simulando con más períodos. Por otra parte, para valores de distorsión pequeños, se requiere un parámetro de paso máximo bastante reducido o el LTSpice sobreestima la distorsión. Se pasó mucho tiempo creyendo que el diseño resultaba en valores satisfactorios o insatisfactorios de distorsión hasta que se descubrió esto.

En un principio, la primera etapa estaba diseñada con cargas activas. Esto simulaba a veces correctamente, pero la polarización de todo el circuito resultaba poco estable e implicó el rediseño de la etapa con resistores.

4. Resumen de actividades a desarrollar

Habiendo establecido todo lo anterior, queda ver cómo mejorar el circuito para lograr mejores valores de distorsión. Luego procederemos con el armado del circuito, verificando el correcto funcionamiento de las etapas, durante el armado de la placa, y luego tendremos que revisar que esté andando correctamente, y que cumpla con los parámetros que propusimos. Finalizado esto, procederemos a realizar las mediciones pertinentes.