



UNIVERSIDAD DE BUENOS AIRES

FACULTAD DE INGENIERÍA

Circuitos Electrónicos II (66.10)

AMPLIFICADOR CLASE G

Informe de Avance del Proyecto

FECHA: 4 de diciembre de 2015

INTEGRANTES:

Gomez, Cristian	- #89968
<crisgvenezia@gmail.com>	
Pollitzer, Ivan Gustavo	- #22922
<igpollitzer@gmail.com>	
Carballeda, Ignacio	- #91646
<carballeda.ignacio@gmail.com>	
Marques Rojo, Rui Alejandro	- #85748
<rui.rojo@gmail.com>	

Docentes:

José Alberto Bertuccio
Federico D'Angiolo

Índice

1. Actividades desarrolladas	3
1.1. Diseño conceptual	3
1.1.1. Especificaciones	3
1.1.2. Etapa de entrada	3
1.1.3. Etapa intermedia	3
1.1.4. Etapa de salida	4
1.1.5. Diagrama en bloques	4
1.2. Diseño circuital	5
1.2.1. Simulaciones	5
1.3. Análisis de los condicionantes de integración	8
1.4. Diseño PCB	8
2. Grado de avance	8
3. Dificultades encontradas	8
4. Resumen de actividades a desarrollar	8

1. Actividades desarrolladas

1.1. Diseño conceptual

El objetivo es amplificar una señal de audio que será reproducida en un parlante. Debe proveer al usuario con una buena calidad de sonido con volumen alto sin consumir mucha más energía de la necesaria ni ser muy grande y pesado. Es decir, debe tener baja distorsión, alta relación señal-ruido (SNR), alta eficiencia y buena ganancia y potencia máxima de salida.

Un amplificador consta, basicamente, de 3 etapas: una de entrada, diferencial, una intermedia, de ganancia de tensión, y una de salida, de ganancia de corriente. Esta última etapa es la responsable de proveer la potencia y la que determina la eficiencia, tamaño y peso del amplificador.

1.1.1. Especificaciones

- Máxima Potencia de Salida: 100 W RMS @ 8Ω
- Clase: G
- THD: $< 0,01\%$
- Slew Rate: $> 5V/\mu s$
- Impedancia de entrada: $10\text{ k}\Omega$
- Sensibilidad: 1 V RMS
- Alimentación:
 - Baja tensión: Apróx $+/- 20\text{ V}$
 - Alta tensión: Apróx $+/- 50\text{ V}$

1.1.2. Etapa de entrada

Para la etapa de entrada, inicialmente consideramos una típica topografía diferencial, de colectores acoplados. Como los transistores no son componentes lineales, propusimos agregar otro par diferencial, en paralelo, con componentes complementarios; es decir, donde originalmente usamos transistores NPN, colocamos PNP, y viceversa. De esta forma, la simetría cancela alinealidades y se reduce la distorsión.

1.1.3. Etapa intermedia

Para la etapa intermedia, en primera instancia, decidimos utilizar un amplificador de 2 etapas, colector común - emisor común, con la diferencia del diseño convencional, de que la salida del VAS está conectada al centro del multiplicador de V_{be} , para obtener una mayor simetría en la última etapa.

Con el cambio a 2 pares diferenciales, la etapa intermedia también se duplica, complementariamente, y se conectan a la etapa de salida, por arriba y por abajo del multiplicador de V_{be} .

1.1.4. Etapa de salida

Para la etapa de salida se consideraron diferentes opciones de diseño. Esta etapa es responsable de amplificar la potencia de la señal. Es decir, debe tener **alta eficiencia**, y **bajos niveles de distorsión**. Además, se busca **minimizar la impedancia de salida** para mantener un **alto factor de amortiguamiento** y evitar que el rebote acústico afecte el comportamiento del amplificador.

Los amplificadores clase D son de muy alta eficiencia, pues operan a los transistores de salida en modo de conmutación. Sin embargo, son de diseño difícil, la distorsión puede ser alta si la frecuencia de los pulsos no es muy superior a la de la máxima frecuencia y generan interferencia electromagnética. Se optó entonces por un diseño clase G, que son de eficiencia superior a los AB sin las dificultades del D.

Un amplificador clase G está compuesto por dos o más niveles de alimentación que permiten incrementar la eficiencia del amplificador con respecto al clase B. Esto se logra ya que con tensiones bajas, se utilizará una fuente de tensión menor, preservando la máxima excursión posible sobre la carga que ofrece un clase B alimentado con la fuente de tensión mayor. Para señales con picos de baja amplitud en relación al valor medio, la mejora en la eficiencia es modesta. Sin embargo, en el caso en que la señal tenga picos considerables con respecto a su valor medio, la mejora es notable.

A la salida se usarán transistores en configuración Darlington, para tener una ganancia de corriente elevada, y con transistores en paralelo en la parte de mayor potencia para repartir la corriente y disminuir la disipación en cada uno.

La lectura del libro de Douglas-Self nos permitió aprender los conceptos básicos y la topología de un amplificador clase G. Nuestro diseño se inspiró en el propuesto en dicho libro.

1.1.5. Diagrama en bloques

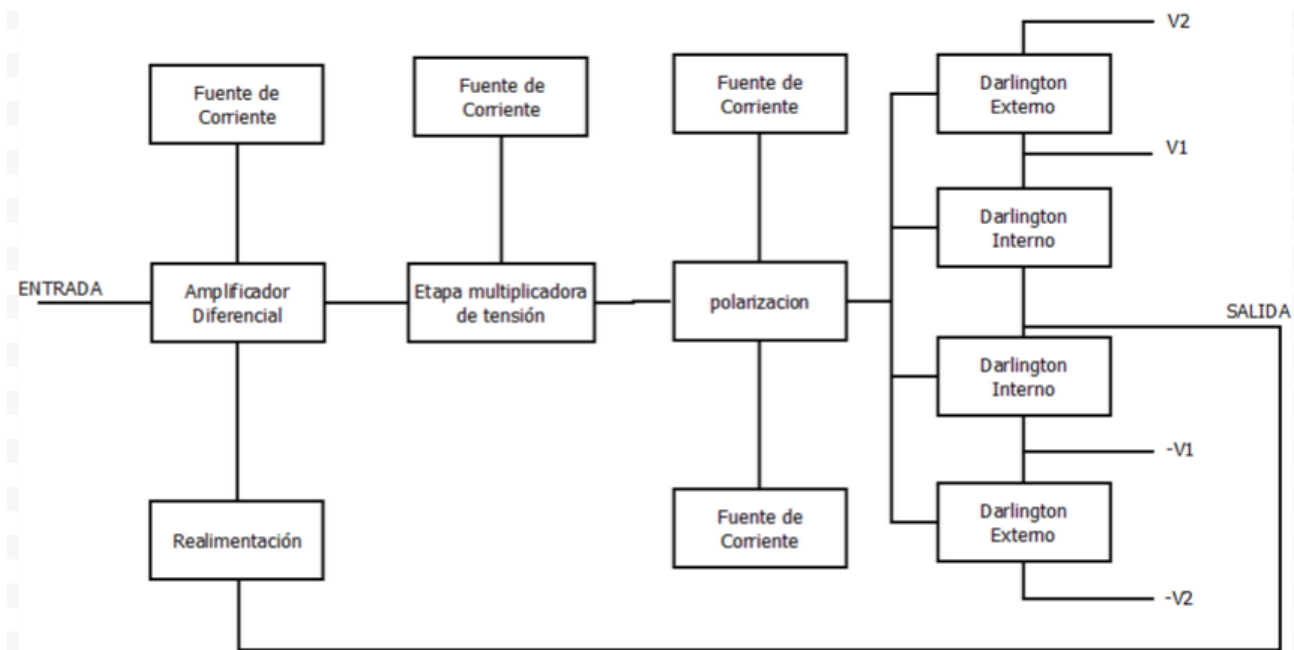


Figura 1: Diagrama en bloques del amplificador clase G

1.2. Diseño circuital

Conseguimos un circuito integrado, especialmente diseñado para audio, que presenta una distorsión considerablemente baja, por lo que decidimos usar este último.

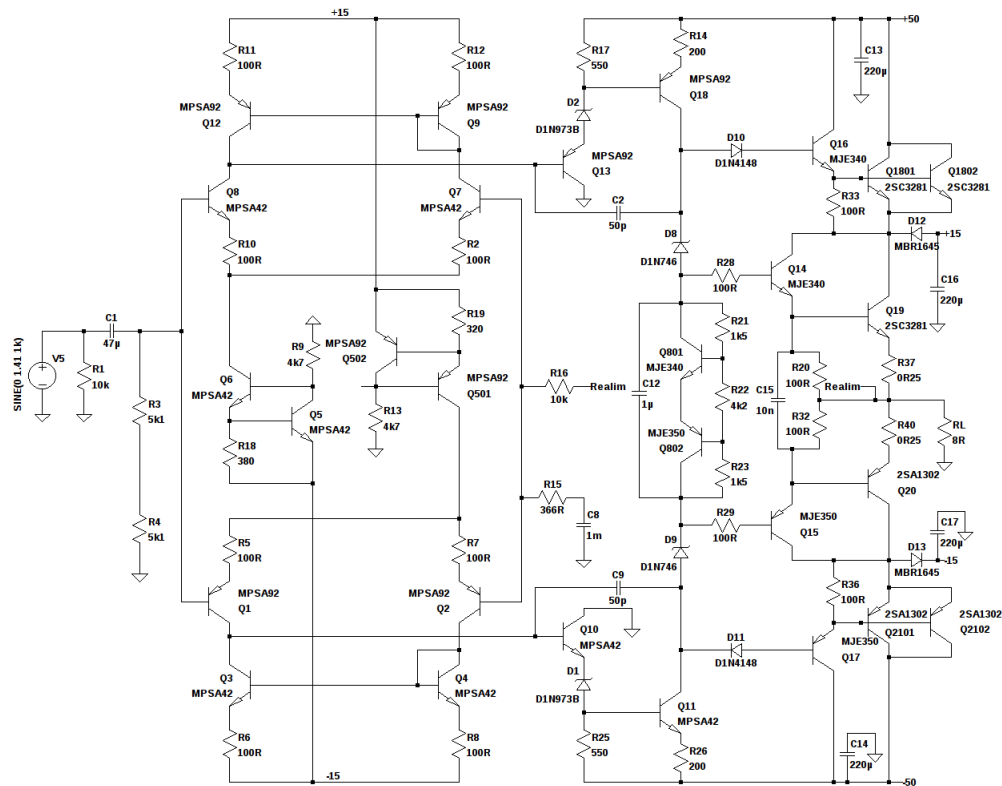


Figura 2: Circuito Diseñado

1.2.1. Simulaciones

THD para entrada de 1V @ 1kHz A continuación se muestra una tabla con los resultados del análisis de Fourier realizados con el LTSpice.

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component	Phase [degree]	Normalized Phase [deg]
1	1.000e+03	9.886e-01	1.000e+00	0.09°	0.00°
2	2.000e+03	1.021e-03	1.033e-03	4.60°	4.51°
3	3.000e+03	2.722e-03	2.754e-03	-62.80°	-62.89°
4	4.000e+03	8.439e-04	8.536e-04	171.39°	171.29°
5	5.000e+03	3.281e-03	3.319e-03	-3.53°	-3.62°
6	6.000e+03	3.651e-04	3.693e-04	-122.20°	-122.30°

7	7.000e+03	2.001e-03	2.024e-03	164.51°	164.42°
8	8.000e+03	5.390e-04	5.452e-04	12.33°	12.24°
9	9.000e+03	9.981e-04	1.010e-03	48.13°	48.04°
10	1.000e+04	1.401e-04	1.417e-04	76.58°	76.48°

Total Harmonic Distortion: 0.509554%

La distorsión armónica simulada es de 0,5 % en la máxima potencia.

En la figura 3 se muestra la distorsión en función de la tensión pico de salida.

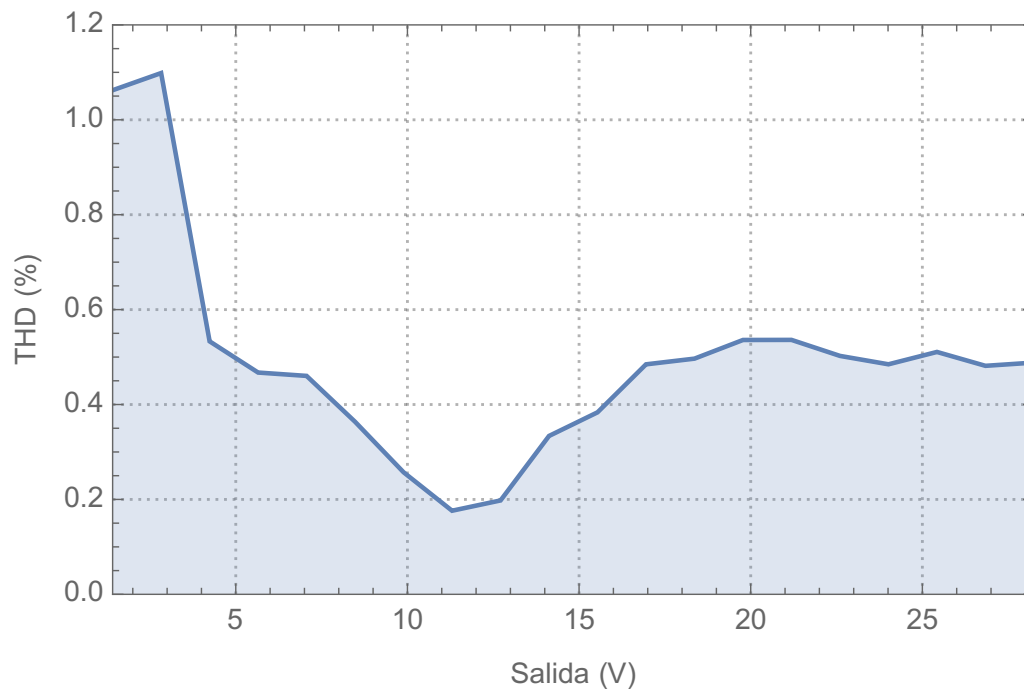


Figura 3: Barrido en amplitud de distorsión a $1kHz$.

Hay que mejorar considerablemente el diseño para bajar la distorsión.

Slew Rate Simulando una entrada escalón en el amplificador, se observa la salida de la figura 4 en la carga.

La pendiente es de $33 \frac{V}{\mu s}$.

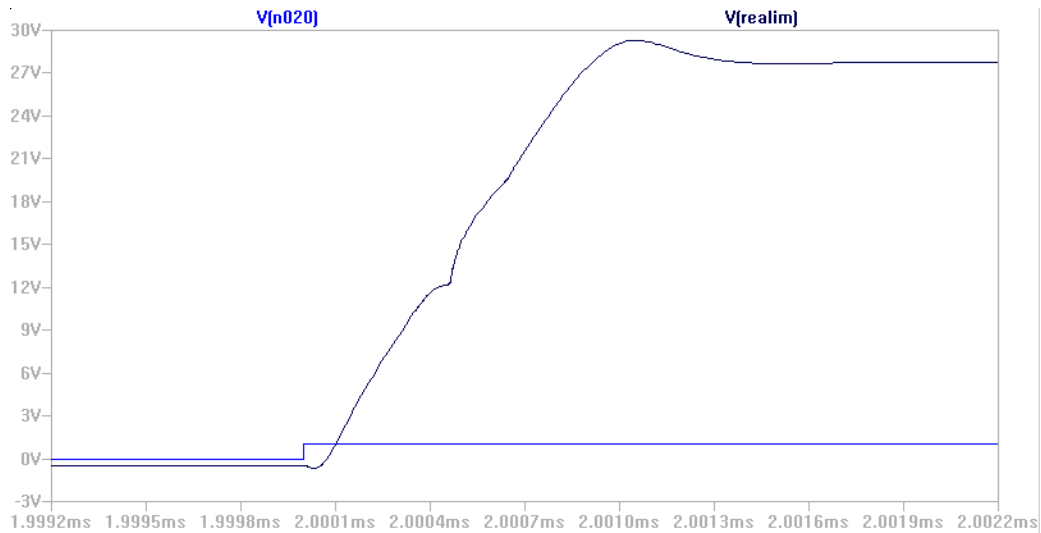


Figura 4: Salida simulada frente a una entrada escalón.

Resistencia de salida Para la simulación de la resistencia de salida, se obtuvo la tensión pico para una entrada de $0,5V$, con carga de 4Ω ($V_{4\Omega}$) y sin carga (V_{∞}). Se obtiene con la fórmula de divisor de tensión:

$$V_{4\Omega} = V_o \frac{R_L}{R_L + R_{out}}$$

$$R_{out} = R_L \left(\frac{V_{\infty}}{V_{4\Omega}} - 1 \right)$$

Se obtuvo:

$$R_{out} \cong 0,01\Omega]$$

La realimentación logra que la resistencia de salida sea muy baja.

Resistencia de entrada Se simuló en $1kHz$ el cociente entre la tensión de entrada y la corriente entregadas por el generador.

$$R_{in} = 5k\Omega$$

Respuesta en frecuencia Se realizó un barrido de $0,1Hz$ a $100MHz$.

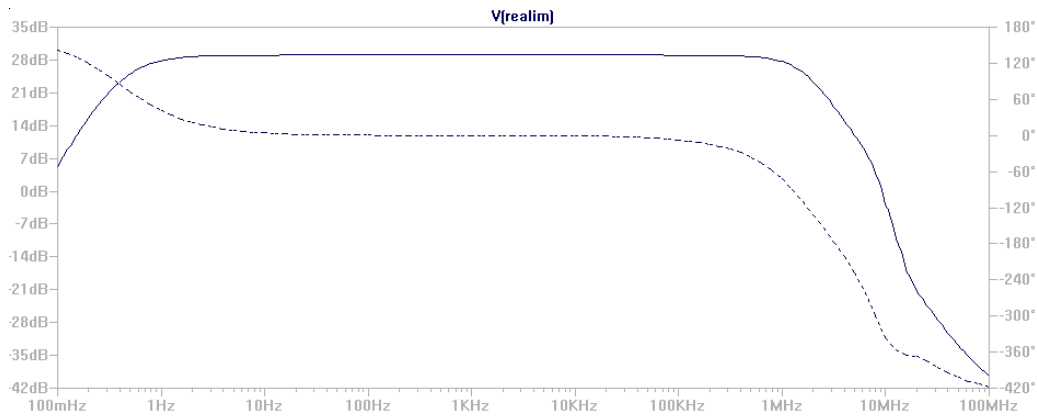


Figura 5: Diagrama de Bode del amplificador a lazo cerrado simulado. El módulo, en línea llena y la fase en línea punteada.

Ancho de banda de potencia Se simulará cuando se logre mejorar la distorsión.

1.3. Análisis de los condicionantes de integración

1.4. Diseño PCB

2. Grado de avance

Hasta el momento, hemos elegido las configuraciones de las distintas etapas, buscando aquellas que nos provean una menor distorsión; realizamos los cálculos para hallar los valores de realimentación, resistencias para el embalamiento térmico y los disipadores para los transistores; realizamos la simulación del circuito, y estamos en proceso de diseño de la fuente para reducir la tensión de alimentación a un valor apropiado para los integrados que utilizaremos en la primera etapa.

3. Dificultades encontradas

Para el desarrollo del proyecto, nos encontramos con varios obstáculos. En el primer diseño que realizamos, nos encontramos con una disparidad en las corrientes del par diferencial, que resolvimos comprando transistores de más, midiendo sus parámetros β , y agrupándolos para poder trabajar con valores apareados. Otra solución que encontramos, y que aplicaremos en esta versión del circuito, es utilizar transistores integrados, que asegura que todos los transistores tengan las mismas propiedades, y estén apareados.

La simulación de distorsión se hacía con pocos períodos en el LTSpice y, por cuestiones numéricas, eso parece resultar en valores de distorsión mucho menores a los que devuelve simulando con más períodos. Se pasó mucho tiempo creyendo que el diseño resultaba en valores satisfactorios de distorsión, hasta que recientemente se descubrió esto.

4. Resumen de actividades a desarrollar

Habiendo establecido todo lo anterior, procederemos con la simulación del circuito con las fuentes switching en la parte diferencial, el diseño del PCB comparte parte con la versión que realizamos el cuatrimestre pasado, por lo que sólo será necesario rediseñar la primera parte. Hay

que evaluar también qué cosas habría que rediseñar para lograr buenos valores de distorsión. Luego procederemos con el armado del circuito, verificando el correcto funcionamiento de las etapas, durante el armado de la placa, y luego tendremos que revisar que esté andando correctamente, y que cumpla con los parámetros que propusimos. Finalizado esto, procederemos a realizar las mediciones pertinentes.