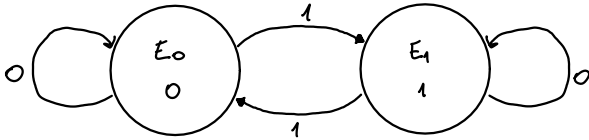


## Ejercicio 10:

Diseñar un circuito secuencial que compruebe la paridad de una señal de entrada (**IN**) de un bit. Funcionamiento: en cada flanco de clk ingresa un nuevo bit, y la salida (**OUT**) pasa a '1' cuando la cantidad de '1s' ingresados desde el inicio de la secuencia es impar, caso contrario es '0'.



Combinacional de estados:

Estado actual Q	Entrada IN	Estado siguiente D
0	0	0
0	1	1
1	0	1
1	1	0

	$\overline{IN}$	IN
$\overline{Q}$	0	1
Q	1	0

$$D = Q \overline{IN} + \overline{Q} IN$$

Combinacional de salida:  $OUT = Q$

Luego, la implementación es la siguiente:

