

Ejercicio 5:

“Interleaved Memory” es una técnica utilizada para compensar la velocidad relativamente lenta de las memorias dinámicas de acceso aleatorio (DRAM) respecto al procesador. Esta técnica consiste en distribuir direcciones de memoria en forma uniforme a través de distintos bancos, y así evitar el tiempo de ciclo que se debería esperar entre dos accesos consecutivos a memoria. Sabiendo esto, se pide:

Implementar la sección de RAM del ejercicio 4 como un sistema de memoria de dos bancos, de forma tal que las direcciones pares estén contenidas en un banco y las impares en otro.

Recordar que en el ejercicio 4 se pedía implementar una RAM $4k \times 8$ a partir de chips $2k \times 4$.

En este caso, para llevar a cabo la técnica interleaved memory, me alcanza con dar vuelta los cables de selección, es decir que el decodificador elija entre los bits menos significativos:

