

Ejercicio 1:

Un detector de paridad impar de 4 entradas y una salida funciona de la siguiente manera: si la cantidad de entradas con valor '1' es impar la salida se pone en '1', en el resto de los casos la salida toma valor '0'.

- Construir la tabla de verdad para dicho sistema.
- Obtener la ecuación lógica como suma de minitérminos y producto de maxitérminos (funciones canónicas).
- Implementar el sistema con compuertas NAND de la cantidad de entradas requeridas.
- Implementar el sistema con una PLA.

K_3	K_2	K_1	K_0	O
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

$$f_K = \overline{K_3}\overline{K_2}\overline{K_1}K_0 + \overline{K_3}\overline{K_2}K_1\overline{K_0} + \overline{K_3}K_2\overline{K_1}\overline{K_0} + \overline{K_3}K_2K_1K_0 + \\ K_3\overline{K_2}\overline{K_1}K_0 + K_3\overline{K_2}K_1\overline{K_0} + K_3K_2\overline{K_1}K_0 + K_3K_2K_1\overline{K_0}$$

$$F_K = (K_3 + K_2 + K_1 + K_0)(\overline{K_3} + \overline{K_2} + \overline{K_1} + \overline{K_0})(\overline{K_3} + \overline{K_2} + K_1 + \overline{K_0})(\overline{K_3} + \overline{K_2} + \overline{K_1} + K_0) \\ (\overline{K_3} + K_2 + K_1 + \overline{K_0})(\overline{K_3} + K_2 + \overline{K_1} + K_0)(\overline{K_3} + \overline{K_2} + K_1 + K_0)(\overline{K_3} + \overline{K_2} + \overline{K_1} + \overline{K_0})$$

Para implementar el sistema con compuertas NAND tengo que $f_K = \overline{\overline{f_K}}$, aplicando Teorema de Morgan me queda:

$$f_K = \overline{\overline{K_3K_2K_1K_0} \overline{K_3K_2K_1K_0} \overline{K_3K_2K_1K_0} \overline{K_3K_2K_1K_0} \overline{K_3K_2K_1K_0} \overline{K_3K_2K_1K_0} \overline{K_3K_2K_1K_0} \overline{K_3K_2K_1K_0}}$$

Luego, la implementación es la siguiente:

