

DENEY 1

BOOLEAN CEBİRİ TEMEL İŞLEMLERİ

Boolean cebiri, George Boole (1815-1864) tarafından mantık problemlerini çözmek amacıyla geliştirilmiştir. 1983 yılında Claude Shannon anahtarlama devreleriyle pratik uygulamalar yapana kadar bu cebir sadece matematiksel bir anlam taşımıştır. Günümüzde boolean cebiri telefon şebekelerinde ve dijital sistemlerde geniş kullanım alanına sahiptir.

Temel İşlemler:

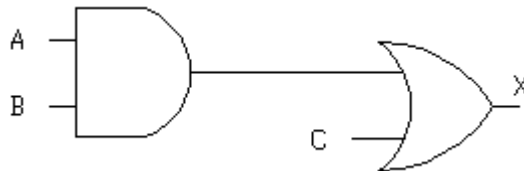
Boolean cebirinin temel işlemleri tümleme (tersleme), VE çarpımı ve VEYA toplamıdır. Bu işlemler dijital sistemlerde DEĞİL kapıları, VE kapıları ve VEYA kapılarıyla gerçekleştirilmektedir. Bu işlemleri kısaca özetlersek:

<i>Tersleme</i>	<i>VE çarpımı</i>	<i>VEYA toplamı</i>
$0=\bar{1}$	$0.0=0$	$0+0=0$
	$0.1=0$	$0+1=1$
$1=\bar{0}$	$1.0=0$	$1+0=1$
	$1.1=1$	$1+1=1$

Bu kurallar her üç mantıksal fonksiyonun çalışmasını açıklayan ve böylece herhangi bir giriş değerine göre mantık devresinin durumunu belirleyen basit deyimlerdir.

Örnek olarak, **Şekil-1'**deki mantıksal veya boolean ifadesi $X=(A.B)+C$ 'dir. $A=0$ $B=1$ ve $C=1$ iken x çıkışını ilk değerleri kullanarak şu şekilde gösterebiliriz:

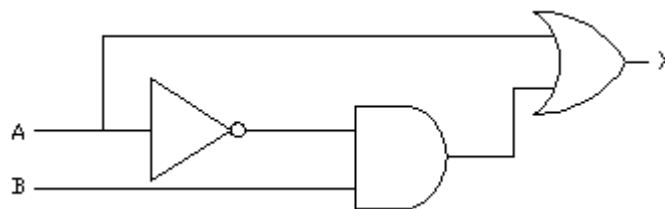
$$X=(A.B)+C=(0.1)+1=0+1=1$$



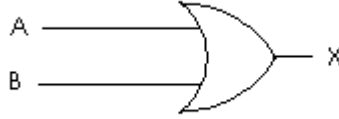
Şekil-1

Farklı değerler kullanılarak X'in yeni değerleri aynı yöntemle bulunabilir.

İki ayrı mantıksal devrenin eşitliği veya eşitsizliği üç temel kullanarak gösterilebilir. Bu metotta her devre için ayrı bir doğruluk tablosu hazırlanması ve bu tablolar karşılaştırılarak devrelerde aynı işlemin yapılıp yapılmadığını belirler. **Şekil-2a** ve **Şekil-2b'**yi



Şekil-2a

**Şekil-2b**

Şekil-2a'da VE kapısının 2 girişi \bar{A} ve B, çıkışı $\bar{A}B$ 'dir. Bu nedenle VEYA kapısının çıkışı, tüm devrenin boolean ifadesi olan $A + \bar{A}B$ 'dir. **Şekil-2b** 'deki VEYA kapısının boolean ifadesi $Y = A+B$ 'dir. Aşağıdaki doğruluk tablosu oluşabilecek 4 olasılığı da temel işlemleri kullanarak göstermektedir.

A	B	\bar{A}	$\bar{A}B$	$X = A + \bar{A}B$	$Y = A+B$
0	0	1	0	0	0
0	1	1	1	1	1
1	0	0	0	1	1
1	1	0	0	1	1

Açıktır görüldüğü ki, x ve y sütunları birbirinin aynısıdır, buda 2 devrenin birbirine eşit olduğunu gösteriyor. Devreler eşit olduğundan birbirlerinin yerine kullanılabilirler; **Şekil-2b** 'deki devre daha az kapıya sahip olduğu için diğerinden kullanışlıdır.

Deneyin Yapılışı

Gerekli elemanlar:

- 1 Adet 7432 veya eşdeğeri
- 1 Adet 7411 veya eşdeğeri
- 1 Adet 7404 veya eşdeğeri
- 1 güç kaynağı, 5V dc
- 1 VOM

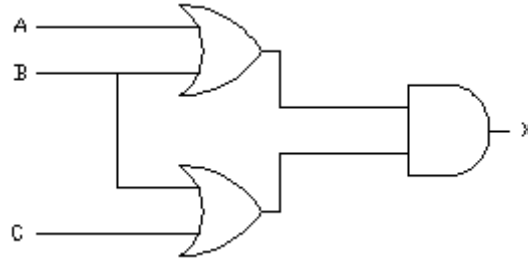
- Şekil-1** 'deki devreyi kurunuz. 0 = 0 V dc, ve 1 = +5 V dc şeklinde kullanarak aşağıdaki girişlere göre tabloyu tamamlayınız.

A	0	+5	0	+5	0	+5	0	+5
B	0	0	+5	+5	0	0	+5	+5
C	0	0	0	0	+5	+5	+5	+5
X								

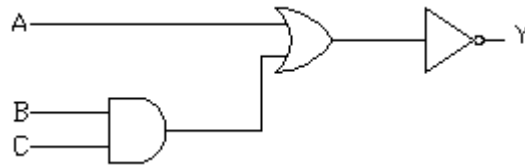
Şekil-2a 'daki devreyi kurunuz. 0= 0 V dc ve 1 = +5 V dc şeklinde kullanarak aşağıdaki giriş değerlerine göre tabloyu tamamlayınız. Aynı işlemi **Şekil-2b** 'deki devreyi kurduktan sonra da tekrarlayınız. İki devre eşdeğer midir? _____

A	B	$x = A + \bar{A}B$	$Y = A + B$
0	0		
0	1		
1	0		
1	1		

2. **Şekil-3a** 'daki devreyi kurunuz. 0= 0 V dc ve 1 = +5 V dc şeklinde kullanarak aşağıdaki giriş değerlerine göre tabloyu tamamlayınız. Aynı işlemi **Şekil-3b** 'deki devreyi kurduktan sonra da tekrarlayınız. (Sonuçları testin 3. Sorusunda bulduğunuz sonuçlarla karşılaştırın.)



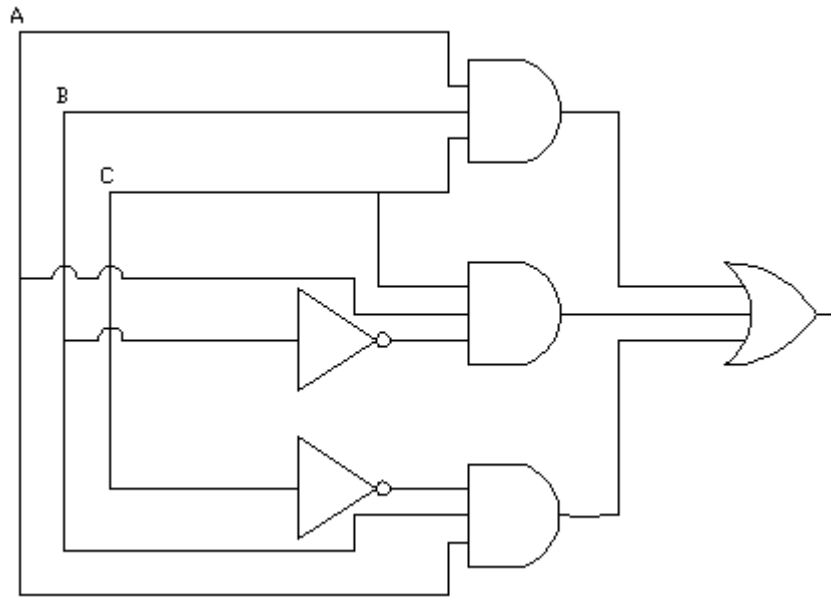
Şekil-3a



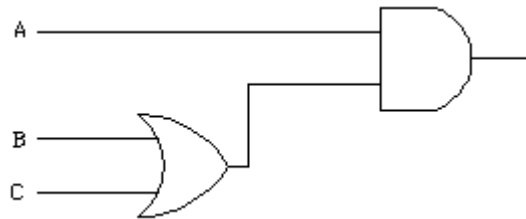
Şekil-3b

A	B	C	X	Y
0	0	0		
1	0	0		
0	1	0		
1	1	0		
0	0	1		
1	0	1		
0	1	1		
1	1	1		

3. **Şekil-4a** 'daki devreyi kurunuz. 0 = 0V dc ve 1 = +5 V dc şeklinde kullanılarak aşağıdaki giriş değerlerine göre tabloyu tamamlayınız. Aynı işlemi **Şekil-4b** 'deki devreyi kurduktan sonra da tekrarlayınız. İki devre eşdeğer midir?



Şekil-4a



Şekil-4b

A	B	C	X	Y
0	0	0		
1	0	0		
0	1	0		
1	1	0		
0	0	1		
1	0	1		
0	1	1		
1	1	1		

DENEY 2

LOJİK DEVRE TASARIMI ve UYGULAMASI

Deney öncesi yapılacaklar.

- Lojik kapıların incelenmesi

Problem:

4 butonlu bir sistemde sadece 2 butona basıldığında çıkışın lojik '1' olduğu devrenin tasarımının yapılması.

Deneyin yapılışı:

Gerekli elemanlar:

1 Adet 7421 veya eşdeğeri
 1 Adet 7411 veya eşdeğeri
 1 Adet 7404 veya eşdeğeri
 1 Adet 7432 veya eşdeğeri
 1 Adet 7486 veya eşdeğeri
 4 Adet push-buton
 4 2.2k direnç, 1 LED

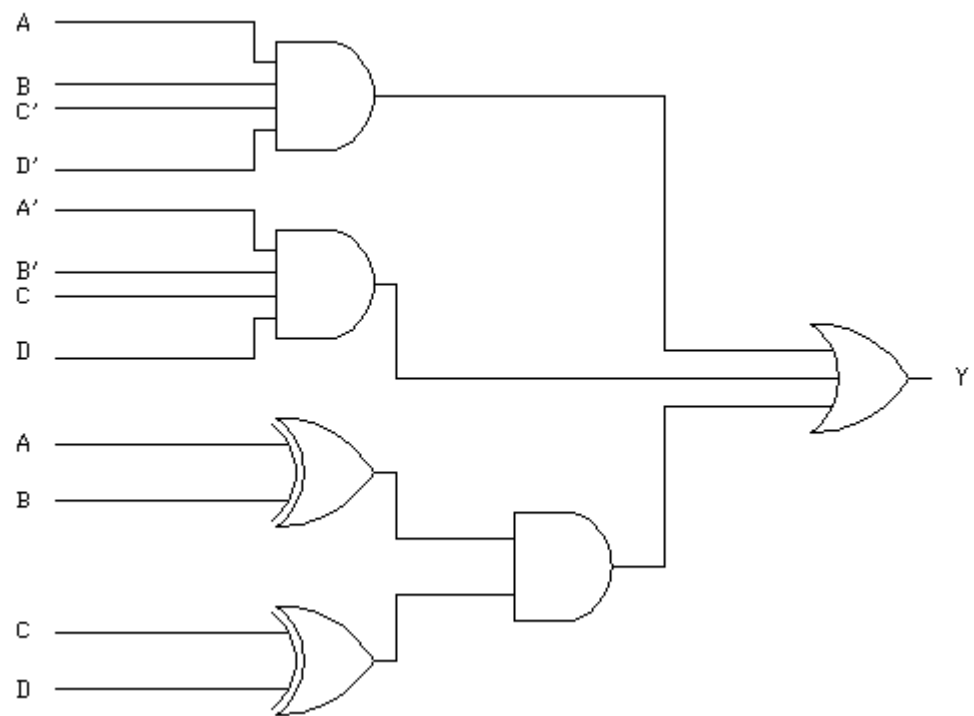
Probleme ait doğruluk tablosu oluşturularak çıkış fonksiyonu elde edilir ve devre entegre kataloglarından yararlanılarak oluşturulur.

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	0	1	0

$$Y = \bar{A} \bar{B} CD + \bar{A} B \bar{C} D + \bar{A} BC \bar{D} + \bar{A} \bar{B} \bar{C} D + ABC \bar{D} + \bar{A} \bar{B} C \bar{D}$$

$$Y = \bar{A} \bar{B} CD + A B \bar{C} \bar{D} + \bar{A} B (\bar{C} D + C \bar{D}) + \bar{A} B (\bar{C} D + C \bar{D})$$

$$Y = \bar{A} \bar{B} CD + ABC \bar{D} + (A \oplus B)(C \oplus D)$$



DENEY 3

TOPLAYICILAR ve YOL SEÇİCİLER

AMAÇ

- Yarı toplayıcının mantıksal özelliklerini araştırmak
- Tam toplayıcının mantıksal özelliklerini araştırmak
- Yarı toplayıcıları kullanarak tam toplayıcı oluşturmak
- EX-OR kapısı kullanarak yarım ve tam toplayıcıları gerçekleştirmek

Sayısal aritmetik, dijital mantık devreleri tarafından kullanılan en temel işlemlerden biridir. Toplama, çıkarma, çarpma, bölme vb. gibi aritmetik hesaplamalar AND, OR kapılarının ve inverterlerin oluşturduğu sayısal bir sistem ile hesaplanabilir. Aritmetik işlevleri gerçekleştirmek için üç temel sayısal devre kullanılır ; EX-OR kapısı (çeyrek-toplayıcı olarak da bilinir), yarım toplayıcı ve tam toplayıcı.

İki tabanında aritmetik

İkilik (binary) sistem her sayısal sistem için temel teşkil eder, bu nedenle sayısal devrelerde yapılacak aritmetik işlemler ikilik sisteme ait sayılarla yapılmalıdır. İkilik sistemde A ve B şeklinde iki sayının toplanmasını ele alırsak, karşımıza 4 ayrı kural çıkar.

$$\begin{array}{ll}
 A = 0, & B = 0 : 0 + 0 = 0 \\
 A = 0, & B = 1 : 0 + 1 = 1 \\
 A = 1, & B = 0 : 1 + 0 = 1 \\
 A = 1, & B = 1 : 1 + 1 = 10 \quad 0, \text{ ve elde } 1
 \end{array}$$

Sonuç olarak iki binary sayının toplanmasından 'toplam' ve 'elde' olarak iki rakam elde edilir. Son kuralda elde 1 iken diğer kurallar aşağıdaki doğruluk tablosundaki gibi gösterilebilir.

A	B	Toplam	Elde
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Tablo 14-1 İki binary sayının toplamı

Şimdi de 5_{10} ve 7_{10} toplamını binary formda görelim.

1	111	Elde
5_{10}	101	A
7_{10}	111	B
12_{10}	1100	Toplam

en sağdaki sütunda, $1 + 1 = 0$ ve elde 1

elde 1 soldaki sütuna taşınır $1 + 0 + 1 = 0$ ve elde 1 olur

bu elde de üçüncü sütuna taşınır ve $1 + 1 + 1 = 1$ ve elde 1 olur

böylece son sütun $1 + 0 + 0 = 1$ olur. Bu örnekten açıkça görülüyor ki genel olarak binary iki sayının toplamı için toplam ve eldenin sonucu olan üç binary rakamın toplamı gerekmektedir.

A	B	C	Toplam	Elde
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

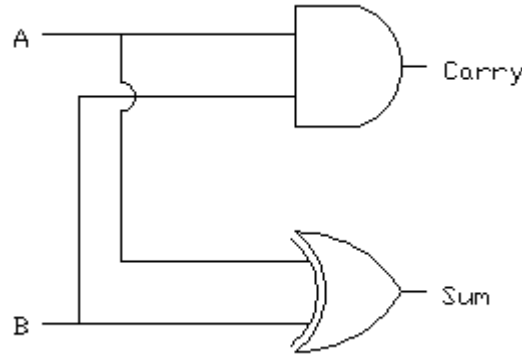
Tablo 14-2 Üç binary sayının toplamı

Çeyrek-Toplayıcı

Tablo 14-1 de görünen iki girişli (A ve B) mantık devresinin sağladığı 'toplam' çıkışı bize EXOR kapısını hatırlatmaktadır. Bu yüzden EXOR kapısı bazen çeyrek toplayıcı olarak da anılır. Ayrıca EXOR işlemlerine *Modül-2 toplama* da denir.

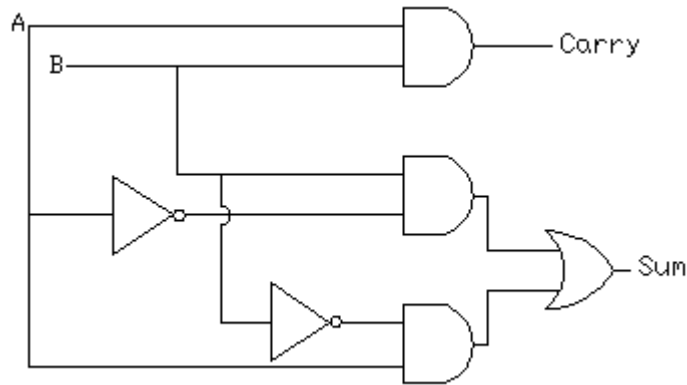
Yarım-Toplayıcı

Bir yarım toplayıcının iki girişi (A ve B) ve iki de çıkışı (toplam ve elde) vardır. Zaten çeyrek toplayıcı 'toplam' kısmını bize verdiğinden, 'elde' kısmı için **Şekil 14-1** 'deki gibi sadece AND kapısı bağlamak yeterlidir.



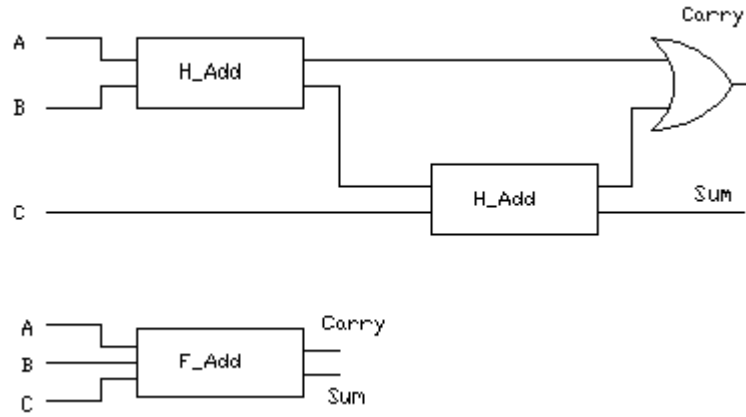
Şekil 14-1. Half-adder

Tabii ki yarım-toplayıcılar çeşitli yollarla yapılabilir, ama A, Not A, B, Not B değerlerine sahipsek basit yarım toplayıcı devresi AND ve OR kapıları kullanılarak **Şekil 14-2** 'deki gibi yapılabilir.



Şekil 14-2. Half-adder

Şekildeki kapıları tekrar çizmekten kurtulmak için yarım-toplayıcı temel mantıksal eleman olarak **şekil 14-3** 'deki gibi gösterilebilir.

**Şekil 14-3.** Full-adder**Tam-toplayıcı**

Tam toplayıcı 3 girişi (A, B, C) ve iki çıkışı (toplam ve elde) olan **Tablo 14-2** de gerçekleştirilen mantıksal devredir. İki binary sayının toplamı için kullanılır. Tam toplayıcı devresini yapmanın en basit yolu; iki yarım ve OR kapısını **Şekil 14-3**'teki gibi birleştirmek.

Deneyin Yapılışı**Gerekli elemanlar**

- 1 Adet 7432 veya eşdeğeri
- 1 Adet 7411 veya eşdeğeri
- 1 Adet 7486 veya eşdeğeri
- 1 Adet 7404
- 1 Adet 74153
- 1 güç kaynağı, 5 V dc
- 1 VOM

1. **Şekil 14-1** de gösterilen yarım toplayıcı devresini kurunuz.

0 = 0 V dc

1 = 5 V dc

şeklinde kullanarak, **tablo 14-1** de verilen A ve B girişleri için bu devrenin doğruluk tablosunu oluşturunuz. Ölçülen toplam ve elde çıkışlarını kaydediniz.

2. **Şekil 14-2** de gösterilen yarım toplayıcı devresini kurunuz. Birinci adımdaki gibi doğruluk tablosunu oluşturunuz

3. **Şekil 14-3a** 'daki tam toplayıcı devresini EXOR kapıları kullanarak yapınız. Birinci maddedeki gibi doğruluk tablosunu oluşturunuz. Her giriş için her bir yarım toplayıcının ve elde çıkışlarını ve de OR kapısı çıkışını kaydediniz.

YOL SEÇİCİLER İLE TOPLAMA**Fonksiyon Meydana Getirme:**

Verilen A, B ve C gibi üç değişken için sekiz muhtemel fonksiyon vardır (ABC = 000, 001, ..., 111). Bu sekiz fonksiyonu meydana getirmek için 4-girişli bir multiplexer kullanılabilir. Üç değişkenli bir doğruluk tablosu **Şekil 15-1** 'de gösterilmiştir. Giriş değişkenleri A, B ve C 'dir ve istenilen çıkış değeri Y boş bırakılmıştır. Tablo dört bölüme ayrılmıştır eğer A ve B sırasıyla bir '153' ün A ve B bacaklarına bağlanırsa tablonun en üst bölümü C0, sonraki bölümleri C1, C2 ve alt bölüm C3 seçilir.

Seçilen her bölümde Y için mümkün olan dört kombinasyon L/L, L/H, H/L ve H/H'dır. Eğer Y'nin istenilen her iki değeri de low (L/L) ise, o bölümün girişi GND'ye bağlanmalı. Çıkışın seçilen girişi takip ettiğini hatırlayın.

Eğer bir bölümde Y'nin her iki değeri de high (H/H) ise, bölümün girişi V_{cc} 'ye bağlanır.

Eğer önce low sonra high ise, bu C'ye karşılık gelir. Bu yüzden bölümün girişi C'ye bağlanır.

Eğer önce high sonra low ise, bu C'ye karşılık gelir, ve o bölümün girişi C' ye bağlanır.

B	A	C	Y
L	L	L	→ C0 seçilir
L	L	H	
L	H	L	→ C1 seçilir
L	H	H	
H	L	L	→ C2 seçilir
H	L	H	
H	H	L	→ C3 seçilir
H	H	H	

Şekil 15.1 istenilen doğruluk tablosu

Tam-Toplayıcı

74153 tam toplayıcı olarak kullanılabilir. Multiplexerlerden bir tanesi toplam için diğeri de elde için kullanılır. Aşağıdaki doğruluk tablosu (Tablo 15-1) tam toplama işlemini gösteriyor. A ve B toplanan iki giriş bit'i ve C_i ise elde bit'idir.

B	A	C_i	Sum	Carry
L	L	L	L	L
L	L	H	H	L → C0
L	H	L	H	L
L	H	H	L	H → C1
H	L	L	H	L
H	L	H	L	H → C2
H	H	L	L	H
H	H	H	H	H → C3

Tablo 15-1

Bu doğruluk tablosunu **şekil 15.1** ile karşılaştırınız. Eğer $A = A$ ve $B = B$ ise toplam S 1Y 'de ve elde C_0 2y'de üretilir. Uygun bağlantılar gibidir.

1Y = Toplam:

1C0, (C_i) ye bağlanır.

1C1, (C_i') ye bağlanır.

1C2, (C_i') ye bağlanır.

1C3, (C_i) ye bağlanır

2Y = Elde:

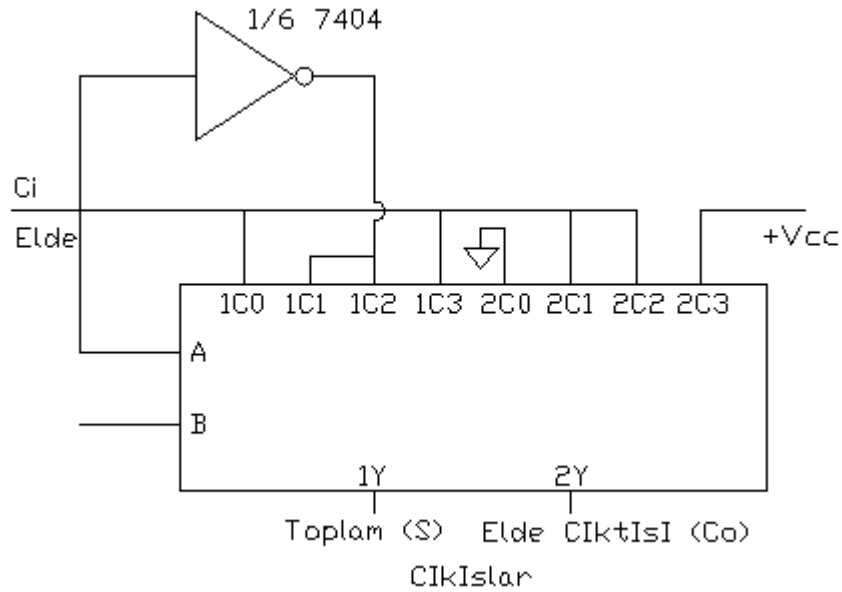
2C0, GND'ye bağlanır.

2C1, C_i 'ye bağlanır.

2C2, C_i 'ye bağlanır.

2C3, $+V_{cc}$ 'ye bağlanır.

Devrenin lojik diyagramı **şekil 15.2** de gösterilmiştir.



Şekil 15.2 Tam-Toplayıcı Lojik diyagramı

1. 74153'ün V_{cc} ve GND bağlantılarını yapın.
2. Çipin fonksiyonlarının doğru olduğunu onaylayın. Önce multiplexer 1 sonra multiplexer 2 üzerinde çalışın. Katalogdaki doğruluk tablosunu kullanarak her bir girişin doğru olduğunu onaylayın. Doğruluk tablosundaki ilk girişin enable girişi 1 G veya 2G 'nin uygun çalışması olduğuna dikkat edin.
3. **Şekil 15.2** 'de gösterildiği gibi tam-toplayıcı devresinin bağlantılarını yapın. İnverterin çalışıp çalışmadığını kontrol edin. Şimdi tam-toplayıcı doğruluk tablosunda verilen girişleri uygulayın ve çıkışları kaydedin. Sonuçlar **tablo 15.1** 'deki sonuçlar ile uyumlu olmalıdır.

B	A	Ci	Sum	Carry
L	L	L		
L	L	H		
L	H	L		
L	H	H		
H	L	L		
H	L	H		
H	H	L		
H	H	H		

DENEY 4 ASENKRON SAYICILAR

Deney öncesi yapılacaklar:

- J-K Flip Flop'larının incelenmesi,
- 7447 entegresinin çalışma prensplerinin incelenmesi
- 7-segment displaylerin incelenmesi
- 7447 entegresi ile 7-segment displayin bağlantısı.

Problem:

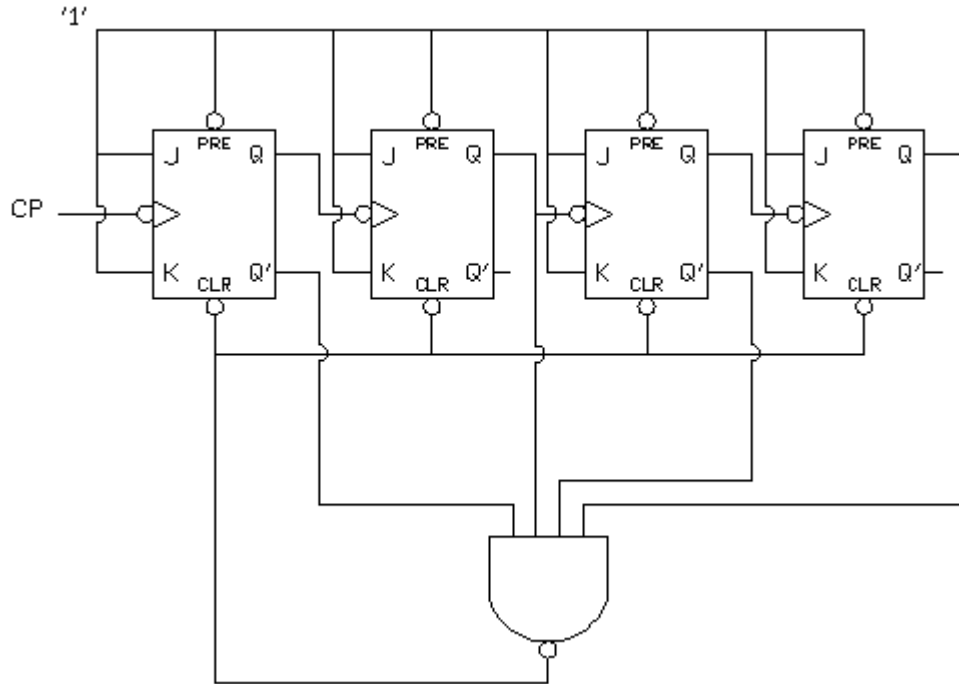
J-K Flip-Flop kullanılarak 10'a kadar sayan bir asenkron sayıcı tasarımı ve çıkışın 7-segment display üzerinde gösterimi.

Deneyin Yapılışı:

Gerekli Elemanlar:

- 1 Adet 7420 veya eşdeğeri
- 1 Adet 7447 veya eşdeğeri
- 2 adet 7476 veya eşdeğeri
- 1 ortak anodlu 7-segment

7476 ve 7447 entegrelerinin katalog bilgilerinden yararlanılarak aşağıdaki devre kurulur ve çıkışlar osiloskop ve display sayesinde gözlenir.



DENEY 5 SENKRON SAYICILAR

PROBLEM: 3-5-11-13-3-5-..... şeklinde sayan bir senkron sayıcıyı J-K Flip-Floplar kullanarak tasarlayınız.

Gerekli Elemanlar:

2 Adet 7476

1 Adet 1k direnç, 1 adet 0.001uF kondansatör

A	B	C	D	A+1	B+1	C+1	D+1	Q(t)	Q(t+1)	J	K
0	0	1	1	0	1	0	1	0	0	0	X
0	1	0	1	1	0	1	1	0	1	1	X
1	0	1	1	1	1	0	1	1	0	X	1
1	1	0	1	0	0	1	1	1	1	X	0

J_A

AB	00	01	11	10
00	X	X	X	X
01	X	1	X	X
11	0	X	X	X
10	X	X	X	X

$J_A = Q_B$

K_A

AB	00	01	11	10
00	X	X	X	X
01	X	X	1	X
11	X	X	X	0
10	X	X	X	X

$K_A = Q_B$

J_B

AB	00	01	11	10
00	X	X	X	X
01	X	X	X	X
11	1	X	X	1
10	X	X	X	X

$J_B = 1$

K_B

AB	00	01	11	10
00	X	X	X	X
01	X	1	1	X
11	X	X	X	X
10	X	X	X	X

$K_B = 1$

J_C CD	AB				
		00	01	11	10
00		X	X	X	X
01		X	1	1	X
11		X	X	X	X
10		X	X	X	X

$$J_C=1$$

K_C CD	AB				
		00	01	11	10
00		X	X	X	X
01		X	X	X	X
11		1	X	X	1
10		X	X	X	X

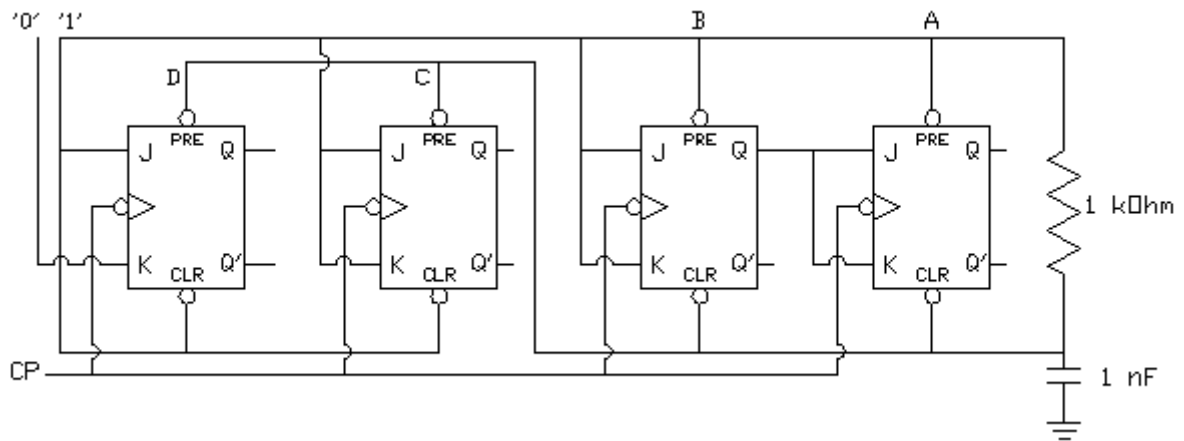
$$K_C=1$$

J_D CD	AB				
		00	01	11	10
00		X	X	X	X
01		X	X	X	X
11		X	X	X	X
10		X	X	X	X

$$J_D=1$$

K_D CD	AB				
		00	01	11	10
00		X	X	X	X
01		X	0	0	X
11		0	X	X	0
10		X	X	X	X

$$K_D=1$$



DENEY 6 YUKARI-AŞAĞI SAYICI

Bu ikili sayıcı genellikle sırayla ikili sistemde sayarak artan uygulamalar için kullanılır; bununla beraber ,rei sayım işleminin de sıklıkla kullanıldığını söyleyebiliriz. Yukarıya doğru veya aşağıya doğru sayan sayıcıya *yukarı/aşağı sayıcı* denir. Özellikle analog-digital dönüşüm olmak üzere, yuları-aşağı sayıcı birçok uygulamada oldukça kullanışlıdır.

Temel Kavramlar:

Bir 4-bitlik Flip-Flop ikili sayıcısı en fazla 16 olasılığa sahiptir ve normal sayma sırası şu şekildedir; 0000,0001,0010,0011,...,1111. Aynı şekilde geriye doğru 0000'a kadar sayabilir. Sayma 0'dan başlar ve dolayısıyla her yeni durum bir önceki durumdan farklı olursa buna *yukarı sayıcı* denir. Sayıcı 15 (1111)'den 0 (0000)'a gelince kendisin reset durumuna geçirir.

Diğer taraftan 4 bit Flip-Flop *aşağı sayıcı* 'da , bu sefer sayma yönü ters olmak üzere , aynı olasılıklara sahiptir; 1111,1110,1101,...,0000. burada reset işlemi 0'dan (0000) 15'e (1111) geçişte meydana gelir.

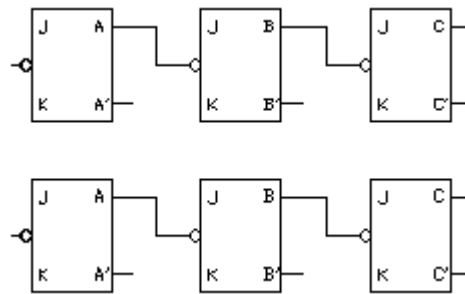
Bir aşağı yukarı ikili sayıcı yapmak oldukça basittir. Ana fikir şekil-1 'de gösterilmiştir. **Şekil-1a'** da , her Flip-Flop kendisinden önce gelenin doğru ucu ile tetiklenmiştir. Bu yukarı sayan basit bir ikili sayıcı dalgasını oluşturur.

Şekil-1b' de her Flip-Flop kendinden bir öncekinin tümleyen ucuyla tetiklenmiştir. Bu da aşağı doğru sayan basit bir ikili dalgacı sayısını oluşturur.

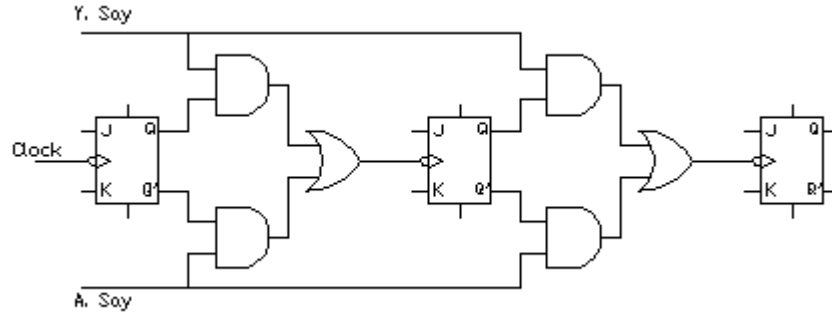
Aşağı – Yukarı Sayıcı:

Bir aşağı – yukarı sayıcı yapmak için , flip-flopların bir önceki flip-flop'un hem doğru hem de tümleyen uçlarının kullanılması amacıyla , **şekil-2** 'de görüldüğü gibi uygun mantıksal kapılar kullanılarak devre kurulur.

Bu diyagramda *yukarı say* ucunu aktif yaparak üstteki VE kapılarının işler durma getiririz. , *aşağı say* ucunu pasif duruma getirerek aşağıdaki VE kapılarının iptal ederiz. Bu durumda sayıcı yukarı sayıcı gib davranacaktır. Diğer taraftan *yukarı say* pasif , *aşağı say* aktif duruma getirilirse sayıcı çalışmayacaktır. Eğer hem *yukarı say* hem de *aşağı say* pasif duruma getirilirse sayıcı çalışmayacaktır. Aksi durum olursa, yani her iki uç da aktif yapılırsa sayıcı düzgün bir şekilde çalışmayacaktır. Bu nedenle *yukarı say* her zaman *aşağı say* ın tümleyeni olmalıdır. **Şekil-2** deki sayıcı bir seri (dalgacık) sayıcı veya diğer adıyla *asenكرون sayıcıdır*. Daha hızlı çalışma isteniyorsa , yukarı aşağı sayıcı paralel veya senkron bağlanırlar.



Şekil-1 İkili Dalgacık Sayıcı .(a) Yukarı sayıcı bağlantısı (b) aşağı sayıcı bağlantısı.



Şekil 2 Yukarı aşağı sayıcı

MSI'193:

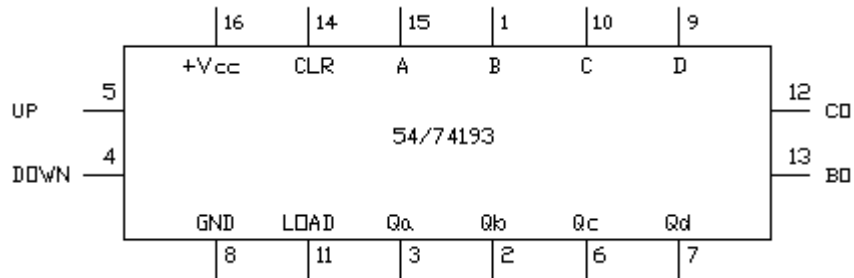
74193, 4 –bitlik bir ikili yukarı aşağı sayıcıdır. (CLR) ana resey girişi bulunan 74193 'de paralel yük girişleri ile istenilen bir depere reset işlem, uygulanabilir. Temelde , clock girişi ve bir önceki flip flop'un çıkışlarının ayrı VE kapılarına girmesi haricinde , **şekil-2** de görülen sayıcıya benzer. Böylece her flip-flop paralel ve senkron bir şekilde çalışmış olur.

74193'ün sembolü **şekil-3**'te gösterilmiştir. LOAD ucu A,B,C,D uçlarına bilgi yüklenmesini sağlayan bir kontrol girişidir. Cihaz sayıcı olarak çalışırken A,B,C,D uçları açık ve LOAD girişi aktif durumda tutulur.

CLR ucu ana reset tirve normalde pasif durumdadır.(aktif olursa tüm flip-flopları reset durumuna getirir.)

CO ve BO uçları bir sonraki 74193'lü sürmek için kullanılır. Bunları da açık durum da bırakırız.

Clock girişleri UP ve DOWN 'dır. Clock UP girişine uygulanırsa sayıcı yukarı sayıcı, DOWN girişine uygulanırsa aşağı sayıcı olarak çalışır. Bu girişlerin mutlaka birsinin çalışır durumda olması(ikisi birden olamaz) ve kullanılmayan girişlerinde aktif duruma getirilmesi gerekir.



Şekil 3 54/74193 mantıksal sembolü.4 bit ikili yukarı aşağı sayıcı

Q_A, Q_B, Q_C ve Q_D sayıcının çıkışlarıdır.

Deneyin Yapılışı:**Gerekli Elemanlar:**

- 2 Adet 7476 veya eşdeğeri
- 2 Adet 7411 veya eşdeğeri
- 1 Adet 7432 veya eşdeğeri
- 1 Adet 74193 veya eşdeğeri
- 1 adet kare dalda üretici, 0-5 V DC seviyesinde ideğişken frekanslı
- 1 adet güç kaynağı, 5V DC
- 1 adet osilaskop

1. **Şekil-1a**'daki yukarı sayıcı devresini kurunuz ve clock girişini uygulayınız. Clock için bir butonun çıkışı veya sinyal üreticiden alınacak düşük tekrarlı bir işaret kullanabilirsiniz. Çıkış dalga şekillerini çiziniz. Clock ile olan faz açısı ilişkisine dikkat ediniz. (8 farklı durum olduğunu hatırlayınız)

Clock

A _____

B _____

C _____

2. **Şekil-1b**'deki aşağı sayıcı devresini kurunuz, clock girişini uygulayınız. Ve gözlemlediğiniz çıkış dalga şekillerini çiziniz.

Clock

A _____

B _____

C _____

3. **Şekil-2**'deki yukarı aşağı sayıcı devresini kurunuz. Aşağı say ucun toprağa bağlayınız ve yukarı say ucunu +Vcc (+5Vdc)'ye bağlayınız. Clock uyguladıktan sonra çıkış dalga şekillerini çiziniz. 8 durumun tümünü içerdiğinden emin olunuz.

Clock

A _____

B _____

C _____

4. Yukarı say ucun topraklayınız; **aşağı say ucuna** +Vcc(+5Vdc) 'yi bağlayınız. Clock girişini uyguladıktan sonra çıkış dalga şekillerini çiziniz.

Clock

A _____

B _____

C _____

5. Uçların yerini öğrenmek için 74193 kataloğunu inceleyiniz. Vcc=+5 V için gerekli olan en yüksek akım değerini yazınız. $I_{CCmax} =$ _____. **Şekil-3** deki sayıcıya aşağıda belirtilen bağlantıları yapınız.

15,1,10 ve 9 uçları

Açık

12,13 uçları (CO veBO)

Açık

3,2,6 ve 7 uçları

Gösterge lambaları veya osilaskoba

11 ucu (LOAD)

+Vcc

16 ucu(+Vcc)	+Vcc
14 ucu(CLR)	Toprak
8 ucu(GND)	Toprak

6. Şimdi yuları sayma durumu için 4 no'lu (DOWN) ucu +Vcc 'ye bağlayınız ve 5 no'lu (UP) uca clock uygulayınız. Clock'a göre 4 çıkış dalga şeklini çiziniz. 4 bitlik flip-flop sayıcının 16 durumu olduğunu hatırlayınız.

Clock

Q_A _____
Q_B _____
Q_C _____
Q_D _____
CO _____
BO _____

7. şimdi aşağı sayma durumu için 5 no'lu (UP) ucunu +Vcc'ye bağlayınız ve 4 nolu (DOWN) uca clock y-uygulayınız. Clock 'a göre çıkış dalga şekillerini çiziniz.

Clock

Q_A _____
Q_B _____
Q_C _____
Q_D _____
CO _____
BO _____

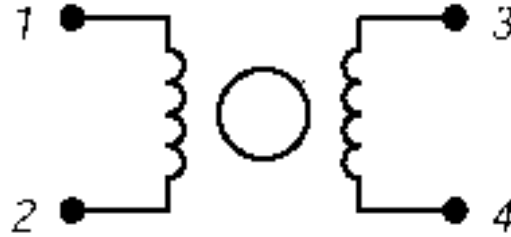
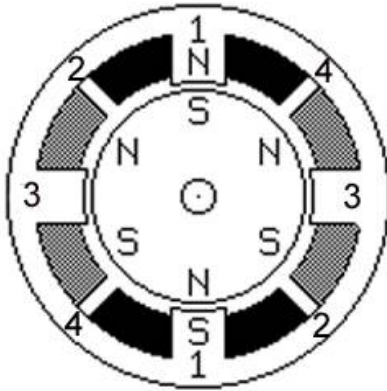
8. 4 (DOWN) ve 5(UP) uçlarına eş zamanlı olarak clock uygulayınız ver sonuçlarını not ediniz.

DENEY 7 STEP MOTOR KONTROLÜ

Bir step motor, klasik motorların sürekli hareketinin aksine adım adım gider. Tipik adım değerleri adım başına $7,5^\circ$ yada 15° dir ve bir tam devir için sırasıyla 24 ve 48 adım gerekir.

Step motorların rotoru sabit mıknatısdan yapılmıştır. Stator ise belirli aralıklarla yerleştirilmiş sargılar bulunmaktadır. Sargıların içinden geçen akımın yönüne göre N-S kutuplarının yönü de değiştirilebilmektedir. Bipolar step motorun statorundaki sargılar 4 kutuptan meydana gelir. Her kutup, statora diğeriyle 45° lik açı yapacak şekilde yerleştirilmiştir. Rotordaki sabit mıknatıslar ise 60° lik açılarla yerleştirilmiştir ve böylece stator-rotor kutupları da 15° 'lik açılarla dizilmiştir.

Bir step motorun döndürülmesi için belirli bir sırayla stator sargılarının enerjilenmesini sağlayan gerilimler motor uçlarından uygulanır. Böylece rotordaki sabit mıknatıs, statorun enerjilendirilen kutupları tarafından yönlendirilir.



Aşağıda bipolar step motoru, saat yönü ve tersi yönünde 15° lik adımlarla hareket ettirebilmek için, stator sargılarına uygulanması gereken lojik değerler görülmektedir.

Saat yönünde				
Sargı	1	2	3	4
1	0	0	0	0
0	1	0	0	0
0	0	1	0	0
0	0	0	1	0
1	0	0	0	1
0	1	0	0	0
.....				
....				

Saatin tersi yönünde				
Sargı	1	2	3	4
0	0	0	1	0
0	0	1	0	0
0	1	0	0	0
1	0	0	0	1
0	0	0	1	0
0	0	1	0	0
.....				
....				

Tablodaki lojik '1'ler, +5 V olabileceği gibi, motor sürücü devresi (transistorlü bir yükselteç devresi) tarafından elde edilebilecek daha büyük bir gerilim de olabilir.

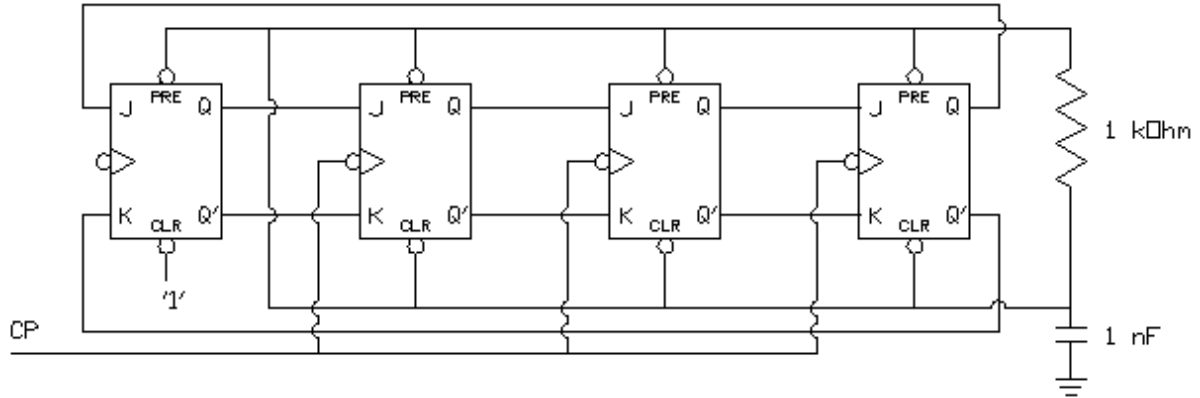
Step motorlar genellikle bilgisayar kontrollu hassas ve kesin hareket denetimi gerektiren, yazıcılar, otomatik parça işleme tezgahları, disket sürücüler ve bunun gibi uygulamalarda yaygın olarak kullanılırlar.

Burada step motor kontrolü;
1-Ring Shift Counter ile

- 2-Shift Register ile,
- 3-Senkron Sayıcı ile yapılacaktır.

1-RİNG SHİFT COUNTER İLE STEP MOTOR KONTROLÜ

“Ring shift counter”, dijital sistemler için gerekli olan sıralı kontrol dalga şekillerini üretmek için kullanılır. Her flip-flop, senkron sayıcılarda olduğu gibi aynı clocktan beslenirler. Çıktıları gerçek binary değildir; bunun yerine tekrar eden sıralı dijital seviyeler görülür.



Şekil a- Ring Shift Counter'ın devre bağlantıları

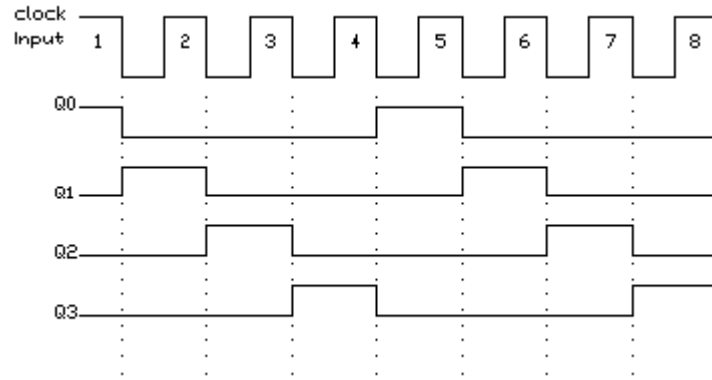
Gerekli elemanlar

2 Adet 7476 veya eşdeğeri

1 Adet 1k direnç, 1 Adet 0.001uF kondansatör

4 bitlik ring shift counter'da her flip-flop'un çıkışı bir clock periyodu boyunca HIGH, sonraki 3 periyot boyunca LOW olur ve bu şekilde tekrar eder (şekil b-). Her flip-flop'un Q-Q' çıkışları yanındaki flip-flop'un J-K girişine, en sondaki Q-Q' çıkışı da en baştaki flip-flop'un J-K girişine bağlanmıştır. Clock darbelerini uygulamadan önce, shift counter 1-0-0-0'a ayarlanmalıdır.

RC devresi, güç verildiğinde LOW-HIGH vermesi için, güç kaynağına bağlanmıştır. Bu ayrıca ring shift counter'ın ayarı için gerekli olan Q_0 - Q_1 - Q_2 - Q_3 çıkışlarının HIGH-LOW-LOW-LOW yapılmasını sağlar. İlk negatif clock kenarında, Q_0 LOW'a çekilir. Çünkü, clock kenarından önce J_0 LOW ve K_0 HIGH'dır. Aynı clock kenarında Q_1 HIGH'a gidecektir. Çünkü Q_1 'in J-K girişleri 1-0 değerinde olan Q_0 - Q_0' 'a bağlıdır. Q_2 ve Q_3 flip-flopları, J-K girişlerinin bir önceki flip-floplardan 0-1'i gördükleri için Reset(LOW) olarak kalırlar. 2.periyotta ise shift counter 0-1-0-0 çıkışı veriyor. 2.periyodun negatif kenarında, J_2 - K_2 Q_1 - Q_1' (1-0) 'a bağlı olduğundan Q_2 HIGH'a gider. Diğer flip-floplar 0-1'e bağlı oldukları için de Reset(LOW) olarak kalırlar. Bu döngü sürekli devam eder. Sistem Q_0 'daki ilk HIGH seviyesini diğer flip-floplara push/iterek süreklilik sağlıyor.



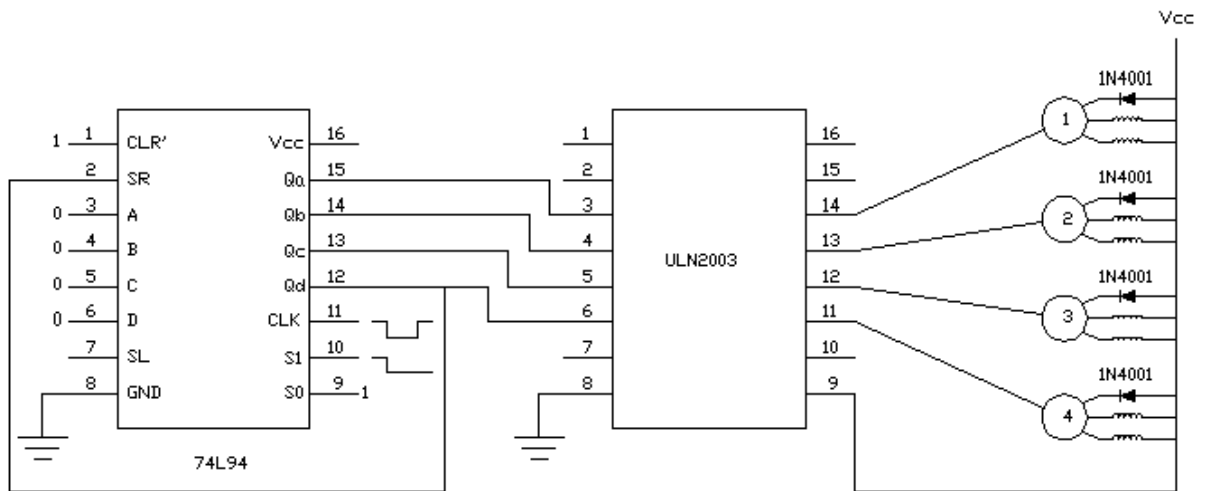
Şekil b- Çıkış dalga şekilleri

2- SHIFT REGISTER İLE STEP MOTOR KONTROLÜ

Shift register'lar step motorları sürmek için iyi bir uygulama yöntemidir. Mesela; bir shift register devresi step motoru 32 devir ve 100 rpm hızında hareket ettirdikten sonra durdurabilir. Bu, özellikle "kapalı çevrim geribesleme" devresi kullanmadan hassas pozisyon kontrolü gerektiren uygulamalar için oldukça kullanışlıdır.

Gerekli elemanlar

- 1 Adet 74194 veya eşdeğeri
- 1 Adet ULN2003 veya eşdeğeri
- 4 Adet LED

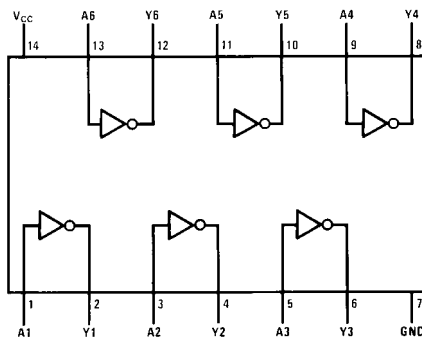


DM74LS04 Hex Inverting Gates

General Description

This device contains six independent gates each of which performs the logic INVERT function.

Connection Diagram



Function Table

$$Y = \bar{A}$$

Input A	Output Y
L	H
H	L

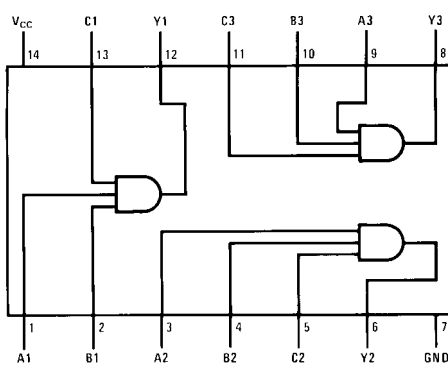
H = HIGH Logic Level
L = LOW Logic Level

DM74LS11 Triple 3-Input AND Gate

General Description

This device contains three independent gates each of which performs the logic AND function.

Connection Diagram



Function Table

$$Y = ABC$$

Inputs			Output Y
A	B	C	Y
X	X	L	L
X	L	X	L
L	X	X	L
H	H	H	L

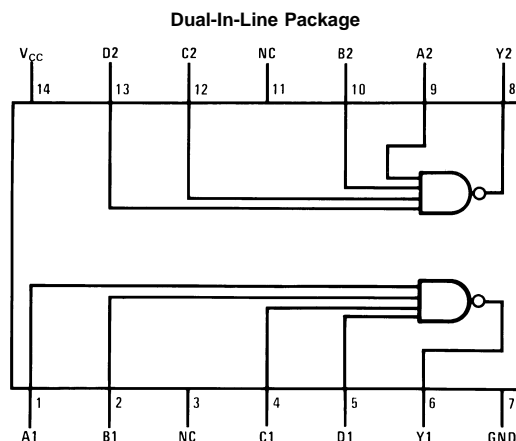
H = HIGH Logic Level
L = LOW Logic Level
X = Either LOW or HIGH Logic Level

DM74LS20 Dual 4-Input NAND Gates

General Description

This device contains two independent gates each of which performs the logic NAND function.

Connection Diagram



Function Table

$$Y = \overline{ABCD}$$

Inputs				Output Y
A	B	C	D	Y
X	X	X	L	H
X	X	L	X	H
X	L	X	X	H
L	X	X	X	H
H	H	H	H	L

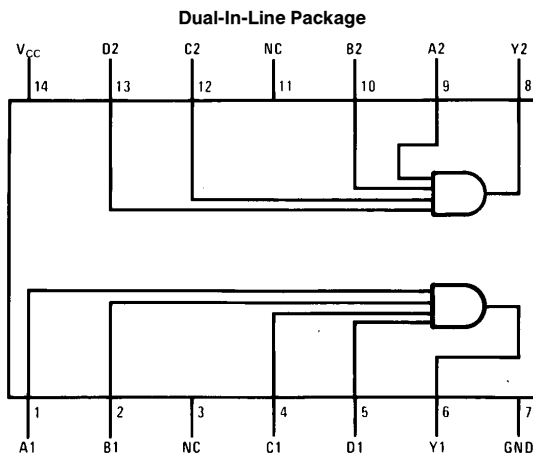
H = High Logic Level
L = Low Logic Level
X = Either Low or High Logic Level

DM74LS21 Dual 4-Input AND Gates

General Description

This device contains two independent gates each of which performs the logic AND function.

Connection Diagram



Function Table

$Y = ABCD$

Inputs				Output
A	B	C	D	Y
X	X	X	L	L
X	X	L	X	L
X	L	X	X	L
L	X	X	X	L
H	H	H	H	H

H = High Logic Level

L = Low Logic Level

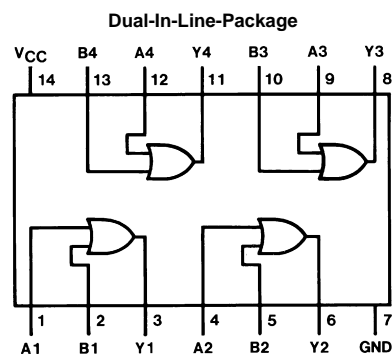
X = Either Low or High Logic Level

DM74LS32 Quad 2-Input OR Gates

General Description

This device contains four independent gates each of which performs the logic OR function.

Connection Diagram



Function Table

$$Y = A + B$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

H = High Logic Level

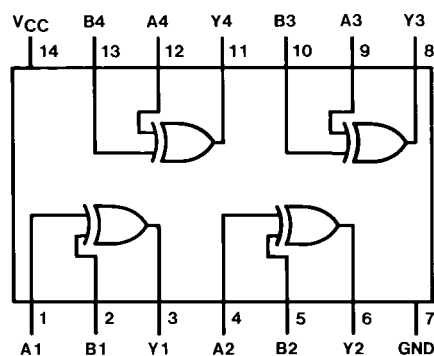
L = Low Logic Level

DM7486 Quad 2-Input Exclusive-OR Gate

General Description

This device contains four independent gates each of which performs the logic exclusive-OR function.

Connection Diagram



Function Table

$$Y = A \oplus B$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

H = HIGH Logic Level

L = LOW Logic Level

DM74LS21 Dual 4-Input AND Gates

DM74LS32 Quad 2-Input OR Gates

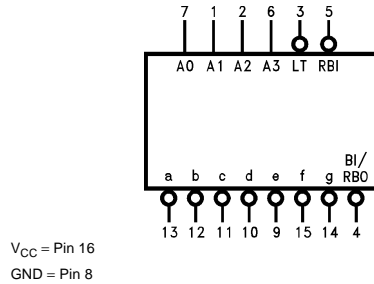
DM7486 Quad 2-Input Exclusive-OR Gate

DM74LS47 BCD to 7-Segment Decoder/Driver with Open-Collector Outputs

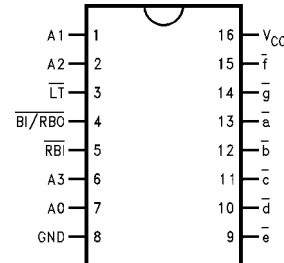
General Description

The DM74LS47 accepts four lines of BCD (8421) input data, generates their complements internally and decodes the data with seven AND/OR gates having open-collector outputs to drive indicator segments directly. Each segment output is guaranteed to sink 24 mA in the ON (LOW) state and withstand 15V in the OFF (HIGH) state with a maximum leakage current of 250 μ A. Auxiliary inputs provided blanking, lamp test and cascadable zero-suppression functions.

Logic Symbol



Connection Diagram



Pin Descriptions

Pin Names	Description
A0–A3	BCD Inputs
RBI	Ripple Blanking Input (Active LOW)
LT	Lamp Test Input (Active LOW)
BI/RBO	Blanking Input (Active LOW) or Ripple Blanking Output (Active LOW)
a–g	Segment Outputs (Active LOW) (Note 1)

Note 1: OC—Open Collector

Truth Table

Decimal or Function	Inputs							Outputs							Note
	LT	RBI	A3	A2	A1	A0	BI/RBO	a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	L	L	L	L	L	L	H	(Note 2)
1	H	X	L	L	L	H	H	H	L	L	H	H	H	H	
2	H	X	L	L	H	L	H	L	L	H	L	L	H	L	
3	H	X	L	L	H	H	H	L	L	L	L	H	H	L	
4	H	X	L	H	L	L	H	H	L	L	H	H	L	L	
5	H	X	L	H	L	H	H	L	H	L	L	H	L	L	
6	H	X	L	H	H	L	H	H	H	L	L	L	L	L	
7	H	X	L	H	H	H	H	L	L	L	H	H	H	H	
8	H	X	H	L	L	L	H	L	L	L	L	L	L	L	
9	H	X	H	L	L	H	H	L	L	L	H	H	L	L	
10	H	X	H	L	H	L	H	H	H	H	L	L	H	L	
11	H	X	H	L	H	H	H	H	H	L	L	H	H	L	
12	H	X	H	H	L	L	H	H	L	H	H	H	L	L	
13	H	X	H	H	L	H	H	L	H	H	L	H	L	L	
14	H	X	H	H	H	L	H	H	H	H	L	L	L	L	(Note 3)
15	H	X	H	H	H	H	H	H	H	H	H	H	H	H	
BI	X	X	X	X	X	X	L	H	H	H	H	H	H	H	
RBI	H	L	L	L	L	L	L	H	H	H	H	H	H	H	
LT	L	X	X	X	X	X	H	L	L	L	L	L	L	L	(Note 5)

Note 2: BI/RBO is wire-AND logic serving as blanking input (BI) and/or ripple-blanking output (RBO). The blanking out (BI) must be open or held at a HIGH level when output functions 0 through 15 are desired, and ripple-blanking input (RBI) must be open or at a HIGH level if blanking or a decimal 0 is not desired. X = input may be HIGH or LOW.

Note 3: When a LOW level is applied to the blanking input (forced condition) all segment outputs go to a HIGH level regardless of the state of any other input condition.

Note 4: When ripple-blanking input (RBI) and inputs A0, A1, A2 and A3 are LOW level, with the lamp test input at HIGH level, all segment outputs go to a HIGH level and the ripple-blanking output (RBO) goes to a LOW level (response condition).

Note 5: When the blanking input/ripple-blanking output (BI/RBO) is OPEN or held at a HIGH level, and a LOW level is applied to lamp test input, all segment outputs go to a LOW level.

DM74LS47 BCD to 7-Segment Decoder/Driver with Open-Collector Outputs

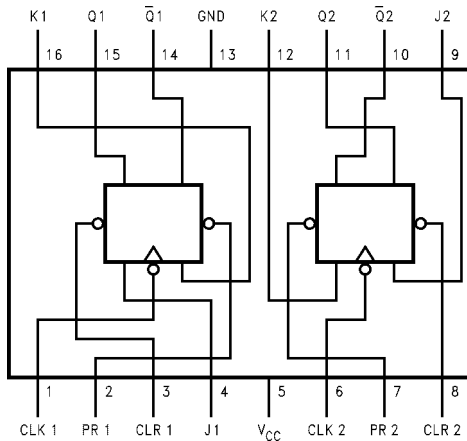
DM74LS47

DM7476 Dual Master-Slave J-K Flip-Flops with Clear, Preset, and Complementary Outputs

General Description

This device contains two independent positive pulse triggered J-K flip-flops with complementary outputs. The J and K data is processed by the flip-flop after a complete clock pulse. While the clock is LOW the slave is isolated from the master. On the positive transition of the clock, the data from the J and K inputs is transferred to the master. While the clock is HIGH the J and K inputs are disabled. On the negative transition of the clock, the data from the master is transferred to the slave. The logic state of J and K inputs must not be allowed to change while the clock is HIGH. The data is transferred to the outputs on the falling edge of the clock pulse. A LOW logic level on the preset or clear inputs will set or reset the outputs regardless of the logic levels of the other inputs.

Connection Diagram



Function Table

Inputs					Outputs	
PR	CLR	CLK	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H	H
H	H	\neg	L	L	Q_0	\bar{Q}_0
H	H	\neg	H	L	H	L
H	H	\neg	L	H	L	H
H	H	\neg	H	H	Toggle	Toggle

H = HIGH Logic Level

L = LOW Logic Level

X = Either LOW or HIGH Logic Level

\neg = Positive pulse data. The J and K inputs must be held constant while the clock is HIGH. Data is transferred to the outputs on the falling edge of the clock pulse.

Q_0 = The output logic level before the indicated input conditions were established.

Toggle = Each output changes to the complement of its previous level on each complete active HIGH level clock pulse.

Note 1: This configuration is nonstable; that is, it will not persist when the preset and/or clear inputs return to their inactive (HIGH) level.

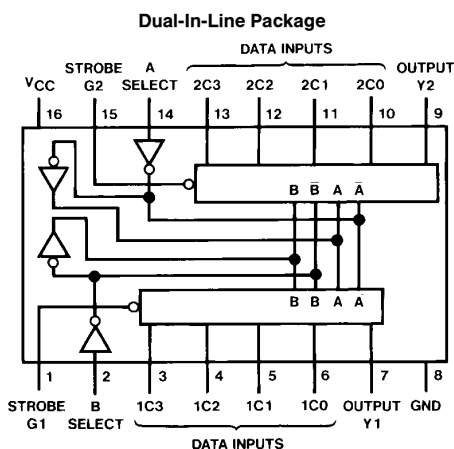
DM7476 Dual Master-Slave J-K Flip-Flops with Clear, Preset, and Complementary Outputs

DM74153 Dual 4-Line to 1-Line Data Selectors/Multiplexers

General Description

Each of these data selectors/multiplexers contains inverters and drivers to supply fully complementary, on-chip, binary decoding data selection to the AND-OR-invert gates. Separate strobe inputs are provided for each of the two four-line sections.

Connection Diagram



Function Table

Select Inputs		Data Inputs				Strobe	Output
B	A	C0	C1	C2	C3	G	Y
X	X	X	X			H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

Select inputs A and B are common to both sections.

H = High Level, L = Low Level, X = Don't Care

DM74153 Dual 4-Line to 1-Line Data Selectors/Multiplexers

DM74LS193**Synchronous 4-Bit Binary Counter with Dual Clock****General Description**

The DM74LS193 circuit is a synchronous up/down 4-bit binary counter. Synchronous operation is provided by having all flip-flops clocked simultaneously, so that the outputs change together when so instructed by the steering logic. This mode of operation eliminates the output counting spikes normally associated with asynchronous (ripple-clock) counters.

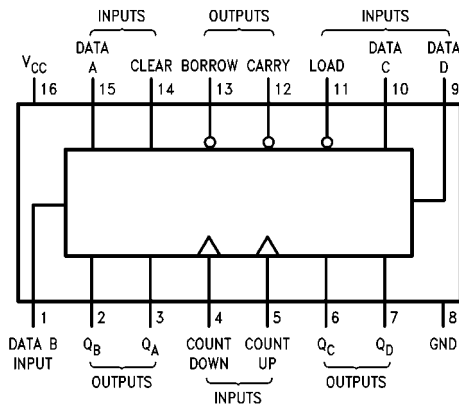
The outputs of the four master-slave flip-flops are triggered by a LOW-to-HIGH level transition of either count (clock) input. The direction of counting is determined by which count input is pulsed while the other count input is held HIGH.

The counter is fully programmable; that is, each output may be preset to either level by entering the desired data at the inputs while the load input is LOW. The output will change independently of the count pulses. This feature allows the counters to be used as modulo-N dividers by simply modifying the count length with the preset inputs.

A clear input has been provided which, when taken to a high level, forces all outputs to the low level; independent of the count and load inputs. The clear, count, and load inputs are buffered to lower the drive requirements of clock drivers, etc., required for long words.

These counters were designed to be cascaded without the need for external circuitry. Both borrow and carry outputs are available to cascade both the up and down counting functions. The borrow output produces a pulse equal in width to the count down input when the counter underflows.

Similarly, the carry output produces a pulse equal in width to the count down input when an overflow condition exists. The counters can then be easily cascaded by feeding the borrow and carry outputs to the count down and count up inputs respectively of the succeeding counter.

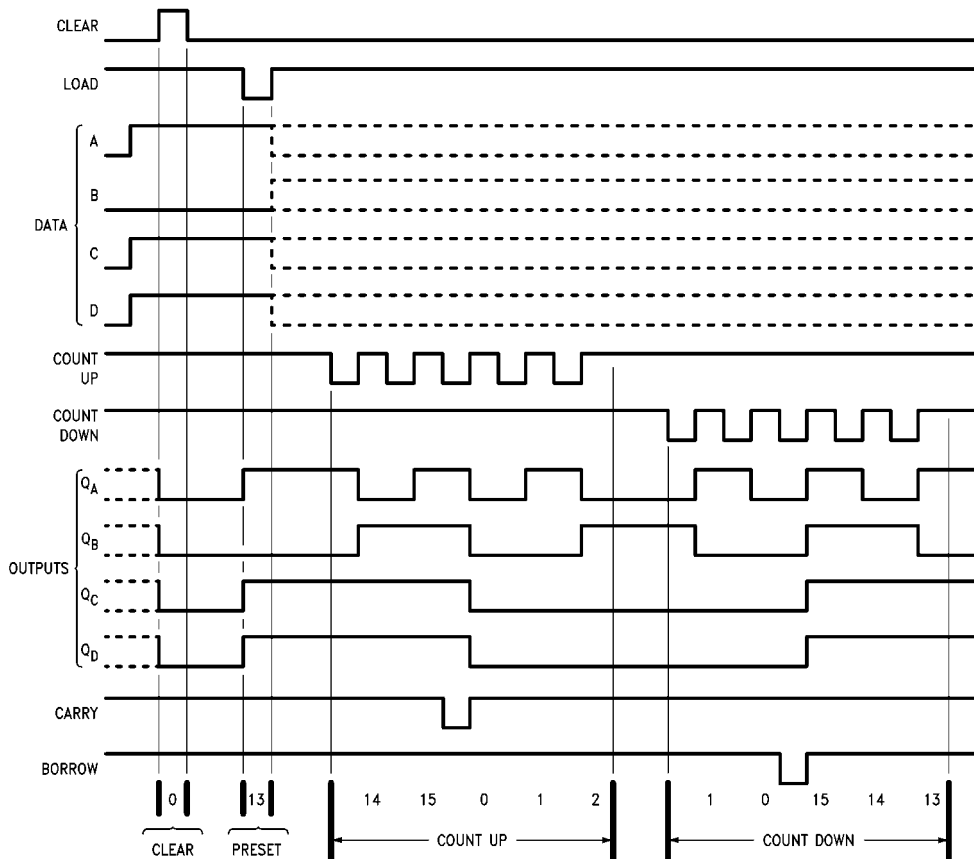
Connection Diagram**Features**

- Fully independent clear input
- Synchronous operation
- Cascading circuitry provided internally
- Individual preset each flip-flop

Timing Diagram

Note A: Clear overrides load, data, and count inputs

Note B: When counting up, count-down input must be HIGH; when counting down, count-up input must be HIGH.



DM74LS193 Synchronous 4-Bit Binary Counter with Dual Clock

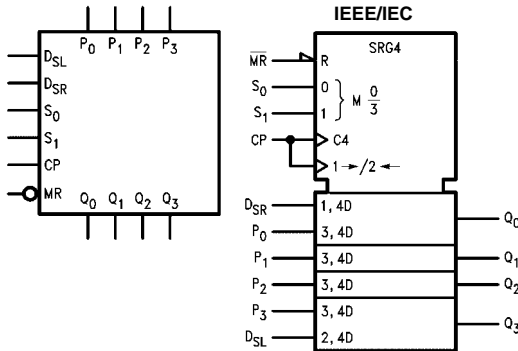
DM74LS193

74F194 4-Bit Bidirectional Universal Shift Register

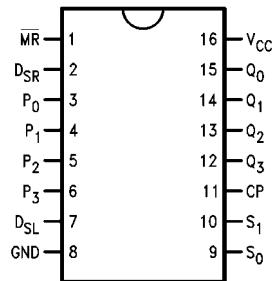
General Description

The 74F194 is a high-speed 4-bit bidirectional universal shift register. As a high-speed, multifunctional, sequential building block, it is useful in a wide variety of applications. It may be used in serial-serial, shift left, shift right, serial-parallel, parallel-serial, and parallel-parallel data register transfers.

Logic Symbols



Connection Diagram



74F194

74F194 4-Bit Bidirectional Universal Shift Register

Unit Loading/Fan Out

Pin Names	Description	U.L. HIGH/LOW	Input I_{IH}/I_{IL} Output I_{OH}/I_{OL}
S_0, S_1	Mode Control Inputs	1.0/1.0	20 μ A/-0.6 mA
P_0-P_3	Parallel Data Inputs	1.0/1.0	20 μ A/-0.6 mA
D_{SR}	Serial Data Input (Shift Right)	1.0/1.0	20 μ A/-0.6 mA
D_{SL}	Serial Data Input (Shift Left)	1.0/1.0	20 μ A/-0.6 mA
CP	Clock Pulse Input (Active Rising Edge)	1.0/1.0	20 μ A/-0.6 mA
MR	Asynchronous Master Reset Input (Active LOW)	1.0/1.0	20 μ A/-0.6 mA
Q_0-Q_3	Parallel Outputs	50/33.3	-1 mA/20 mA

Functional Description

The 74F194 contains four edge-triggered D-type flip-flops and the necessary interstage logic to synchronously perform shift right, shift left, parallel load and hold operations. Signals applied to the Select (S_0, S_1) inputs determine the type of operation, as shown in the Mode Select Table. Signals on the Select, Parallel data (P_0-P_3) and Serial data (D_{SR}, D_{SL}) inputs can change when the clock is in either state, provided only that the recommended setup and hold times, with respect to the clock rising edge, are observed. A LOW signal on Master Reset (\overline{MR}) overrides all other inputs and forces the outputs LOW.

Mode Select Table

Operating Mode	Inputs						Outputs			
	\overline{MR}	S_1	S_0	D_{SR}	D_{SL}	P_n	Q_0	Q_1	Q_2	Q_3
Reset	L	X	X	X	X	X	L	L	L	L
Hold	H	I	I	X	X	X	q_0	q_1	q_2	q_3
Shift Left	H	h	I	X	I	X	q_1	q_2	q_3	L
	H	h	I	X	h	X	q_1	q_2	q_3	H
Shift Right	H	I	h	I	X	X	L	q_0	q_1	q_2
	H	I	h	h	X	X	H	q_0	q_1	q_2
Parallel Load	H	h	h	X	X	p_n	p_0	p_1	p_2	p_3

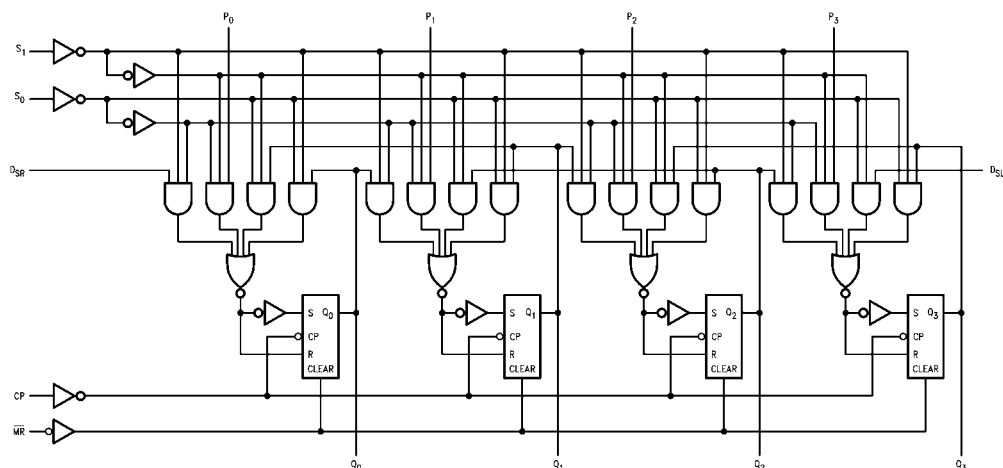
H (h) = HIGH Voltage Level

L (l) = LOW Voltage Level

p_n (q_n) = Lower case letters indicate the state of the referenced input (or output) one setup time prior to the LOW-to-HIGH clock transition.

X = Immaterial

Logic Diagram

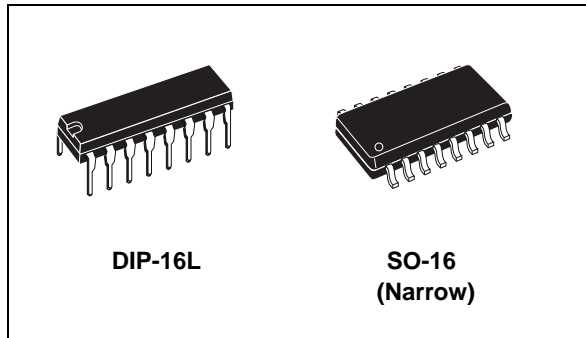


Please note that this diagram is provided only for the understanding of logic operations and should not be used to estimate propagation delays.

ULN2001, ULN2002 ULN2003, ULN2004

Seven Darlington arrays

Datasheet - production data



Description

The ULN2001, ULN2002, ULN2003 and ULN2004 are high-voltage, high-current Darlington arrays each containing seven open collector Darlington pairs with common emitters. Each channel is rated at 500 mA and can withstand peak currents of 600 mA. Suppression diodes are included for inductive load driving and the inputs are pinned opposite the outputs to simplify board layout.

The versions interface to all common logic families: ULN2001 (general purpose, DTL, TTL, PMOS, CMOS); ULN2002 (14 - 25 V PMOS); ULN2003 (5 V TTL, CMOS); ULN2004 (6 - 15 V CMOS, PMOS).

These versatile devices are useful for driving a wide range of loads including solenoids, relay DC motors, LED display filament lamps, thermal printheads and high-power buffers.

The ULN2001A/2002A/2003A and 2004A are supplied in a 16-pin DIP package with a copper leadframe to reduce thermal resistance. They are available also in small outline package (SO-16) as ULN2001D1/2002D1/2003D1/ 2004D1.

Features

- Seven Darlington pairs per package
- Output current 500 mA per driver (600 mA peak)
- Output voltage 50 V
- Integrated suppression diodes for inductive loads
- Outputs can be paralleled for higher current
- TTL/CMOS/PMOS/DTL compatible inputs
- Input pins placed opposite to output pins to simplify layout

Pin configuration

Figure 2. Pin connections (top view)

