



Συστήματα Μικροϋπολογιστών
2^η Ομάδα Ασκήσεων

- Ναυσικά Αμπατζή el17198
- 6ο Εξάμηνο – Ροή Υ

5^η Άσκηση

Στην άσκηση αυτή παρουσιάζεται η εσωτερική οργάνωση μίας μνήμης SRAM 128x4 bit αντίστοιχης με αυτή που φαίνεται στο σχήμα 3.2 των διαφανειών και εξηγείται με ποιον τρόπο γίνεται η εγγραφή και η ανάγνωση. Η μνήμη αυτή είναι ένα ολοκληρωμένο με γραμμές διευθύνσεων από A_0 έως A_6 και, δεδομένα από D_0 έως D_3 (4 bit) και σήματα CS, WE, RD. Αποτελείται από έναν πίνακα κυττάρων μνήμης. Εφόσον έχουμε $128 \times 4 \text{ bit} = 2^7 \times 2^2 = 2^9 \text{ bit}$ η χωρητικότητα της μνήμης θα είναι 2^9 κύτταρα μνήμης. Αρχικά φτιάχνουμε έναν ορθογώνιο πίνακα μνημών με $2^6 = 64$ στήλες και $2^3 = 8$ γραμμές. Για τις γραμμές διευθύνσεων επιλέγω τα υψηλότερης τάξης bit, δηλαδή τα A_4 έως A_6 . Μετά τοποθετώ έναν αποκωδικοποιητή 3 σε 8 ώστε να προκύψουν οι 8 γραμμές.

- Για την ανάγνωση (κατεύθυνση από τη μνήμη προς την έξοδο):

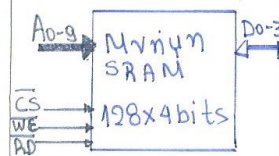
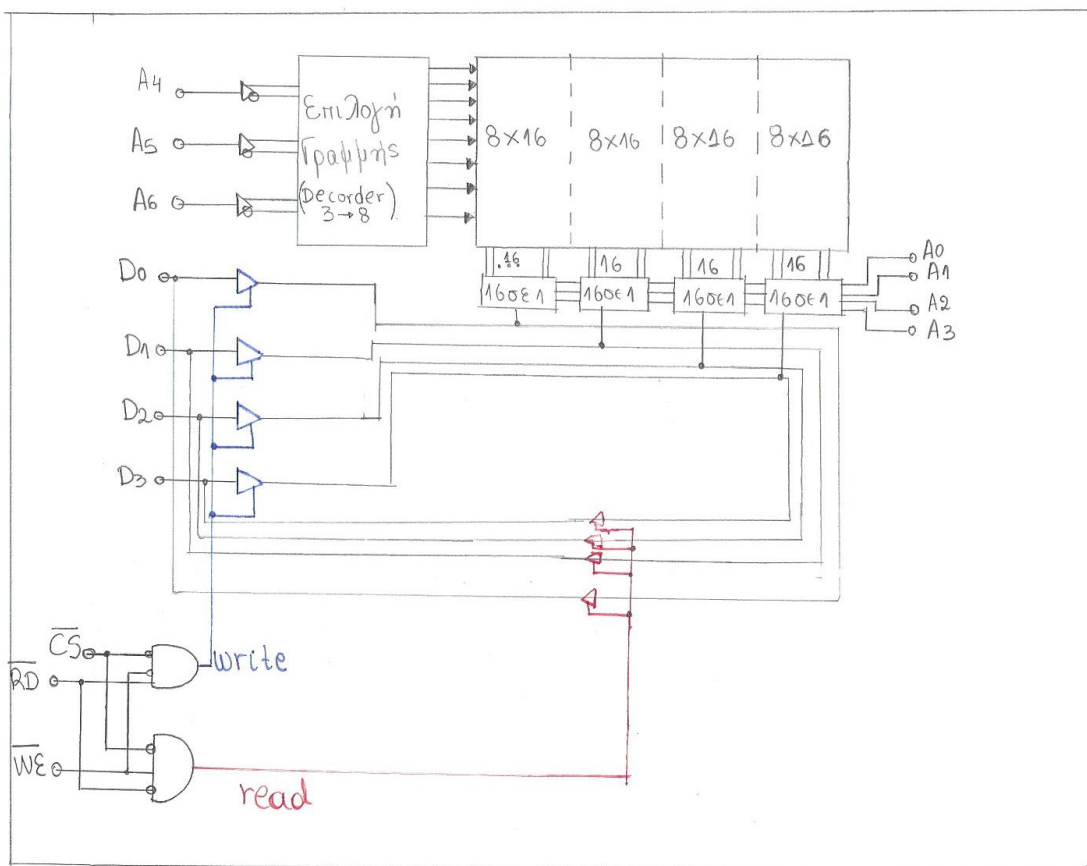
Αρχικά επιλέγεται η διεύθυνση που ενεργοποιεί τη γραμμή της θέσης μνήμης που πρέπει να αναγνωστεί. Από τη γραμμή μπορούν να διαβαστούν συνολικά 64 θέσεις (64 στήλες). Για να διαβαστούν οι 4 που χρειάζομαι (4bit) η μνήμη χωρίζεται σε 4 τμήματα (διαδρόμους) και κάθε διάδρομος αποτελεί ένα bit δεδομένων. Ο διάδρομος έχει $64/4 = 16$ θέσεις. Για να πάρω τη μία από αυτές κάθε φορά από κάθε τράπεζα χρησιμοποιώ 4 πολυπλέκτες 16 σε 1 και έτσι τα 1x4 δεδομένα που επιλέγονται οδηγούνται στις γραμμές δεδομένων. Οι πολυπλέκτες δηλαδή λειτουργούν ως διακόπτες. Τότε επίσης τα σήματα CS και RD είναι ενεργοποιημένα, ενώ το WE απενεργοποιημένο.

- Για την εγγραφή:

Οι 4 διακόπτες (πολυπλέκτες) λειτουργούν και αντίστροφα. Έτσι κατά την εγγραφή μίας λέξης αφού επιλεγεί η κατάλληλη γραμμή, οι πολυπλέκτες ανοίγουν τις διόδους τους για τις κατάλληλες θέσεις ώστε να γίνει η εγγραφή. Τότε επίσης τα σήματα CS και WE είναι ενεργοποιημένα, ενώ το RD απενεργοποιημένο.

Οι μνήμες SRAM επιτρέπουν προσπέλαση κατά byte.

Ακολουθεί σχηματικά η οργάνωση της παραπάνω μνήμης:



6^η Άσκηση

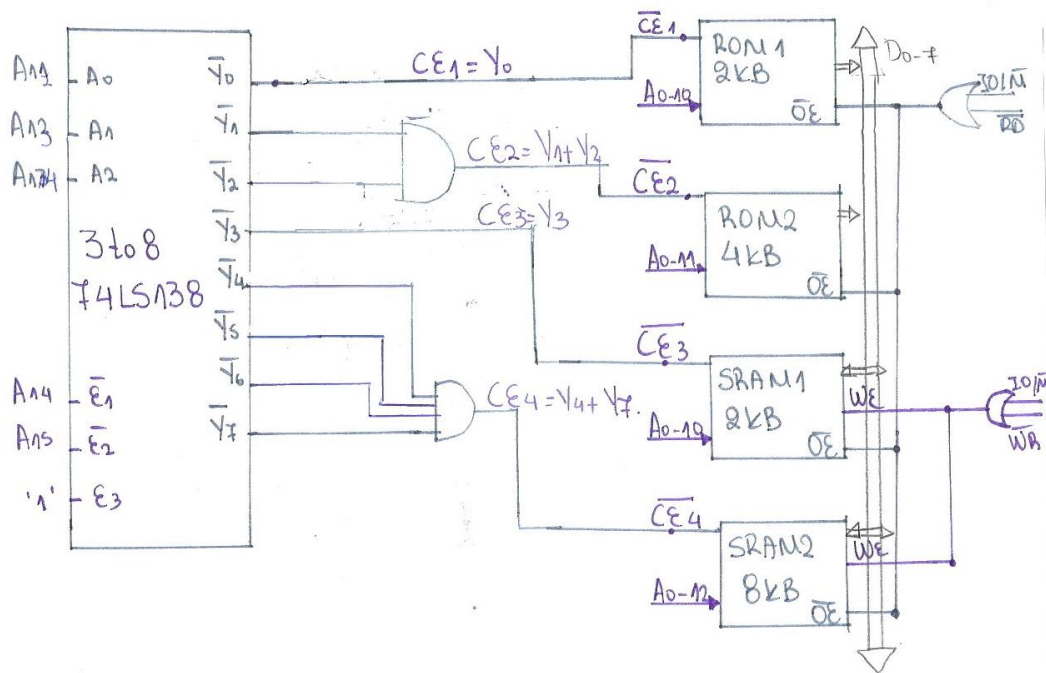
Στην άσκηση αυτή θα σχεδιαστεί ένα σύστημα μνήμης που περιλαμβάνει χώρο μνήμης **6KBytes ROM** ακολουθούμενη χωρίς κενό διευθύνσεων από **10KBytes RAM**. Η ROM ξεκινά από τη διεύθυνση **0000H** και υλοποιείται χρησιμοποιώντας 1 ολοκληρωμένα μνήμης: ένα των **2Kx8 bit** και ένα των **4Kx8 bit**. Οι ROMs έχουν δύο εισόδους ελέγχου CE (chip enable) και OE (output enable). Η RAM υλοποιείται με χρήση μιας μνήμης **2Kx8** και μιας **8Kx8 SRAMs**. Οι μνήμες SRAMs έχουν δύο τις εισόδους ελέγχου CE (chip enable), OE (output enable) και επιπλέον πρόσθετη γραμμή ελέγχου WE.

➤ Χάρτης Μνήμης για όλα τα ολοκληρωμένα που χρησιμοποιούνται

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	Address	Memory
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000	ROM1-2K
0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	07FF	
0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	800	ROM2-4K
0	0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	17FF	
0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	1800	SRAM1-
0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1FFF	2K
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	2000	SRAM2-
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	3FFF	8K

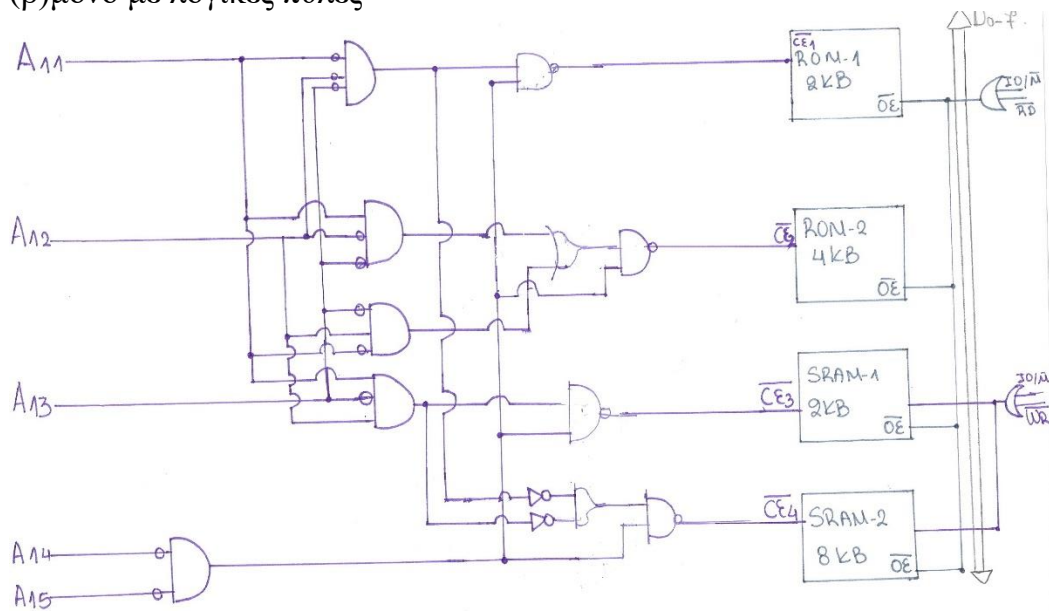
Για τη σχεδίαση του συστήματος είναι σημαντικό να αναφερθεί ότι τα δεδομένα παρουσιάζονται σε 8bits. Η ROM1 έχει μέγεθος $2K \times 8 \text{bits} = 2^{11} \times 8 \text{bits}$, άρα η μνήμη αυτή διευθυνσιοδοτείται με χρήση των bits A_0-10 . Η ROM2 έχει μέγεθος $4K \times 8 \text{bits} = 2^{12} \times 8 \text{bits}$, άρα η μνήμη αυτή διευθυνσιοδοτείται με χρήση των bits A_0-11 . Η SRAM1 έχει μέγεθος $2K \times 8 \text{bits} = 2^{11} \times 8 \text{bits}$, άρα η μνήμη αυτή διευθυνσιοδοτείται με χρήση των bits A_0-10 . Η SRAM2 έχει μέγεθος $8K \times 8 \text{bits} = 2^{13} \times 8 \text{bits}$, άρα η μνήμη αυτή διευθυνσιοδοτείται με χρήση των bits A_0-12 . Τα κόκκινα ψηφία του παραπάνω πίνακα αποτελούν τις εισόδους του αποκωδικοποιητή. Ακολουθεί το λογικό διάγραμμα της μνήμης με αποκωδικοποίηση με :

(a) έναν αποκωδικοποιητή 3:8 (74LS138) και λογικές πύλες



Σύστημα Μνήμης
Λειτουργία 6α.

(β)μόνο με λογικές πύλες



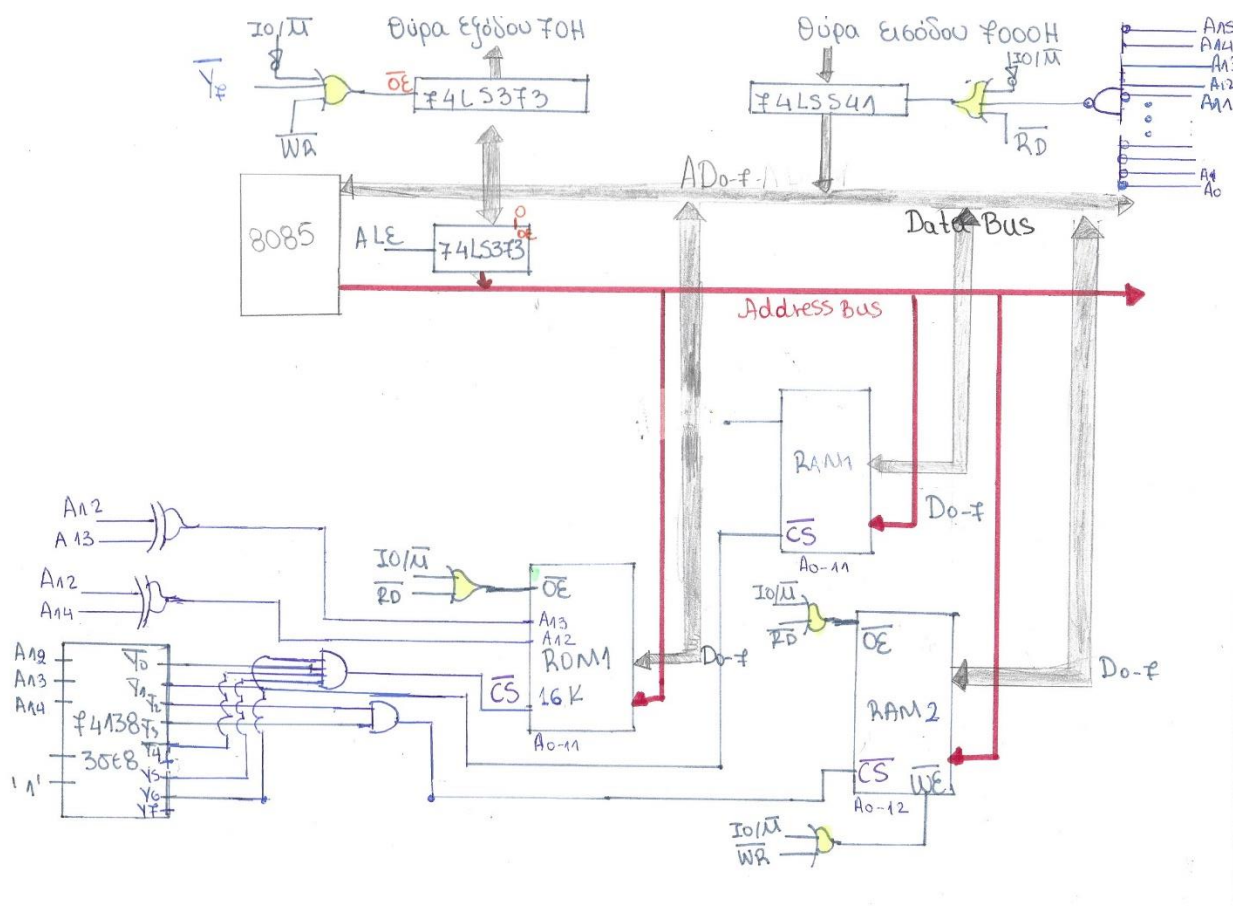
Σύστημα Μνήμης
6β

7^η Άσκηση

➤ Χάρτης Μνήμης για όλα τα ολοκληρωμένα που χρησιμοποιούνται

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	Address	Memory
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000	ROM-4K
0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0FFF	
0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1000	RAM1-4K
0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1FFF	
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	2000	RAM-8K
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	3FFF	
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4000	ROM-12
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	6FFF	

Τα κόκκινα ψηφία του παραπάνω πίνακα αποτελούν τις εισόδους του αποκωδικοποιητή. Ακολουθεί το $\mu\text{Y-8085}$ με τον παραπάνω χάρτη μνήμης και θύρα εισόδου στη θέση 7000H και θύρα εξόδου στη θέση 70H.



Οι ασκήσεις 1-4 αναλύονται στον προσομοιωτή.

