



בית הספר להנדסת חשמל ומחשבים
מבוא ל VLSI ומעגלים משולבים [361.1.3701]

עבודה מס' 1: סימולציות בסיסיות, היכרות עם הכלים ובנית מהפץ

שם הסטודנט: מייסון נפתלייב

ת"ז: [REDACTED]

קבוצה: 35

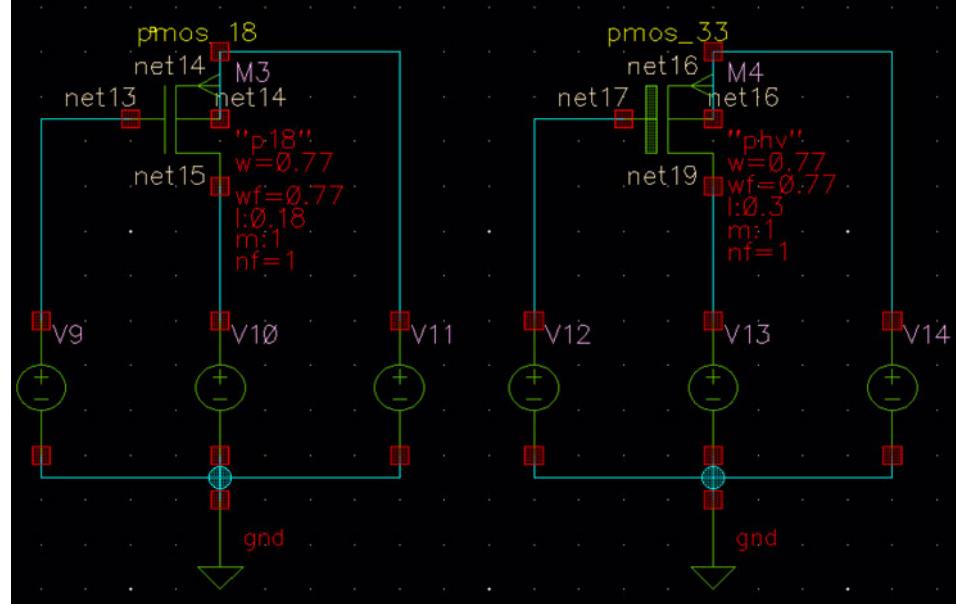
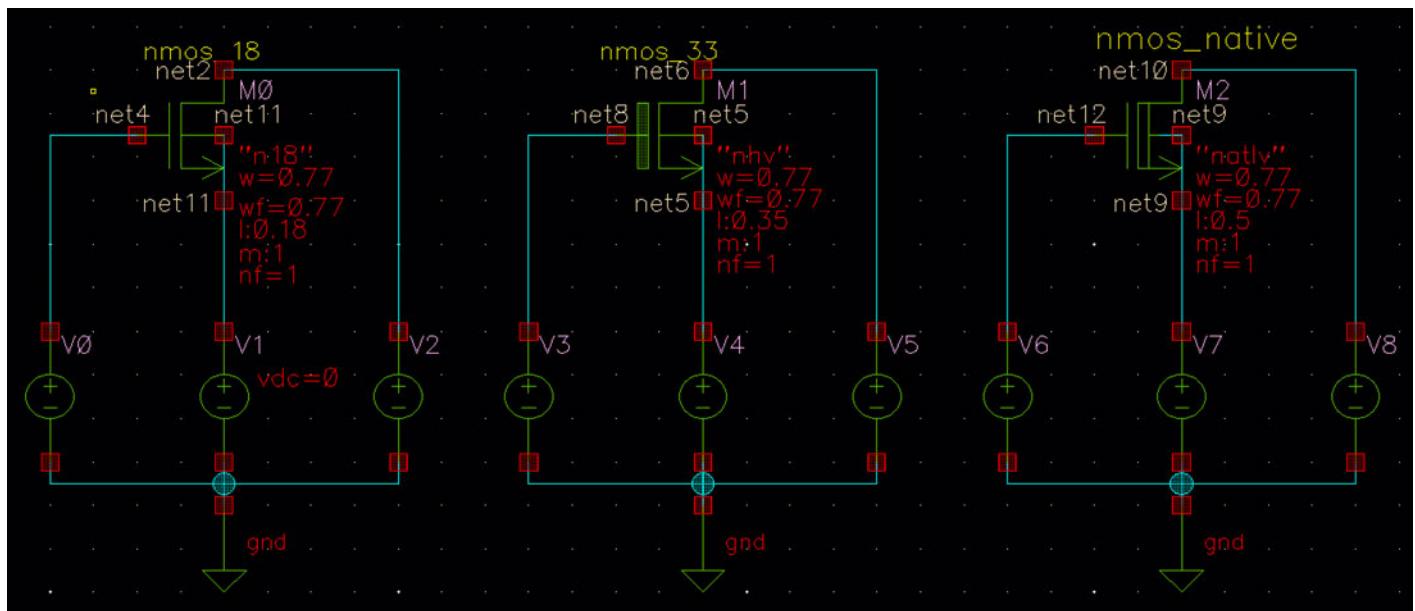
תאריך הגשה: כ"ח באיר תשפ"ה, 25.5.2025

A. הכרת התקנים

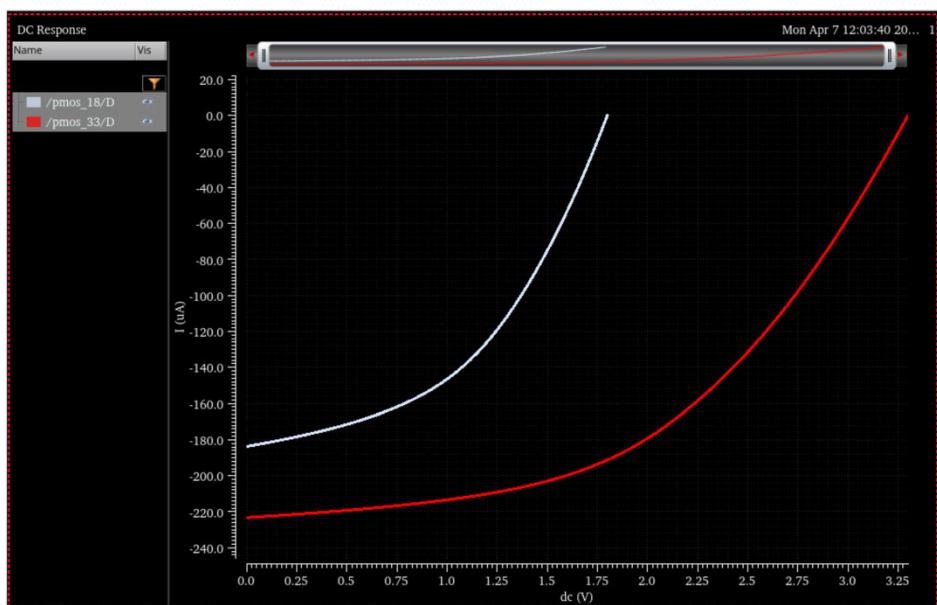
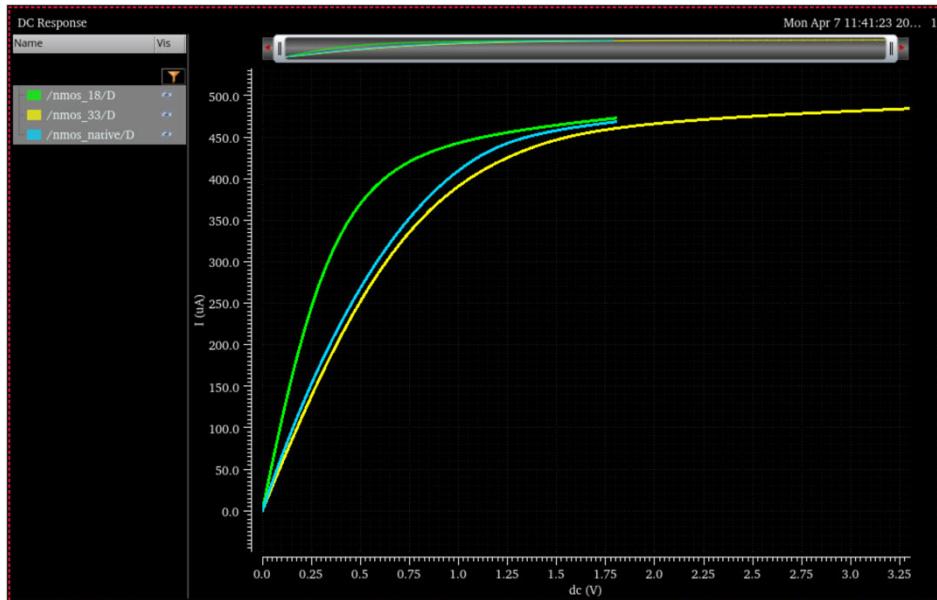
1. הפקת עקומות IV של התקנים בסיסיים

1.1. יצירת סכימות

$$W = 420 + 35 \cdot 10 = 770\text{nm}$$



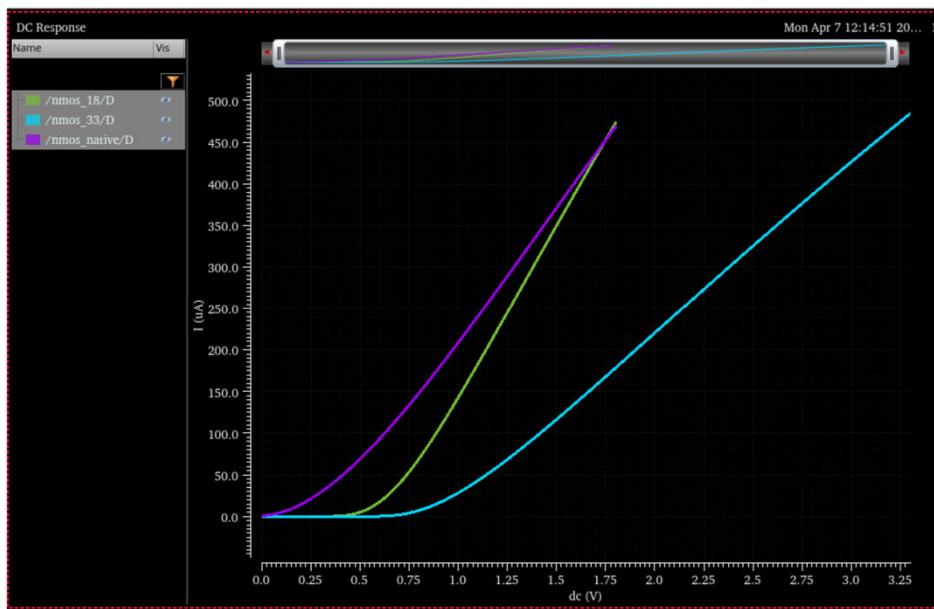
1.2. הרצת DC Sweep על VDS עם $|VGS| = VDD$



באיור העליון סימולציה על somos, באירור התחתון סימולציה על pmos :

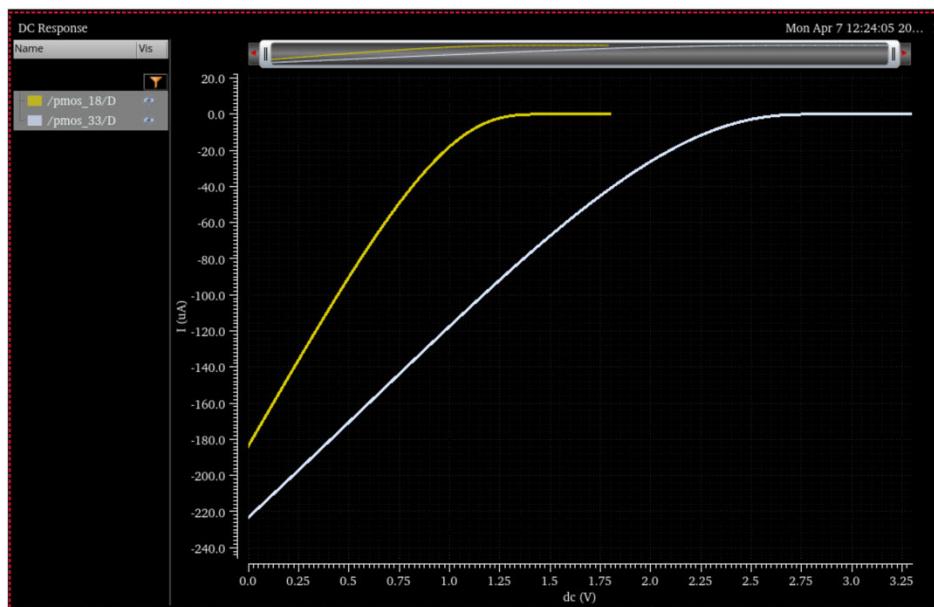
- ◻ עבר vds נמכרים, הטרנזיסטורים פועלים באזורי הליינארי (Triode) : הזרם ids תלוי לינארית ב vds בקירוב.
- ◻ כאשר vds עובר את $vgs-vt$ של somos או vds של $vgs-vt$ של pmos, הטרנזיסטורים נכנסים לאזור רווחה : הזרם ids נשאר כמעט קבוע.
- ◻ זרמי somos גובהים יותר מזרמי pmos, נובע מכך שМОבייליות אלקטטרונית גבוהה ממובייליות חוריות.
- ◻ זרם הרווחה של somos_native גדול יותר מאשר השילילי גורר מתח מניע $vgs-vt=vgd$.
- ◻ זרם גדול יותר.
- ◻ זרמי התקני 18 גובהים יותר מהתקני 33, נובע מכך שרוחבם זהה אבל אורכי התקני 18 קצריים יותר גורר זרם גבוה יותר.

1.3. הרצת DC Sweep על VGS=VDD ו-|VDS|=0



באיור תוצאת סימולציה על nmos :

- ◻ מתחת למתח הסף $vgs=vtn$ הטרנזיסטור בקיטעון והזרמים הם זרמי זליגה.
- ◻ מעל למתח הסף $vgs=vtn$ הטרנזיסטור במצב פעיל, מכיוון ש $vds=vdd$ אז הטרנזיסטור במצב רויה גורר זרם אשר תלוי ריבועית במתוך המניע $vgt=vgs-vtn$.
- ◻ הנו נכנס לפעולות עברו מתח שער נמוך יותר בהתאם לכך שמתוך הסף שלו שלילי, ו-18_nmos נכנס לפניות לפני nmos_33 בהתאם לתכנון שמותאים לפעול ב佗וח מתחים שונה.



באיור תוצאת סימולציה על pmos :

- ◻ עברו $vgs=vtp$ הטרנזיסטור בקיטעון.
- ◻ עברו $vgs=vtp$ הטרנזיסטור במצב פעיל, מכיוון ש $vds=vdd$ אז הטרנזיסטור במצב רויה גורר זרם אשר תלוי ריבועית במתוך המניע $vgt=vgs-vtp$.
- ◻ גודל לפחות יותר עם vgs בהתאם לתכנון שמותאים לפעול ב佗וח מתחים שונה.

1.4. חישוב מתח הסף VT

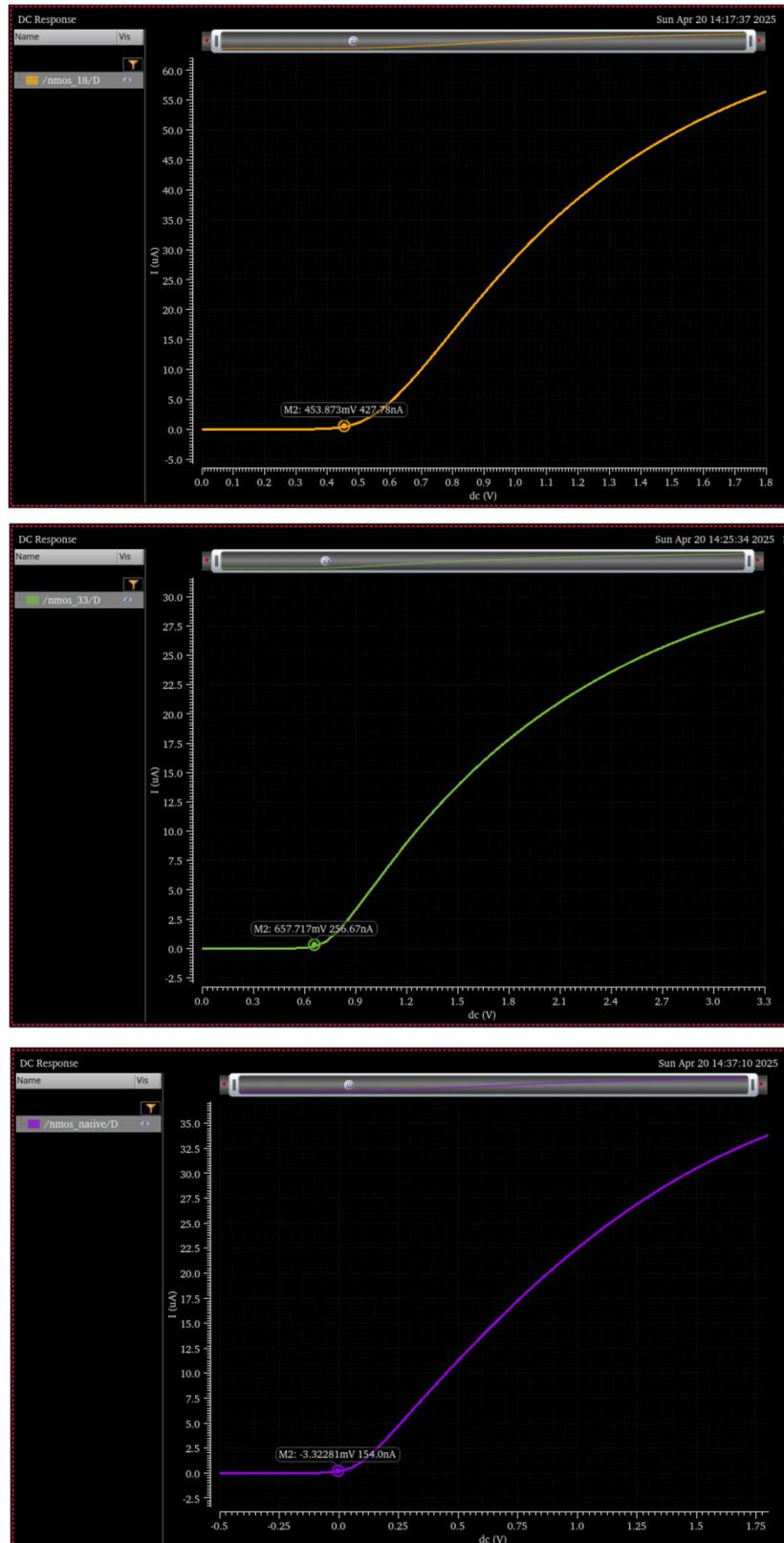
כדי לחשב את מתח הסף נשימוש בשיטה שנוהga בתעשייה:

$$i. \text{ מחשבים } [nA] \cdot \frac{W}{L}$$

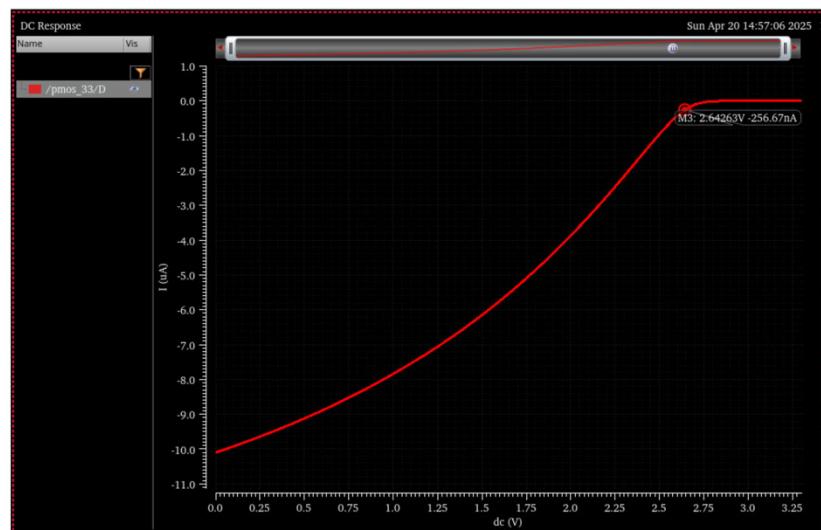
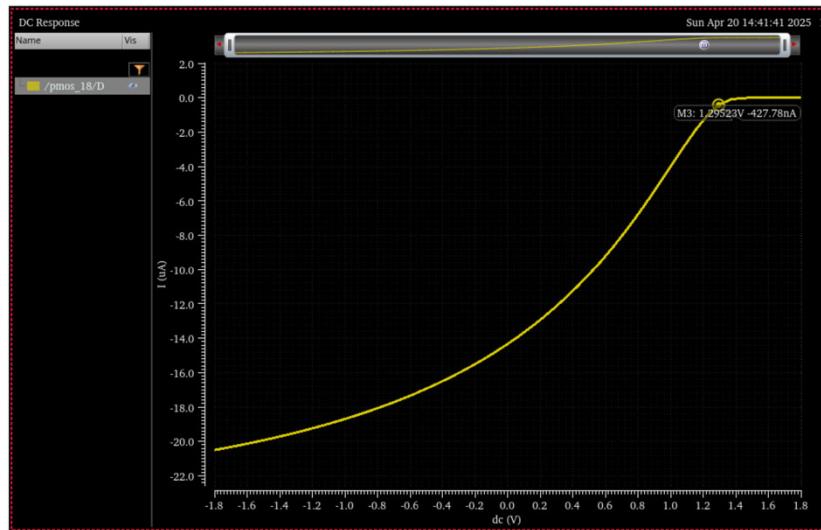
ii. קוביים $VDS=50mV$ כערך קבוע ונמוך מספיק כדי להבטיח פעולה באזור הליינארי סמוך למתח הסף.

iii. מפעילים מתח על השער ומודדים את הזרם, המתח הנדרש עבור הזרם שחושב משוערך מתח הסף.

להלן תוצאות הסימולציה בתצוגה גרפית, טווח הבדיקה על מתח השער נקבע בהתאם לסוג ההתקן ולמתח סף הצפי.



באירועים מלמעלה למתה סימולציה על `nmos_native`, `nmos_33`, `nmos_18` ו- `nmos` בהתאם.



באיורים מלמעלה למטה סימולציה על pmos_18 ו pmos_33 בהתאמה.

להלן סיכום התוצאות כאשר עברו mosק החסרנו את הערך שנדד במרקם ממתח האספקה.

טרנזיסטור	$L(\mu m)$	$IDS_{th}[nA]$	מתח סף משוער [V]	מתח סף מדוז [mV]
nmos_18	0.18	428	~0.45	453.873
pmos_18	0.18	-428	~-0.50	-505
nmos_33	0.35	220	~0.65	657.717
pmos_33	0.35	-220	~-0.70	-0.657
nmos_native	0.50	154	~-0.05	-3.3228

ניתן לראות שהערכים הנמדדים קרובים לערכים התאורטיים הצפויים.

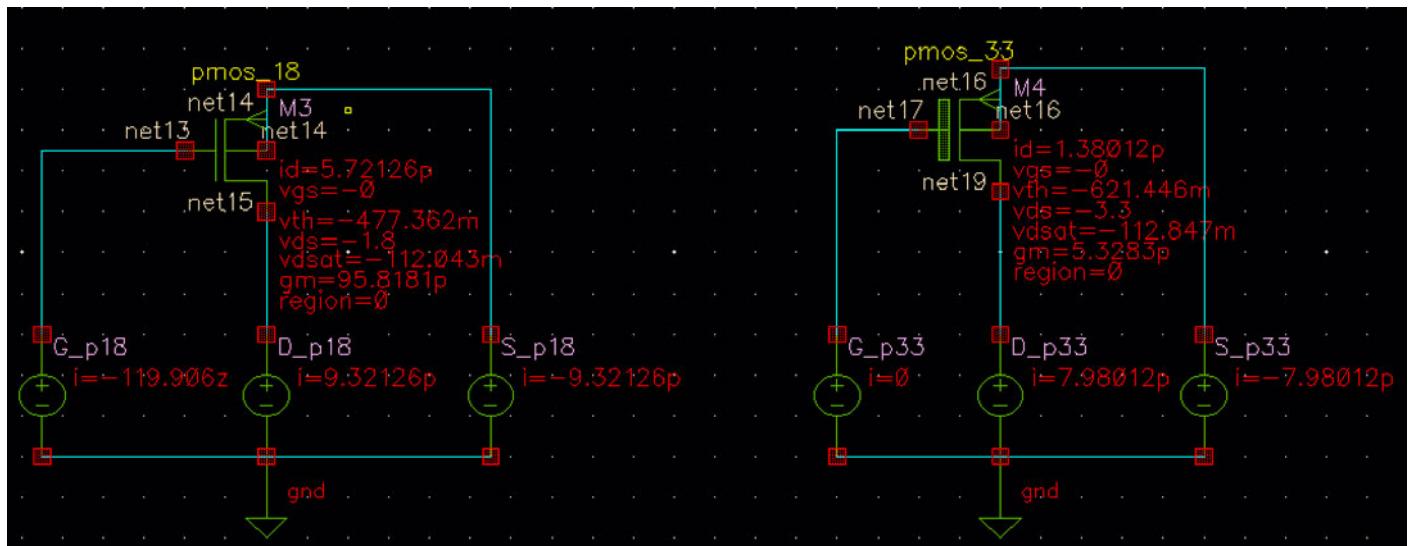
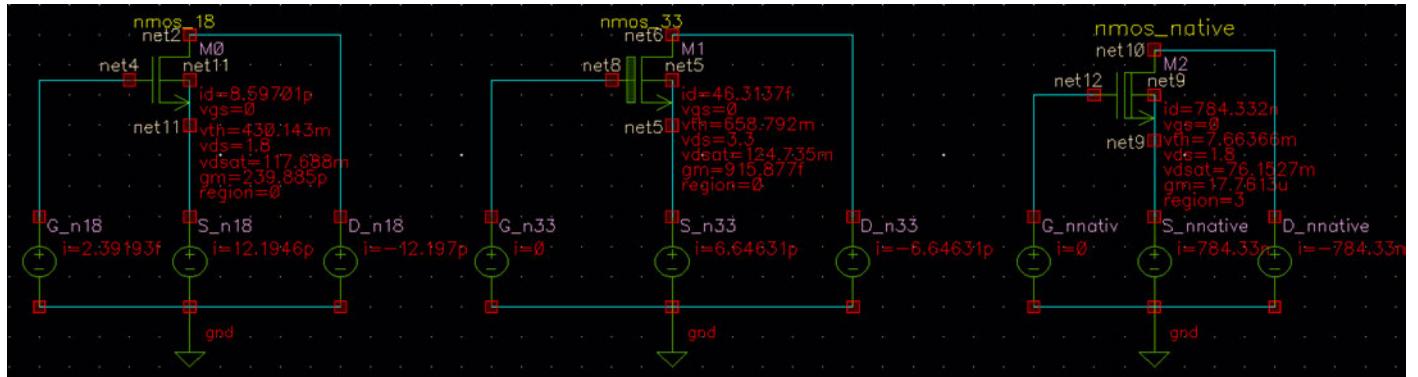
2. מדידת זרמי זליגה עיקריים

2.1. Ioff. מדידת זליגה

כדי שהסימולציה תציג את ids כזרם הזליגה כאשר vdd=vds יש לקבוע vgs=0 שմבטיח שהטרנזיסטור בקטען :

עבור nmos רגיל : $v_{gs}=0$ גורר 0. □

עבור pmos רגיל : $v_{gs}=v_{dd}$ גורר 0. □



להלן התוצאות מסוכמות בטבלה

טרנזיסטור	Ioff[A]
nmos_18	8.59701p
pmos_18	5.72126p
nmos_33	46.3137f
pmos_33	1.38012p
nmos_native	784.332n

זרמי הזליגה Ioff נמכרים מאד (סדר גודל של פיקו-אמפר או פמטו-אמפר) עבור הטרנזיסטורים הרגילים כמפורט. עבור nmos_native גם במקרה $v_{gs} \neq 0$ זורם זרם ממשמעותי יותר (ננו-אמפר) בגלל אופי המהසור שלו. טרנזיסטורי ה 33 עם L ארוך יותר מראים זרמי זליגה נמכרים יותר.

2.2. חישוב Subthreshold Slope

חישוב S באמצעות הנוסחה המקשרת אותו למתח השף וליחס הזרמים (ניתן לגוזר מהנוסחה לזרם תת-סף) :

$$S = \frac{V_{th}}{\log_{10} \frac{I_{on}}{I_{off}}} \quad (\text{בקירוב גס, } I_{on} \text{ מייצג את הזרם ב-} V_{gs}=0 \text{ ו-} V_{th} \text{ את הזרם ב-} V_{gs}=V_{th}).$$

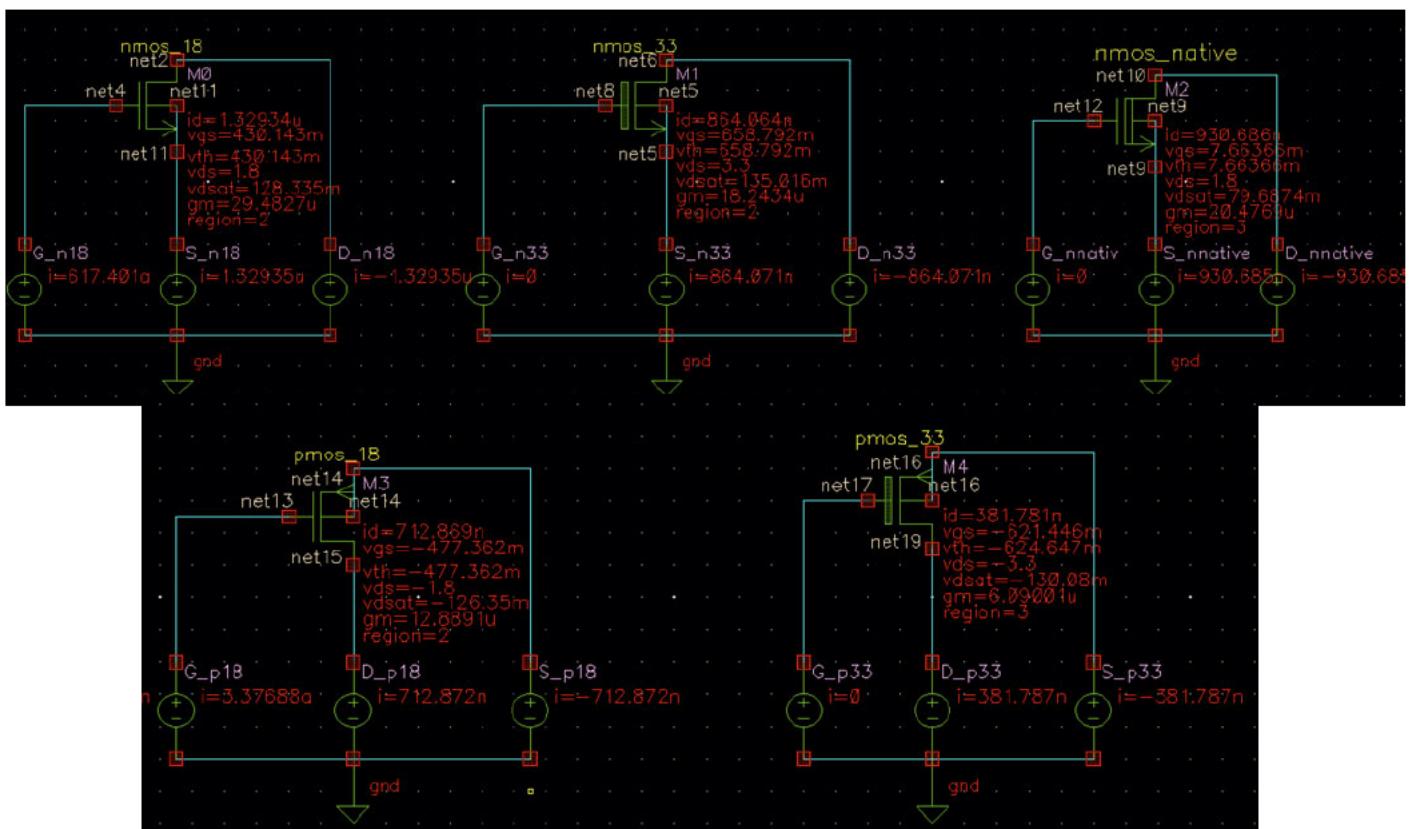
לשם כך ראשית יש לחשב את היחס $\frac{I_{on}}{I_{off}}$. חישוב $\frac{I_{on}}{I_{off}}$ יבוצע באמצעות מתח השף היותר מדויק שמצאנו סעיף קודם :

I_{on} עבור NMOS ו- I_{off} עבור PMOS. $V_{gs} = V_{dd} - V_{th}$

טרנזיסטור	$I_{off}[A]$	$I_{on}[A]$	I_{on}/I_{off}	$\log_{10} \frac{I_{on}}{I_{off}}$	$V_{th}[V]$	$S = \frac{V_{th}}{\log_{10} \frac{I_{on}}{I_{off}}} [V]$
nmos_18	8.59701p	1.32934u	1.546×10^5	5.19	1.32934u	-1.186×10^{-7}
pmos_18	5.72126p	712.869n	1.246×10^5	5.10	477.362m	-4.246×10^{-2}
nmos_33	46.3137f	864.064n	1.866×10^7	7.27	864.064n	-6.480×10^{-8}
pmos_33	1.38012p	381.781n	2.766×10^5	5.44	-624.647m	5.267×10^{-2}
nmos_native	784.332n	930.686m	1.187	0.07	7.66366m	-1.255×10^{-3}

• **הסבר על יחס Ion/Ioff :** היחס בין זרם ההפעלה (I_{on}) לזרם הדיליפה (I_{off}) גבוה מאוד עבור הטרנזיסטורים הרגילים (בסדר גודל של 10^8), דבר המעיד על יכולת מיתוג טובה – כלומר, הבחנה חדה בין מצביו ON ל-OFF. לעומת זאת, עבור טרנזיסטור מסווג NMOS, היחס נמוך משמעותית, בהתאם לאופו כטרנזיסטור שאינו נסגר היטב.

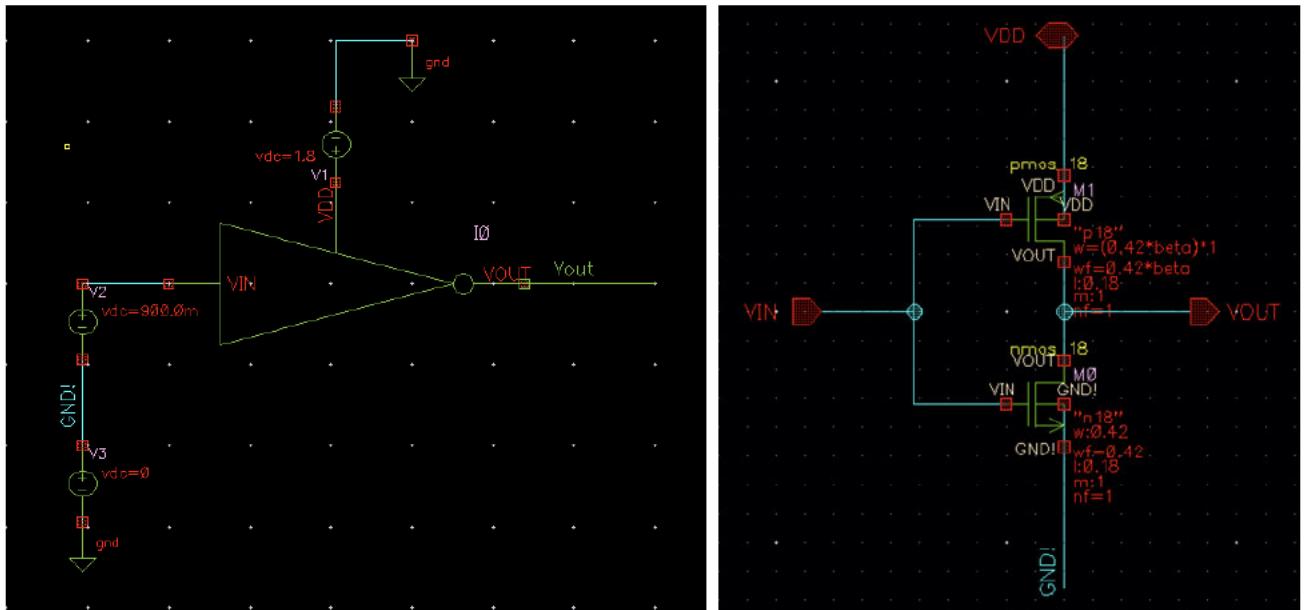
• **הסבר על הפרמטר S :** ערך S (במיליוולט לדקאה) צפויים להיות תאורתית מעל 60 mV/decade . התוצאות המשוערות שקיבלו קרובות לערך זה, אף על פי שהקיורוב בו נעשה שימוש אינו מדויק. עבור טרנזיסטורי PMOS מתקבל ערך שלילי, כפיי. ערך נמוך יותר של S מצביע על מיתוג חד יותר – כלומר, מעבר מהיר יותר ממצב OFF למצב ON.



ב. בניית מהפץ

1. תכנון סכמתית של מהפץ ובדיקהו

$$. V_m = VDD/2 \text{ מאוון כך ש}$$



באיור הימני מהפץ בתצוגה סכמתית הממומש באמצעות טכנולוגיה המתאימה לוגיקה צירופית, כדי לקבל מהפץ מאוון

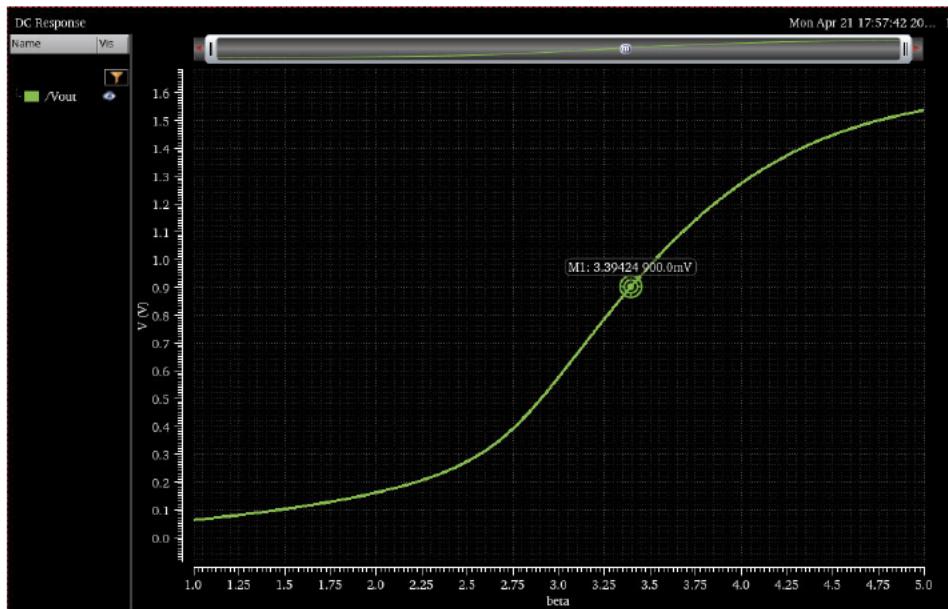
מציעים אופטימיזציה על יחס הגודלים $\frac{W_p}{(W_nL)} \triangleq \beta$, כנהוג הגדול המזרע של הטכנולוגיה נשאר קבוע ומכוון שנדרש

חסכון בשטח כל הגודלים מזעריים פרט לרוחב הסואסן שהוגדר בצוואר פרמטרית, דהיינו $\beta \cdot W_p = 420nm$.

באיור השמאלי סכמת *test bench* (המהפץ מיוצג באמצעות סימבול מסוים) שעליו תרוץ הסימולציה כדי למצוא את

$V_{in} = \frac{V_{DD}}{2}$ האופטימלי: לפי הגדרת חיתוך של היישר VTC עם גրף V_{out} יש להכניס $V_{in} = V_{out} = 0.9V$

$$\text{ולחפש } \beta \text{ עבורו } V_{out} = 0.9V.$$

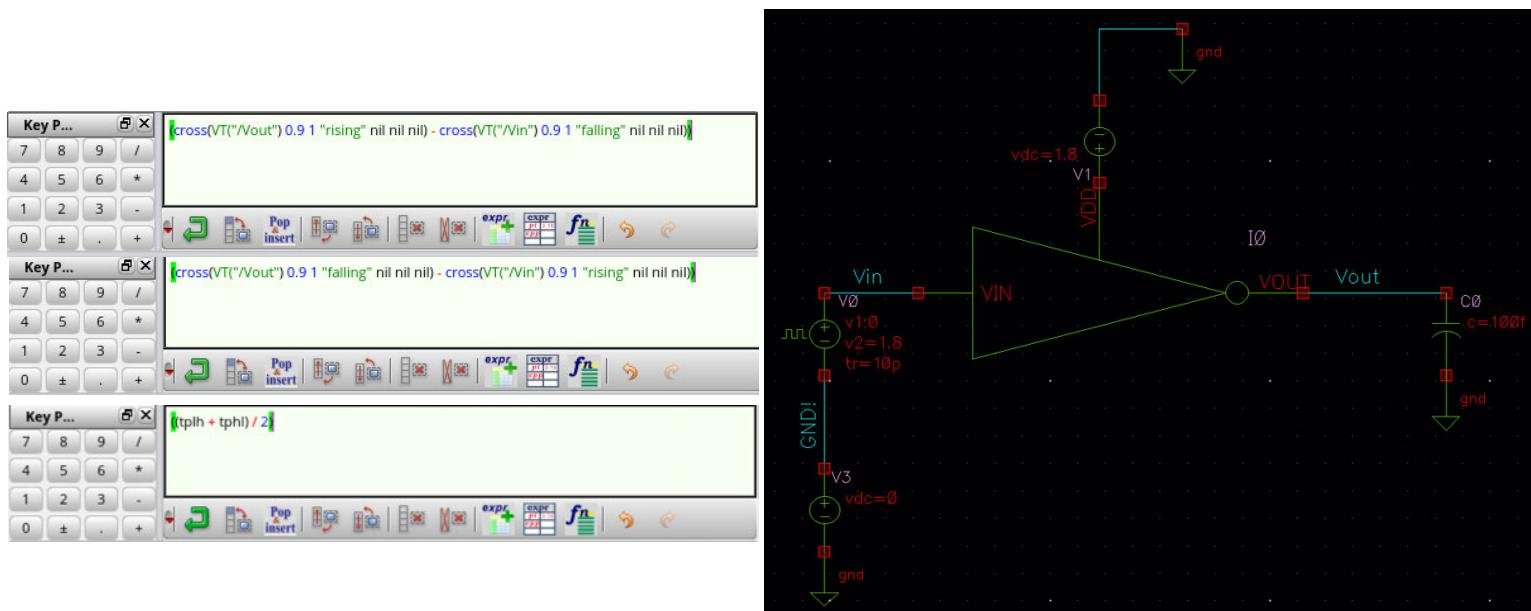


לפי הפיתוח בקורס הקודם $\beta \cong \frac{\mu_n}{\mu_p} \approx 2 \dots 4$, מכיוון שהחישוב מוקורב ובפועל הפקטור תלוי טכנולוגיה בוצעה סריקה

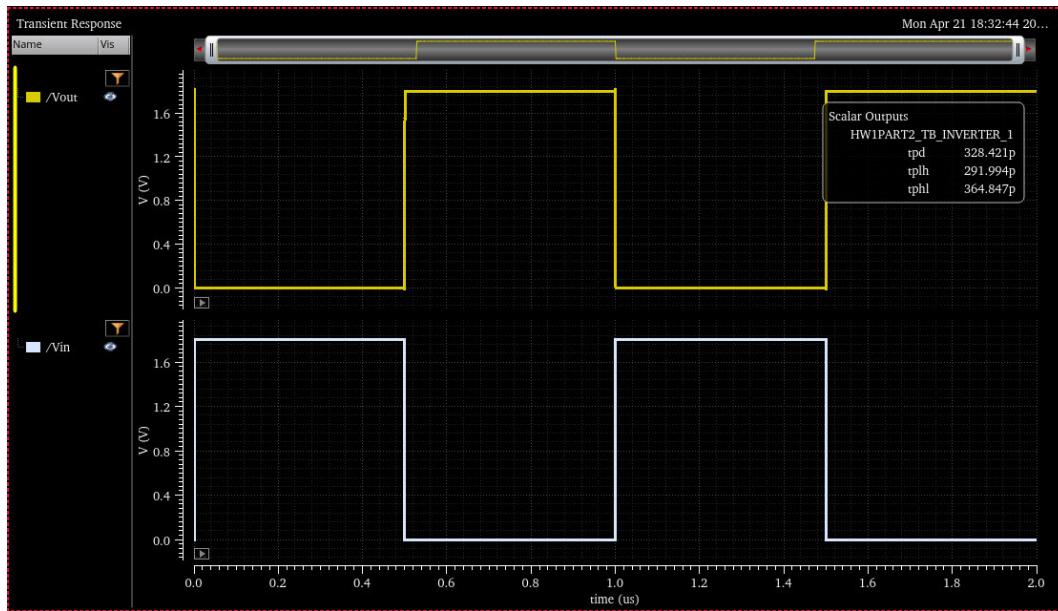
$$\text{על } \beta_{opt} = 3.39424 \text{ והתקבל } [1,5]$$

- 1.2. ביצוע סימולציה בזמן של גל מוצא נגד גל כניסה בתדר $1MHz$ עם קיבול מוצא של $100fF$, ובנוסף
 1.3. מדידת זמני השהיה Tpd , $TpHL$, $TpLH$ וחשבון Tpd כולל של המהפק.

בסעיפים הבאים המהפק הינו מאוזן (עד כדי רזולוציה של $10nm$ ברוחב ה- sos).



באיור הימני סכמת test bench כנדרש, כאשר הוגדרו זמני עלייה וירידה של $10ps$ כדי שלא ישפיעו על התוצאה הסופית. בנוסף לשני היסוגלים באיור השמאלי שלושה ביטויים מחוברים כדי למדוד זמני השהיה : Tpd , $TpHL$, $TpLH$ (מלמעלה למטה בהתאם) באמצעות פונקציית חציה, ממחצית המבוא עד מחצית המוצא.



Name	Type	Details	Value
	signal	/Vout	
	signal	/Vin	
tphl	expr	(cross(VT(\"/Vout\") 0.9 1 \"rising\" nil nil nil) - cross(VT(\"/Vin\") 0.9 1 \"falling\" nil nil nil))	292p
tphl	expr	(cross(VT(\"/Vout\") 0.9 1 \"falling\" nil nil nil) - cross(VT(\"/Vin\") 0.9 1 \"rising\" nil nil nil))	364.8p
tpd	expr	((tphl + tphl) / 2)	328.4p

מתוצאות הסימולציה בזמן ניתן לראות שהלוגיקה אכן ממסת מהפָק מאוזן והבחירה של זמני עלייה וירידה של $10ps$

אכן מתאימה - $T_{pd} = 328.4ps$, $T_{pHL} = 364.8ps$, $T_{pLH} = 292ps$. נמדד $T_{pd} \gg rise/fall time$.

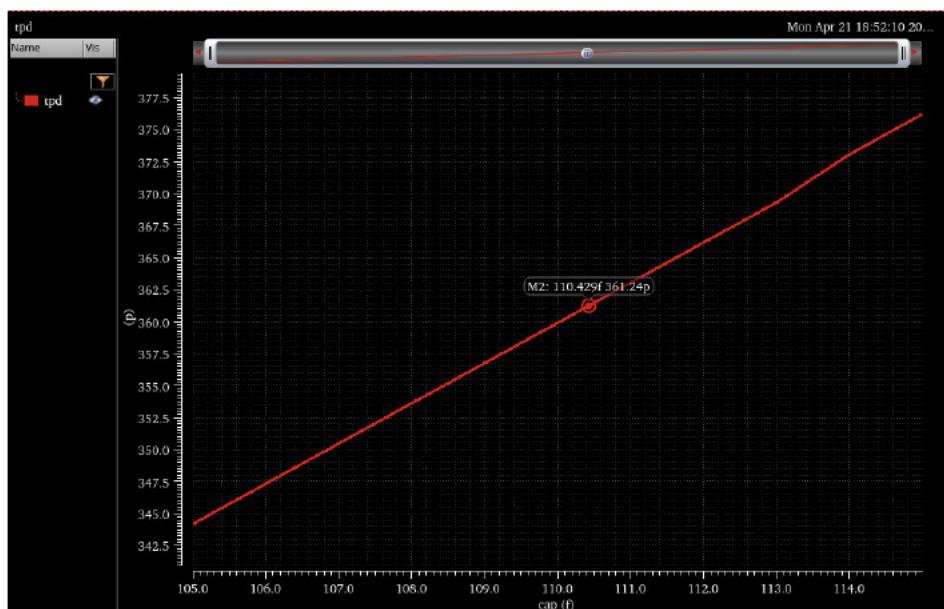
כפוי, זמן הפענה מהיר יותר שכן עבור עומס מוצא ומתח אספקה קבועים (שיטת זרם ממוצע) $T_p \propto \frac{C_{load}}{kV_{DD}} \propto \frac{1}{k}$

כאשר $\frac{W}{L} = k$, דהיינו ההגדלה בפקטור β האופטימי גורמת לכך שהוסף אשר מבצע את הפענה מהיר יותר למורות שנידונות החורדים קטנה יותר.

1.4. שינוי קבל המוצא כך שה T_{pd} גדיל בצורה משמעותית (10%).

לאחר device sizing ובහינתו מתח אספקה קבוע $T_{pd} \propto \frac{C_{load}}{2V_{DD} k_n + k_p} \propto \frac{1}{2V_{DD} k_n + k_p}$, لكن נצפה שהגדלת קבל העומס ב10%

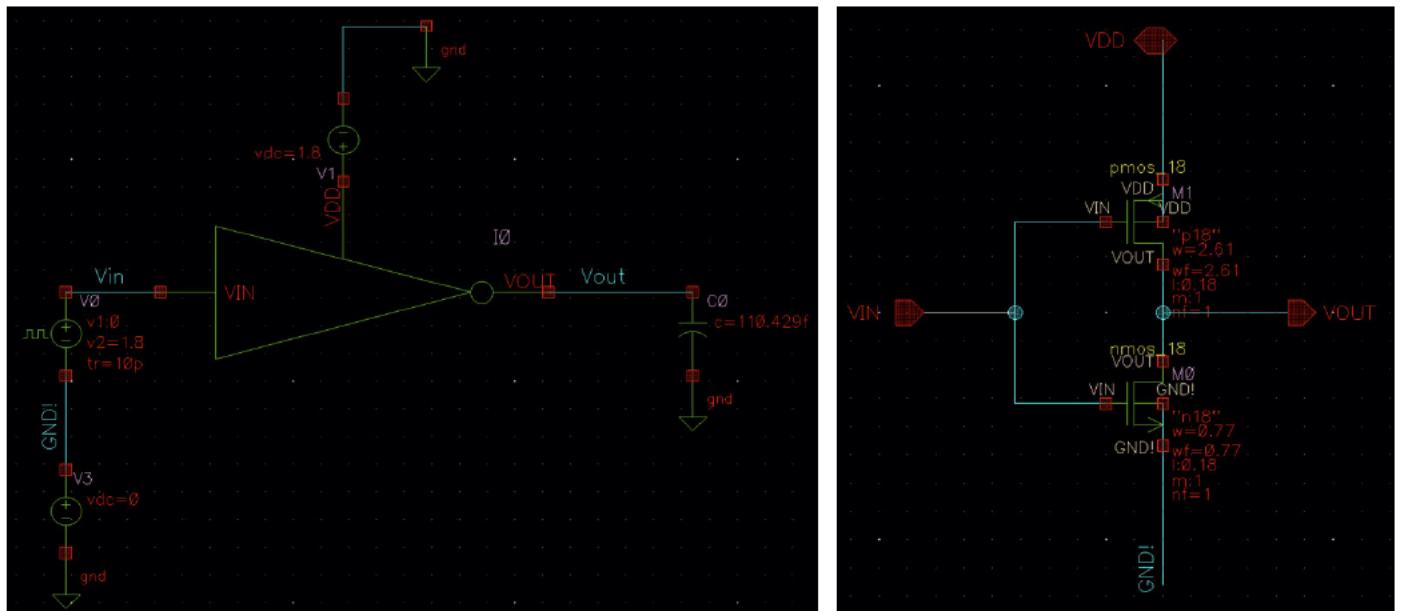
תגרום להגדלת זמן ההשניה באופן דומה. כדי למצוא את הקיבול באופן מדויק נבצע סימולציה בזמן כאשר נסורך את קבל המוצא בהתאם לפרוורצת הлиינארית בטוחה $115f:1f:105f$.



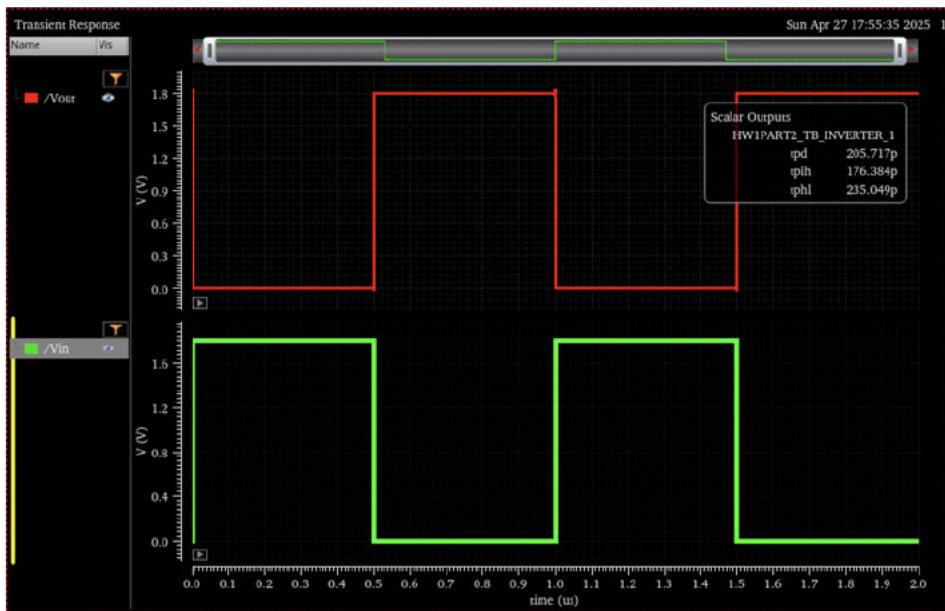
כפוי, תוצאות הסימולציה מראות תלות ליניארית של זמן ההשניה בעומס, הקיבול המדויק שנמדד עבור

$$C_{load_{new}} = 110.429fF = 1.10429C_{load_{old}}, T_{pd_{new}} = 361.24ps = 1.1T_{pd_{old}}$$

1.5. שינוי רוחב ה *sosmos* , שמירה על מהפץ מאוזן וניתנו זמן ההשניה.



באירור הימני ניתן לראות שרוחב *sosmos* הוגדל ל $770nm$ ו- $W_n = 420 + 35 \cdot 10 = 770nm$, וכך לשמר על מהפץ מאוזן רוחב *sosmos* הוגדל $770nm \cdot \beta_{opt} \cong 2610nm$. דהיינו, עד כה השער היה מהפץ מאוזן מינימלי, בעת הרוחב של שני הטרנזיסטורים הוגדל באותו פקטורי S . באירור השמאלי סכמת *sosmos* עם קבל העומס המעודכן מסעיף קודם.



בסימולציה ניתן לראות ש מבחינת פונקציונליות אין שינוי והשער הינו מהפץ מאוזן, אבל זמן ההשניה קטן ב 43% $T_{pd_{new}} = 205.717ps$. כבר הוכח שבקרוב מסדר ראשון (RC), הגדלת רוחב *sosmos* מקטינה את זמן הטעינה והגדלת רוחב *sosmos* מקטינה את זמן הפריקה ומכיון שזמן ההשניה נמדד כמספר שלמים היה צפוי שיראה שיפור. מעבר לכך, לפי פיתוח בקורס קודם כאשר הקירוב הינו מסדר ראשון – מגל RC ,

$$T_{pd} = 0.69 R_{eq} C_{load} = 0.69 R_{eq} (C_{int} + C_{ext}) = T_{p0} \left(1 + \frac{C_{ext}}{SC_{ref}} \right)$$

כך שנitinן לכמת את השיקול בין שטח למהירות כאשר $S \in [1,8]$ (מעל יש העמסה עצמית). המסקנה היא שההפק מאווז מינימלי לא מבטיח ביצועים אופטימליים מבחינה זמנית, ובעלות של הגדלת השטח ניתנת להקטין את זמן ההשניה.

2. **תכנון LAYOUT של מהפק ובדיקות**

2.1. הסבר על דגשי תכנון

עמידה DRC_L כדי לעמוד במוגבלות יוצר, עמידה BVS כדי לוודא פונקציונליות תואמת לסקמה.

שיתוף דיפוזיות : תכנון ייעיל יותר מבחןת ניצול שטח ומקטין פרזיטיקות מה שモbil למהירות גבוהה יותר וצריכת הספק נמוכה יותר

שימוש בפרמטר ג' : יחסן לגודל הדפסה מינימלי של הטכנולוגיה, בדרך כלל מרוחה מינימלי בין קווי הולכה כדי שלא ייווצר קצר או פרזיטיקות לא רצויות. נח לתכנן מידות ככפולות כהסכמה הנדסית ושימוש עתידי בתכנון עבור טכנולוגיות אחרות.

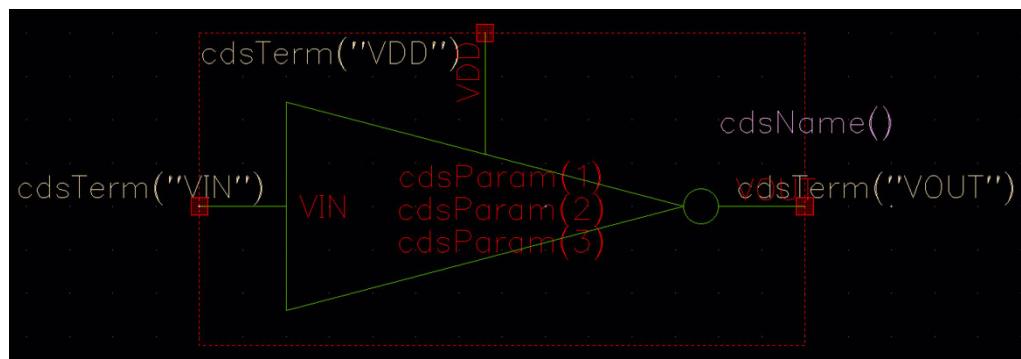
רווח קווי האספקה : נועד כדי להוילך זרם בצורה אמינה תוך כדי ניצול שטח יעיל. שימוש באותו רוחב נדרש כדי לחבר קווי אספקה באופן סימטרי.

גובה התא : מוסכמה כדי ליצור תא פעם אחת ולהשתמש בו מספר פעמים וגם עבור פריסה סימטרית בתכנונים יותר גדולים. נציין שלאחר הצגת $LAYOUT$ ניתן יהיה להסיק כי ניתן לקחת גובה קטן יותר בשביל ניצול שטח יעיל.

שימוש רק ב- M : מהפק הינו תא יסודי ולכן אין צורך בשכבות נוספתות המשמשות לקישור בין שעריהם.

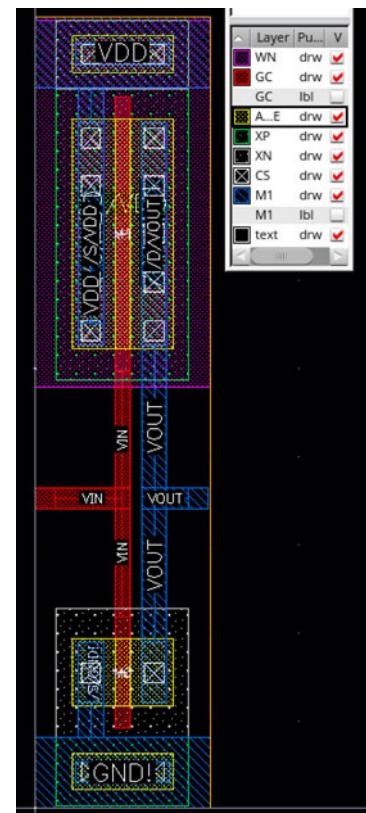
ישור קווי/*metal* וסימטריות : הרgel טוב עבור תכנונים גדולים ובהירות קרייאתם.

2.2. יצירת סימבול למהפק



2.3. שרטוט LAYOUT של המהפה

מידות אורך ורוחב כמו בסעיף 1.5 ($G=35$)



2.4. הציגת DRC תקין

Calibre - RVE v2022.1_36.16 : INVERTER.drc.results

File View Highlight Tools Window Setup Help

Filter: Show All INVERTER, 2 Results (in 2 of 3 Checks)

Check / Cell /	Results
<input checked="" type="checkbox"/> Check SR.N5	1
<input checked="" type="checkbox"/> Check GC.C.1	1
<input checked="" type="checkbox"/> Check DENSITY_PRINT_FILES	0

Rule File Pathname: DRC.rules
 Rule File Title: Tower Semi DRC Check ver.00_00_01
 SR.N.5: For PIQ1, PIQ2 and PIQ3: Seal ring MUST be present.

INVERTER.drc.summary

```

=====
== CALIBRE::DRC-H SUMMARY REPORT ==
=====
1
2
3
4
5
6 Execution Date/Time: Thu Apr 24 11:45:22 2025
7 Calibre Version: v2022.1_36.16 Tue Mar 1 14:26:36 PST 2022
8 Rule File Pathname: _DRC.rules
9 Rule File Title: Tower Semi DRC Check ver.00_00_01
10 Layout System: GDS
11 Layout Path(s): INVERTER
12 Layout Primary Cell: INVERTER
13 Current Directory: /tech/ts18sl_rev_6_3/PROJECTS/6MIL_lib_sem2/work_libs/stu35/cds
14 User Name: stu35
15 Maximum Results/RuleCheck: ALL
16 Maximum Result Vertices: 4294967294
17 DRC Results Database: INVERTER.drc.results (ASCII)
18 Layout Depth: ALL
19 Text Depth: PRIMARY
20 Summary Report File: INVERTER.drc.summary (REPLACE)
21 Geometry Flagging: ACUTE = YES SKEW = YES ANGLED = NO OFFGRID = YES
22 NONSIMPLE POLYGON = NO NONSIMPLE PATH = NO
23 Excluded Cells:
24 CheckText Mapping: COMMENT TEXT + RULE FILE INFORMATION
25 Layers: MEMORY-BASED
26 Keep Empty Checks: NO
27
  
```

2.5. הציגת LVS תקין

REPORT FILE NAME: INVERTER.lvs.report
LAYOUT NAME: INVERTER.sp ('INVERTER')
SOURCE NAME: INVERTER.cdl ('INVERTER')
RULE FILE: LVS.header
CREATION TIME: Thu Apr 24 11:50:21 2025
CURRENT DIRECTORY: /tech/ts18sl_rev_6_3/PROJECTS/6MIL_lib_sem2/work_libs/stu35/cds
USER NAME: stu35
CALIBRE VERSION: v2022.1_36.16 Tue Mar 1 14:26:36 PST 2022

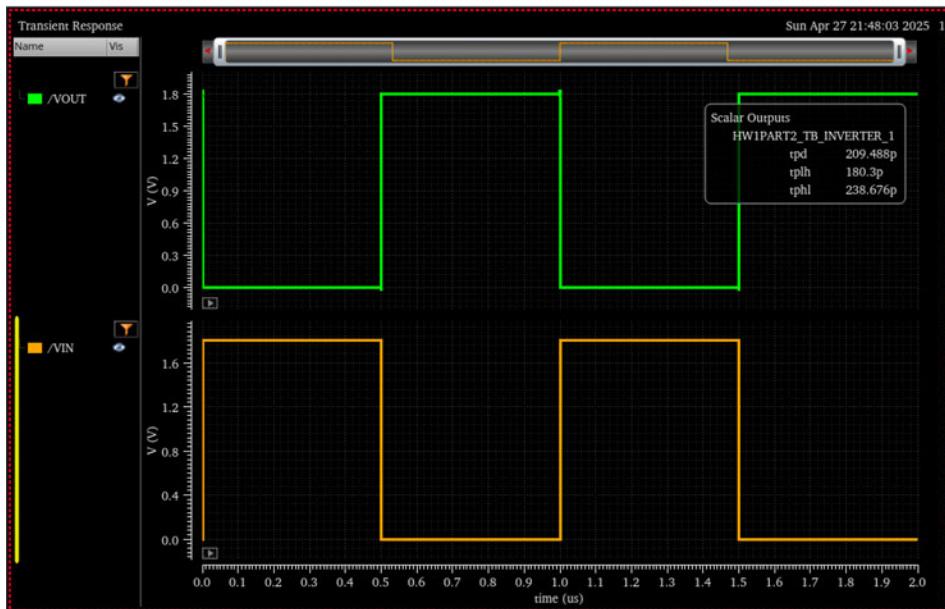
OVERALL COMPARISON RESULTS

2.6. ביצוע בדיקת קובץ config ויצירת סיביות PEX

No.	Layout Net	Source Net	R Count	CC Total (F)	C
1	VIN	VIN	7	3.35352E-16	3.
2	GND	GND	7	5.51786E-16	5.
3	VDD	VDD	9	5.53745E-16	5.
4	VOUT	VOUT	14	9.15420E-16	9.

בדיקת PEX תקינה עם הפרזיטיקות הנדרשות. האדמה שונתה מפין גלובלי לרגיל בשל בעיה של סביבת HX לקרווא סימן קריאה.

2.7. ביצוע הסימולציה מ.5.1 והשווות ערכי המהפק לפני ואחרי **PEX**.
עבור ההשוואה נבצע את הסימולציה מסעיף 1 (הרווח תלי במספר הקבוצה כמו ב-*LAYOUT*).

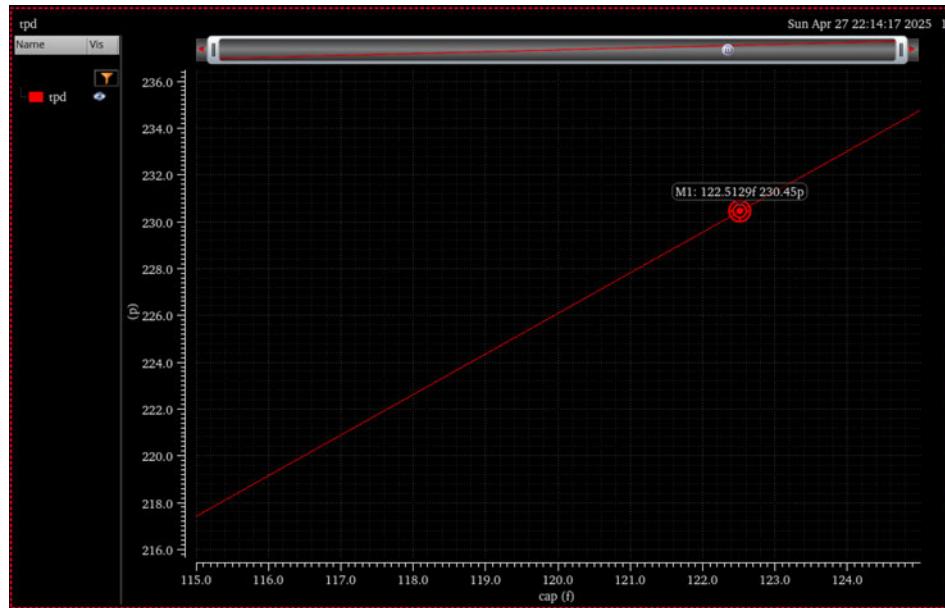


Scalar Outputs	
HW1PART2_TB_INVERTER_1	
tpd	209.488p
tplh	180.3p
tphl	238.676p

Scalar Outputs	
HW1PART2_TB_INVERTER_1	
tpd	205.717p
tplh	176.384p
tphl	235.049p

כפי שניתן לראות **כל** זמני ההשניה עלו בסביבות 1%, הסיבה לכך היא הקיבולים וההתנגדויות הפרזיטיות שנוצרות בין המרכיבים הממשימים את המהפק שהוזנחו לפני המימוש הפיזי. דהיינו, הקיבול וה התנגדות השකולה עלו במעט ולכן זמני ההשניה עלו בהתאם.

2.8. שינוי קבל המוצא כך שה Tpd גדל בצורה משמעותית (10%).



מכיוון שהפרזיטיות לא השפיעו באופן ניכר על זמני ההשניה, בדומה לסימולציה ללא הפרזיטיות בוצעה סריקה סביר קיבול של כ-10% הגדלה - $115f:1f = 125f$. צפוי, התלות הינה לינארית בדומה למקרה הקודם, עבור עליה של 10% בזמן ההשניה נדרש להגדיל את קבל המוצא ל $122.512ff$, דהיינו הגדלה של 10.94% לעומת הגדלה של 10.43% במקרה ללא הפרזיטיות. יש פער מכיוון שבאופן יחסי לקיבול העומס החיצוני צריך להגדיל ביותר אחזים שכן צריך לפצות גם על המרכיב של הקיבול הפרזיטי $C_{load} = C_{par} + C_{ext}$, עם זאת הפער עדין ממש קטן, נובע מכך שקיבול העומס הפרזיטי זניח לעומת קיבול העומס החיצוני.

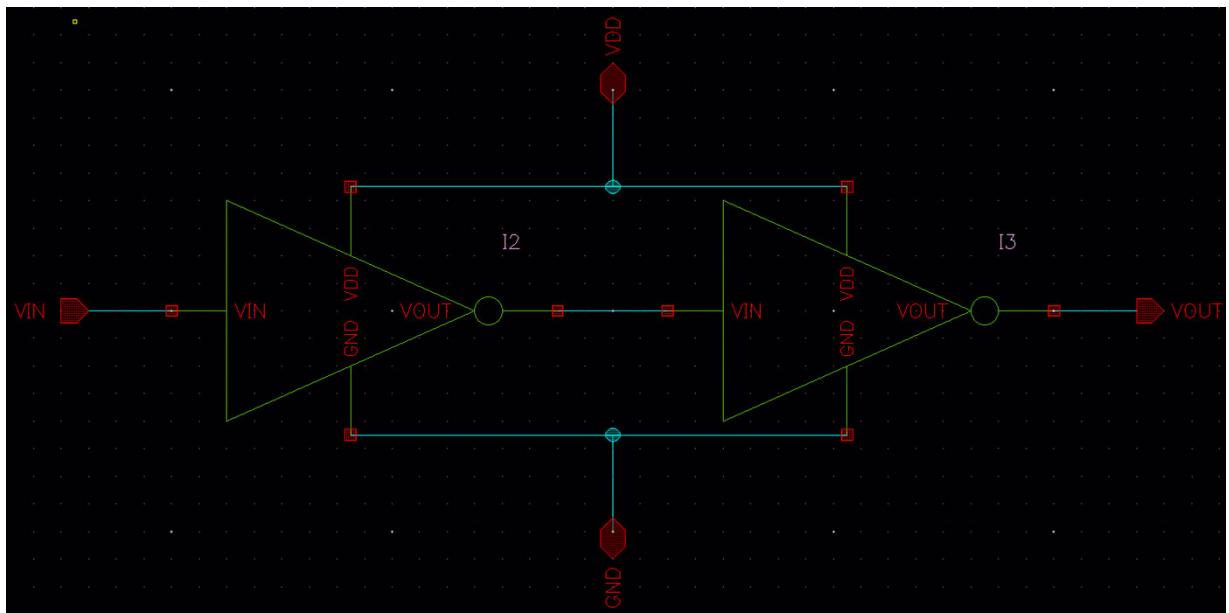
2.9. השוואת בין קבלי המוצא לפני ואחרי ה-PEX.

כפי שצוין לעיל, קיבול העומס השקול הוא סכום קיבולי הפרזיטיות והעומס ולכן יש הגדלה לאחר ה-PEX, אם כי הגדלה זו נicha שכן הפרזיטיות זניחות לעומת קיבול העומס.

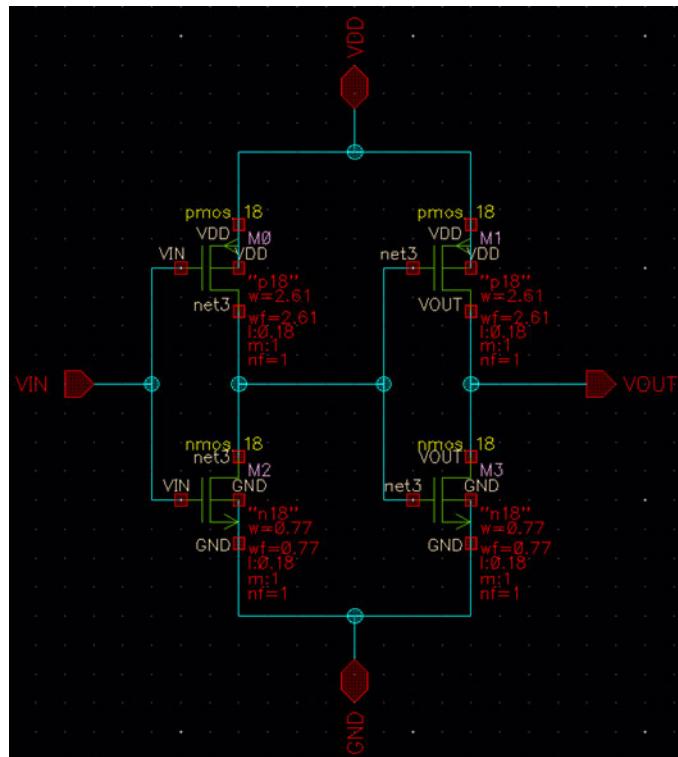
ג. בניית Buffer

1. תכנון סכמטי של התא ובדיקהו

1.1. תכנון שתי סכימות: באמצעות טרנזיסטורים ובאמצעות המהפק מחלק ב'.

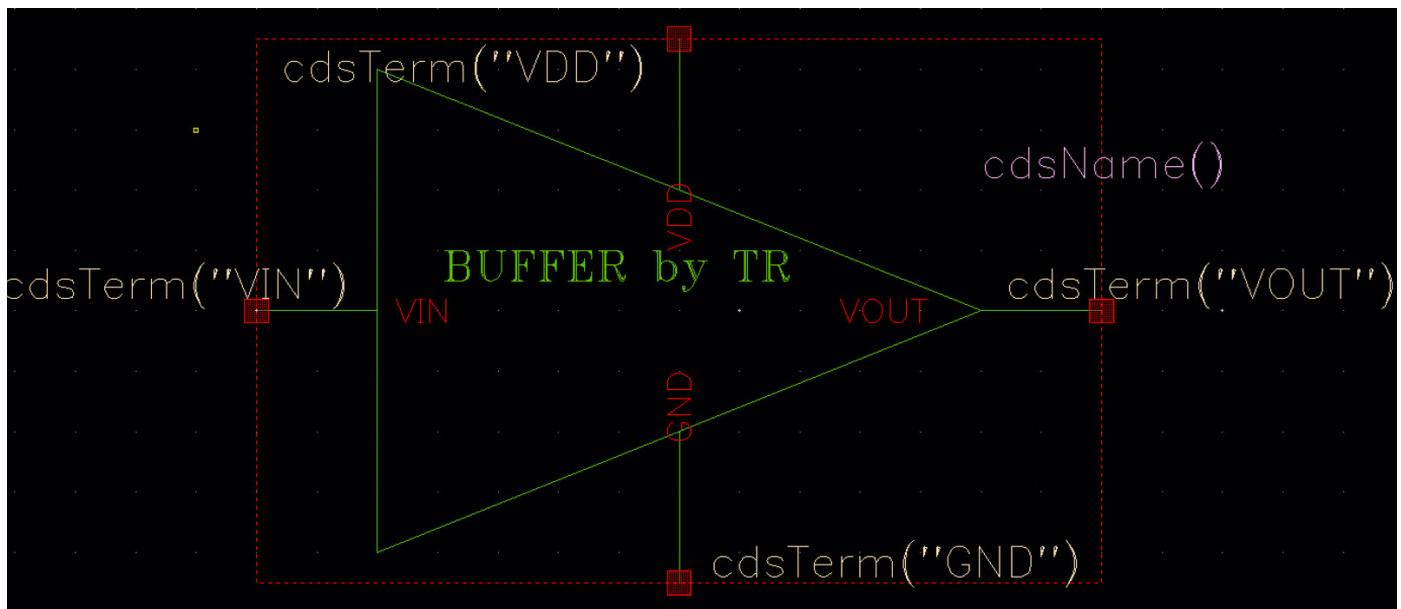
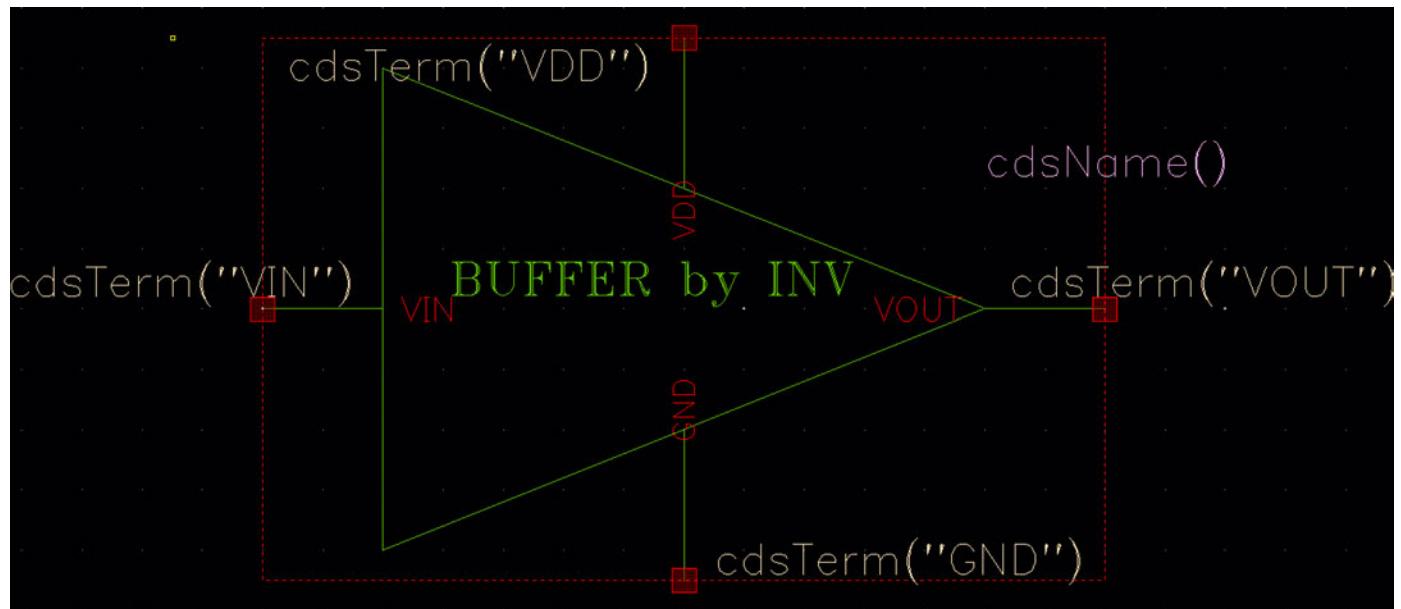


באיור סכמת חוצץ המומוש ע"י שני מהפכים זהים מחלק ב'.

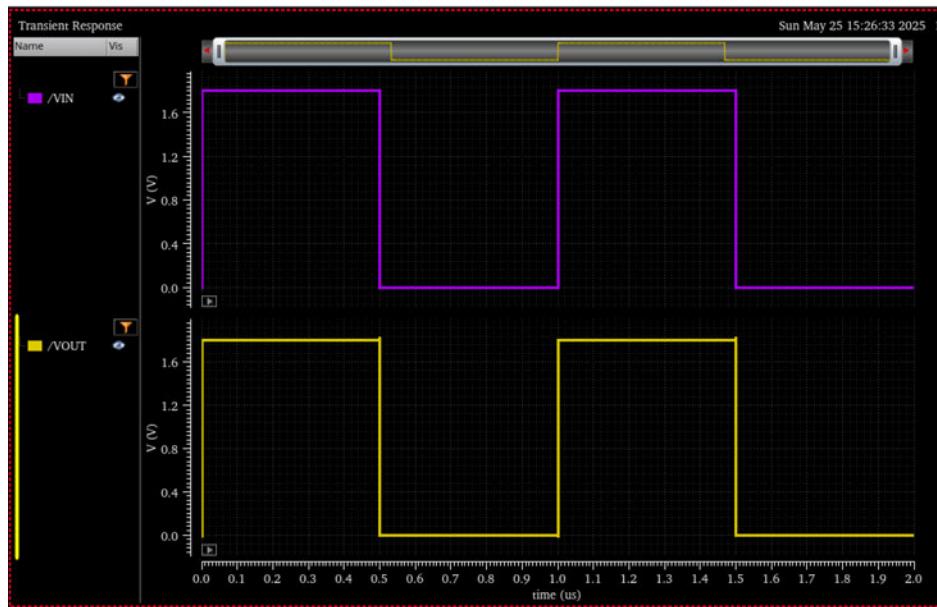
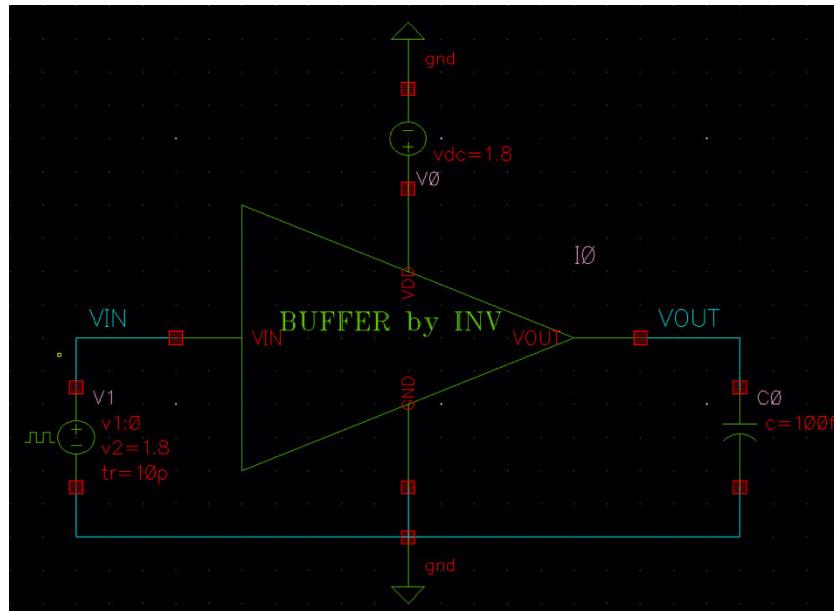


באיור סכמת חוצץ המומוש על ידי טרנזיסטורים כאשר sizing זהה לטרנזיסטורים המרכיבים את המהפק בהתאם ל- $G=35$ ו- β אופטימלי מחלק ב', ללא אופטימיזציה לדחיפה עומסים (בהתאם להודעה בפורום).

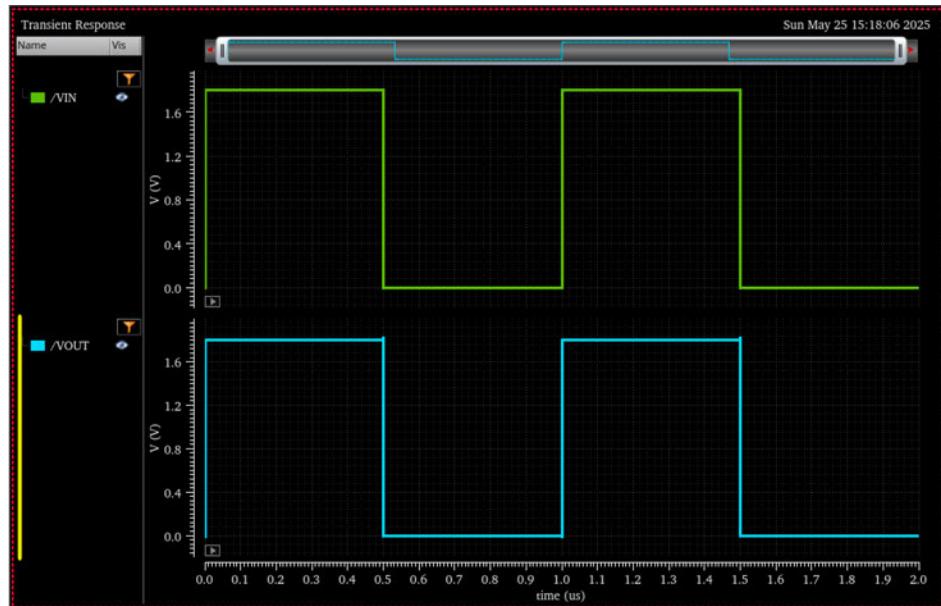
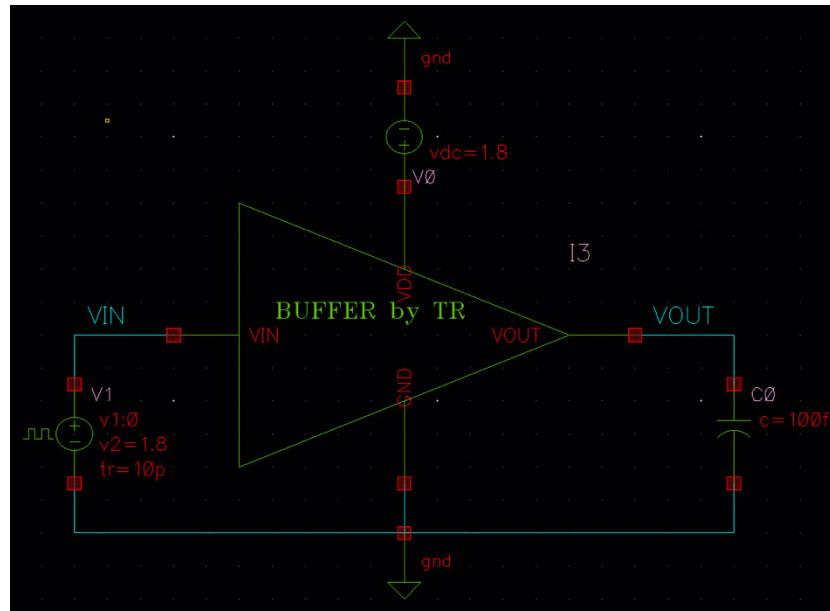
1.2. יצירת סימבוליםatrial



1.3. ביצוע סימולציה בזמן של גל מוצא נגד גל כניסה בתדר $1MHz$ עם קיבול מוצא של $100fF$



באירוע העליון סכמתה *test bench* של החוצץ במיימוש מהפכים, פולס הכניסה זהה לפולס מחלק ב' עם זמני עלייה וירידה בהתאם. ניתן לראות שהמוצא עוקב אחרי הכניסה כנדרש.



באוטו האופן עבור חוצץ במיימוש טרנזיסטוריים.

4.1.4. הערצת T_{pd}

זמן השהיה של לוגיקה צירופית מחושב ע"י $T_{pd} = \max_{p:in \rightarrow out} \sum_{comp \text{ in } p} T_{pd,comp}$ וכן עבור החוץ הערכה מותקנת ע"י

$$T_{pd} = T_{pd_{INV1}} + T_{pd_{INV2}}$$

לפי המודל המקורי שלמדו במעגלים ספרטאים עם 1 $\cong \gamma$ לכל מהפץ: $T_{pd} \cong T_{pd_{ref}} \left(1 + \frac{C_{ext}}{S \cdot C_{gate_{ref}}} \right)$. כאשר מהפץ הרפרנס הינו מהפץ המאוזן מחלק ב' לפני הוספת אקטור G .

$$\left. \begin{aligned} T_{pd_{ref}} \left(1 + \frac{100f}{C_{int(out)}_{ref}} \right) &= 328.421ps : 1.3 \\ T_{pd_{ref}} \left(1 + \frac{110.429f}{1.83 \cdot C_{int(out)}_{ref}} \right) &= 205.717ps : 1.5 \end{aligned} \right\}$$

$$T_{pd_{ref}} = 19ps, C_{int(out)} = 6.14fF$$

$$T_{pd_{BUFFER}} \cong \underbrace{T_{pd_{ref}} \left(1 + \frac{C_{g2}}{C_{g1}} \right)}_{T_{pd_{INV1}}} + \underbrace{T_{pd_{ref}} \left(1 + \frac{100f}{1.83 \cdot C_{int(out)}_{ref}} \right)}_{T_{pd_{INV2}}} = (2 + 9.9)T_{pd_{ref}} = 226.1ps$$

4.1.5. חישוב T_{pd}

tphl	expr	(cross(VT("/VOUT") 0.9 1 "falling" nil nil nil) - cross(VT("/VIN") 0.9 1 "falling" nil nil nil))	239.5p
tplh	expr	(cross(VT("/VOUT") 0.9 1 "rising" nil nil nil) - cross(VT("/VIN") 0.9 1 "rising" nil nil nil))	190.7p
tpd	expr	((tphl + tplh) / 2)	215.1p

בדומה לחלק ב' חישבנו את זמן השהיה באמצעות המחשבון ממחצית המבוא ועד מחצית המוצא, אולם הפעם לקחנו מעלה לעליה ומירידה לירידה בהתאם לפונקציונליות החוץ. החישוב עבור שימוש מהפכים ומיושם טרנזיסטורים יצא זהה כפוי לכך הגדים זהים ולא נלקחו בחשבון הפרזיטיות. ניתן לראות שזמן השהיה המשוער שלנו סטה ב 5% מהערך המוחשב ע"י סימולציה $T_{pd} = 215ps$, השערוך אכן קרוב אבל אינו מדויק זהו נובע מהבדל בין המודל שקיבלו בהרצאה למודל שלcadence (חישוב קיבולים פרזיטיים, סדר הקירוב, קבוע הטכנולוגיה וכו').

2. תכנון *Buffer* של *LAYOUT* ובדיקהו

2.1. שרטוט *LAYOUT*

2.2. הצגת *DRC* תקין

2.3. הצגת *LVS* תקין

2.4. ביצוע בדיקת *PEX* ויצירתקובץ config.

2.5. ביצוע הסימולציה מ 1.5 והשוואה ערכי החוץ לפני ואחרי *PEX*.

2.6. תיאור המינוחים המדויקים לשיטות מיושש *LAYOUT*.

