

**אוניברסיטת בן גוריון בנגב**  
**בית הספר להנדסת חשמל ומחשבים**  
**מעגלים משולבים ומבוא ל VLSI [361.1.3701]**

**עבודה מספר 4: Verilog-A: Successive Approximation ADC**

**שם הסטודנט: מייסון נפתליב**

**ת"ז: [REDACTED]**

**קבוצה: 35**

**תאריך הגשה: ו' בתמוז תשפ"ה, 1.07.2025**

# 1. counter

## 1.1.1 מימוש ב verilogA

```

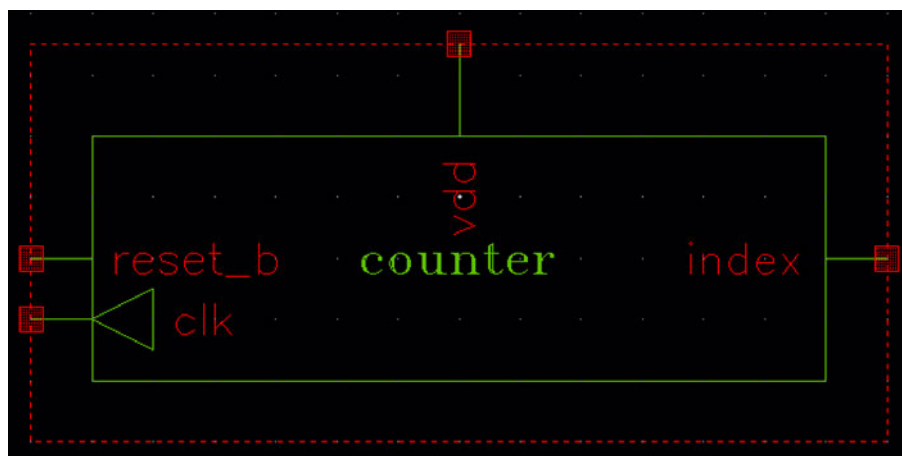
1 // VerilogA for HW4, counter, veriloga
2
3 'include "constants.vams"
4 'include "disciplines.vams"
5
6 module counter(index, reset_b, clk, vdd);
7 output index;
8 input reset_b, clk, vdd;
9 electrical index, reset_b, clk, vdd;
10 parameter real t_delay = 0;
11 parameter real t_edge = 100p;
12
13 integer count;
14 analog begin
15     @(initial_step)
16         count = 7;
17     @(cross(V(clk) - V(vdd)/2, -1)) begin
18         if (V(reset_b) > V(vdd)/2)
19             count = (count + 7) % 8;
20         else
21             count = 7;
22     end
23     V(index) <+ transition(count, t_delay, t_edge);
24 end
25
26 endmodule
27

```

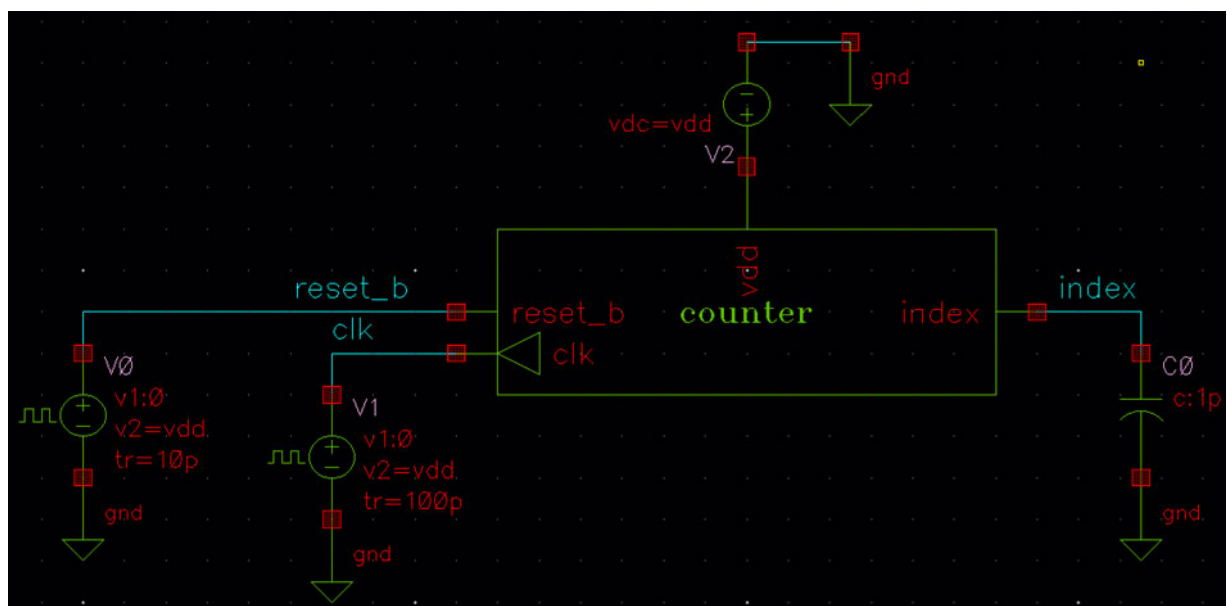
המנייה מתבצעת בסדר יורד (7-0) באופן מחזורי, הטריגר הינו ירידת שעון clk, ואם יש אפס אקטיבי (reset\_b) מאלצים counter=7 וחוזר חלילה.

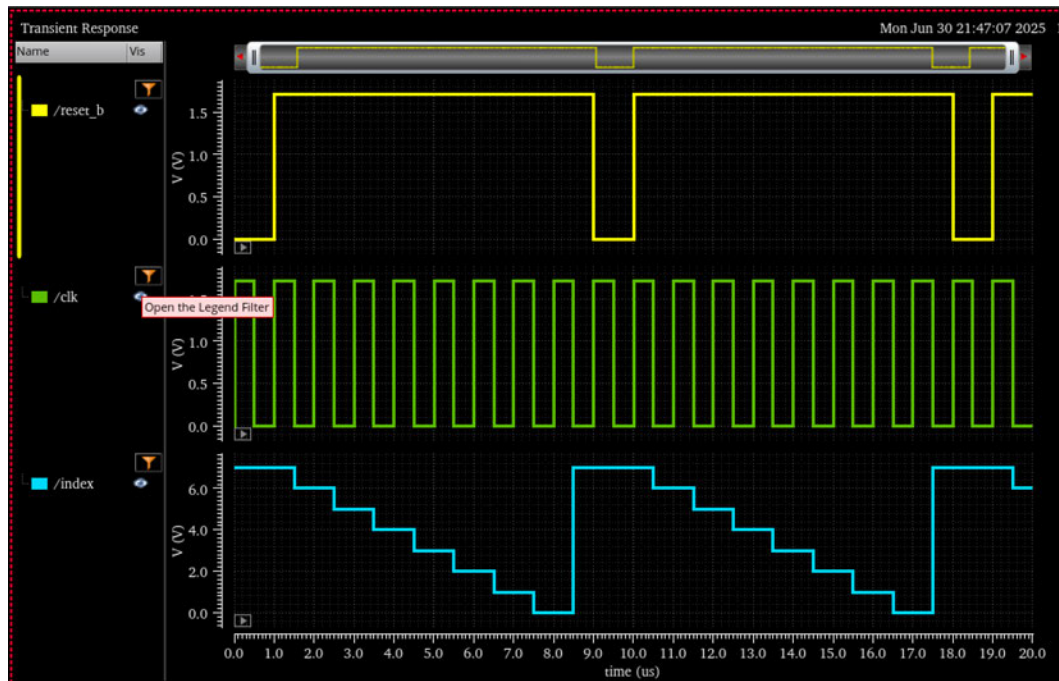
## 1.2. יצירת סימבול

משולש הפוך ב clk מסמן דגימה בירידת שעון.



## 1.3. יצירת Test bench והרצת סימולציה





מתקיים  $T_{reset\_b} = 9T_{clk}$  כאשר רוחב הפולס של  $reset\_b$  הוא  $9T_{clk}$ , כך יש לנו 8 מחזורים עבור הביטים ועוד מחזור עבור ריסוט של המערכת. ניתן לראות מנייה תקינה וסנכרון בין השעונים כך שאין ריסוט באמצע מחזור מנייה.

## 2. Successive Approximation Register – SAR

### 2.1 קידוד ב verilog

```

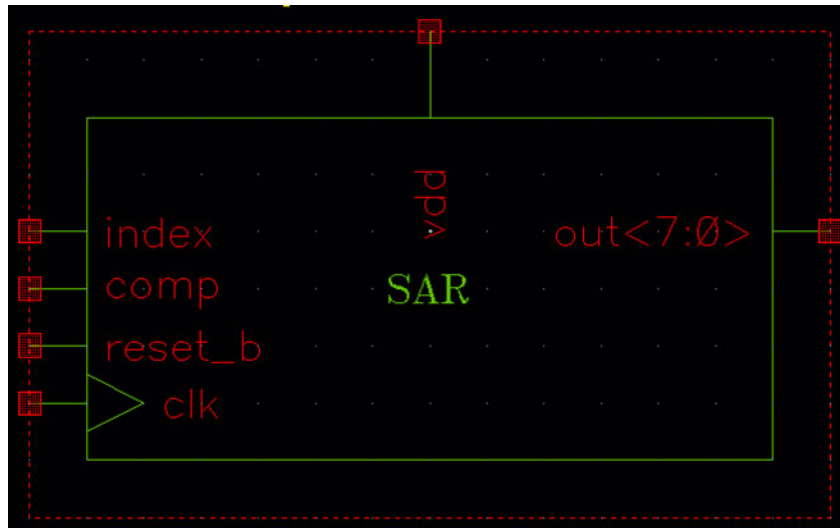
1 // VerilogA for Hw4, SAR, verilogA
2
3 `include "constants.vams"
4 `include "disciplines.vams"
5
6 module SAR(out, index, comp, reset_b, clk, vdd);
7   output [7:0] out;
8   electrical [7:0] out;
9   input index, comp, reset_b, clk, vdd;
10  electrical index, comp, reset_b, clk, vdd;
11  parameter real t_delay = 0;
12  parameter real t_edge = 100p;
13
14  real sar[7:0];
15  integer d_index;
16  genvar i;
17  analog begin
18    d_index = $floor(V(index));
19    @(cross(V(clk)-V(vdd)/2,+1)) begin
20      if (V(reset_b)<V(vdd)/2) begin
21        sar[7]=V(vdd);
22        for(i=0;i<7;i=i+1)
23          sar[i]=0;
24      end
25      else begin
26        sar[d_index]=(V(comp)>V(vdd)/2)*V(vdd);
27        if (d_index >0)
28          sar[d_index-1]=V(vdd);
29      end
30    end
31    for(i=0;i<8;i=i+1)
32      V(out[i])<+transition(sar[i], t_delay, t_edge);
33  end
34
35 endmodule
36

```

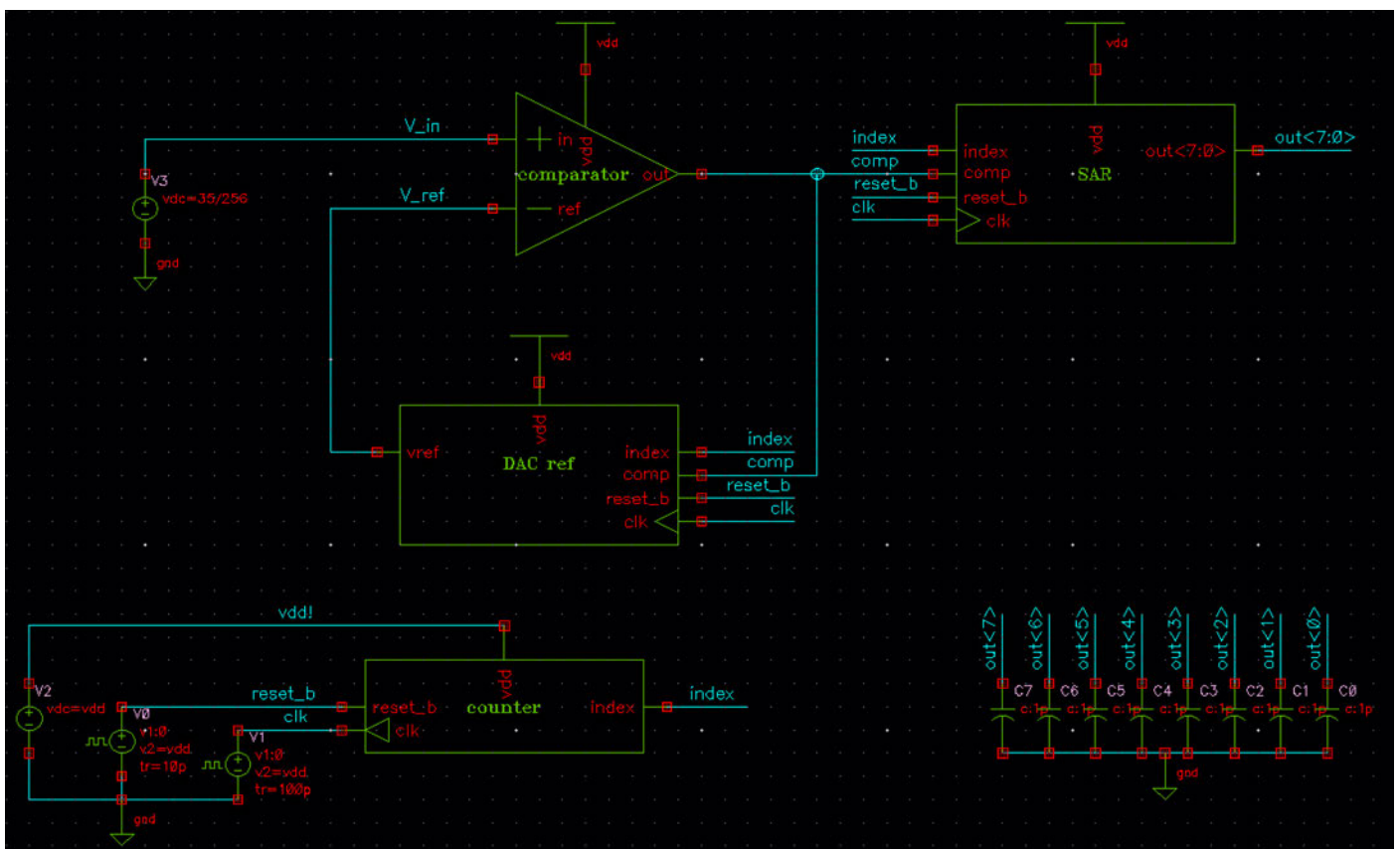
באיפוס הרגיסטר מכויל ל128, ובכל עליית שעון הפעולה הלוגית היא צמצום הטווח לחצי על ידי תוצאת המשווה מהשעון הקודם: אם  $comp=1$  אז הביט נשאר '1' ואחרת מתאפס. דהיינו, התפקיד שלו ב ADC הוא רגיסטר עקיבה רציף אשר מוצא את הערך הדיגיטלי על ידי חיפוש בינארי.

## 2.2. יצירת סימבול

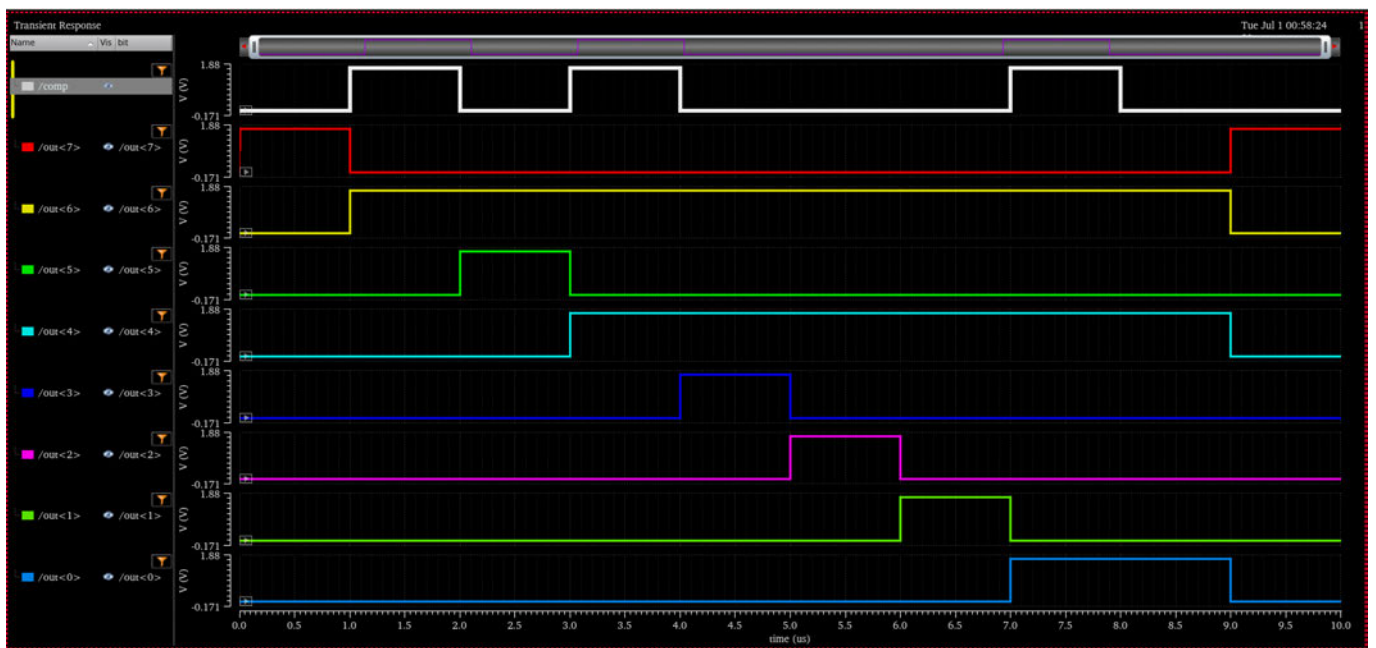
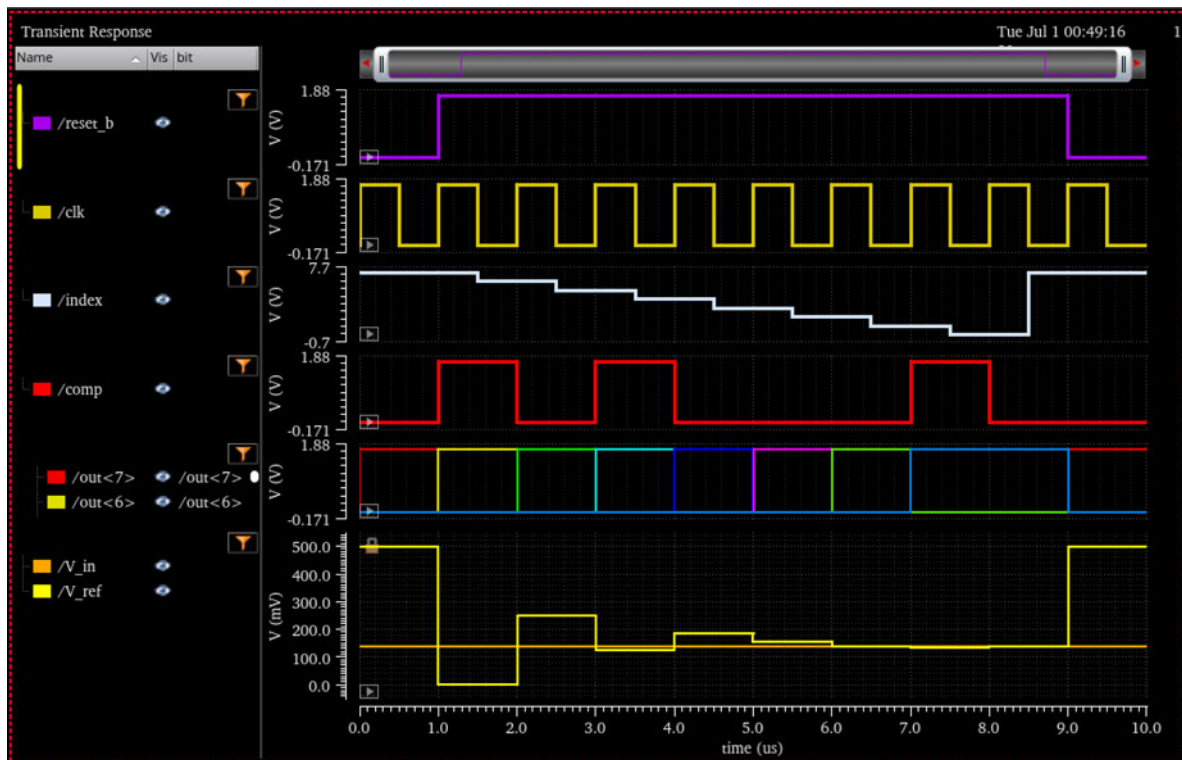
משולש רגיל מסמן דגימה בעליית שעון clk.



## 2.3. יצירת Test bench והרצת סימולציה



הסכמה היא מימוש של מעגל DAC ref כאשר האינדקס המטופל נקבע לפי המונה. בנוסף, יציאת המשווה נכנסת ל SAR ולכן נצפה שיהיה מעקב של הרגיסטר אחרי המשווה. נצפה להתכנסות הרפרנס ושערך הרגיסטר בסיום המחזור יתאים למספר הקבוצה  $G=35$  בהתאם לשיטת החישוב.



## 2.4. ניתוח הסימולציה ביחס לציפיות

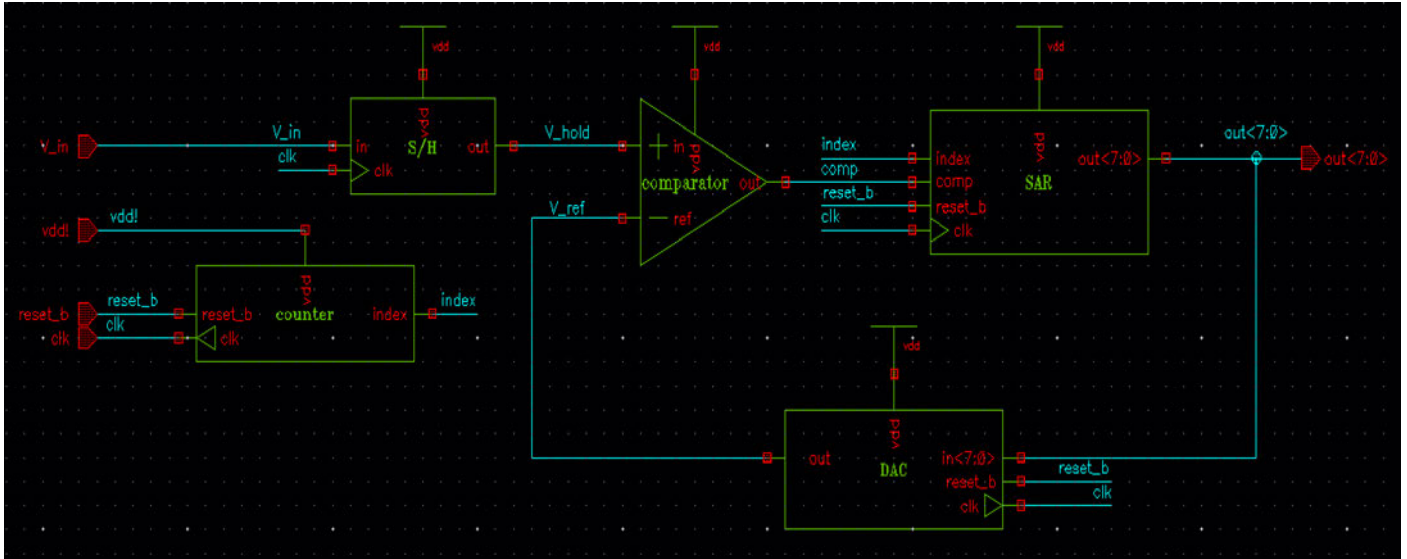
ראשית, ניתן לראות שהשעונים מסונכרנים היטב ויש התכנסות של הרפרנס למבוא. שנית, בגרף הנוסף ניתן לראות בהגדלה את היציאות:

- בריסוט כל ביט מאופס פרט לMSB:  $sar = 10000000$  (פעילות תקינה בירידה הראשונה והאחרונה) והוא עולה ל'1' בעליית שעון בהתאם למונה כמצופה.
- לאחר העלייה כל ביט עוקב אחרי תוצאת המשווה, כנדרש.
- במחזור האחרון, דהיינו כאשר ניתן לדגום את הרגיסטר לפני ריסוט המערכת, מתקבל  $sar = 01010001$ . לפי המשוואה המרכזית ב DAC ref:  $d\_value = d\_value + (2 \cdot (V(comp)/V(vdd)) - 1) \cdot (1 < d\_index)$ , ולכן ההמרה מתוצאת הרגיסטר לערך הדיגיטלי המתקבל היא  $d_{val} = 2^7 + \sum_{i=0}^7 \text{sign}(sar_i - 0.5) \cdot 2^i = 35$  כמצופה.



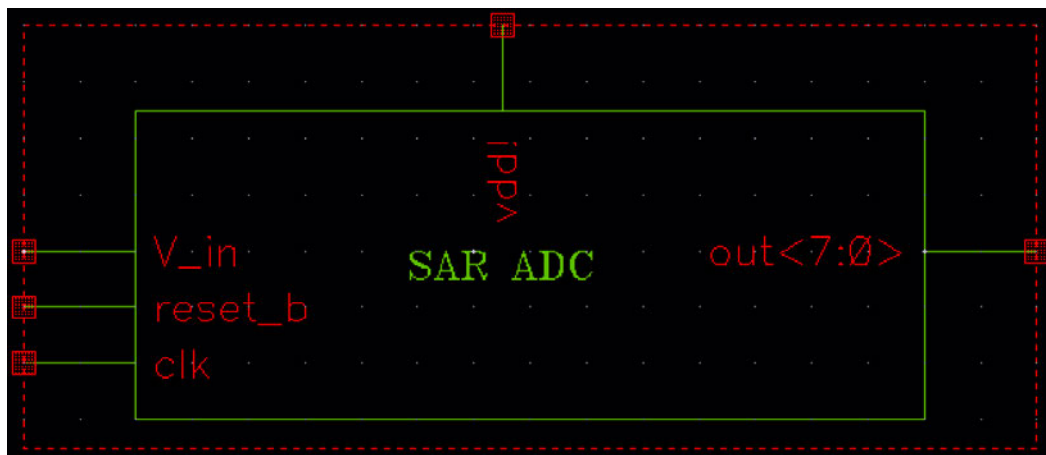
### 3. Successive Approximation ADC

#### 3.1. מימוש סכמתי

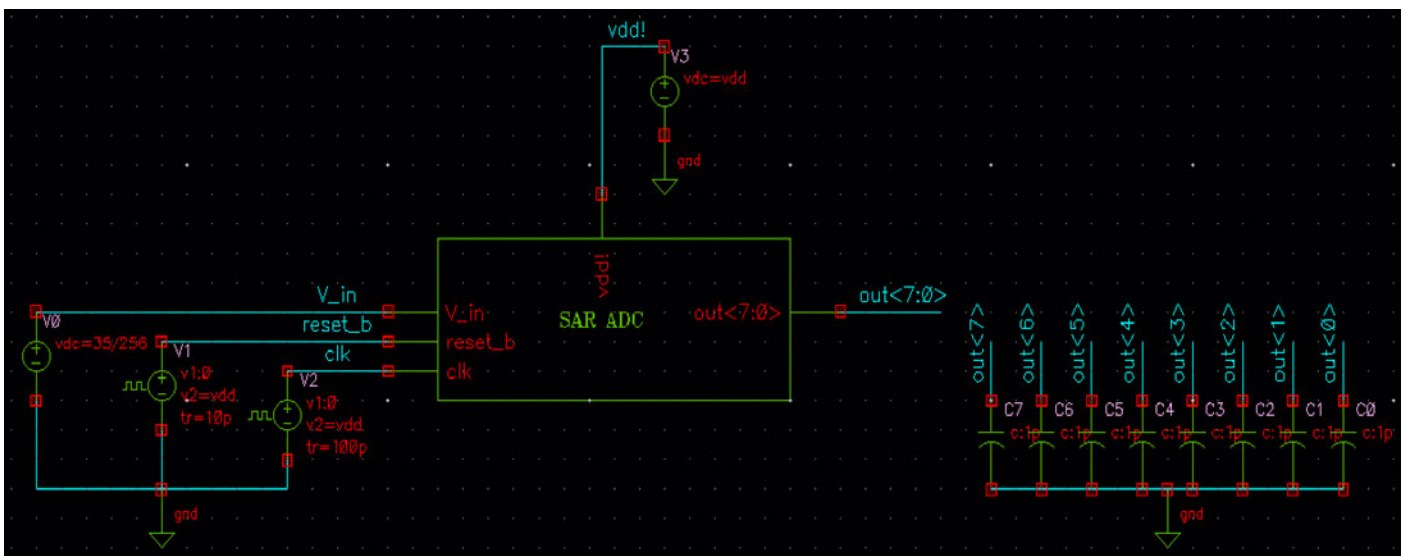


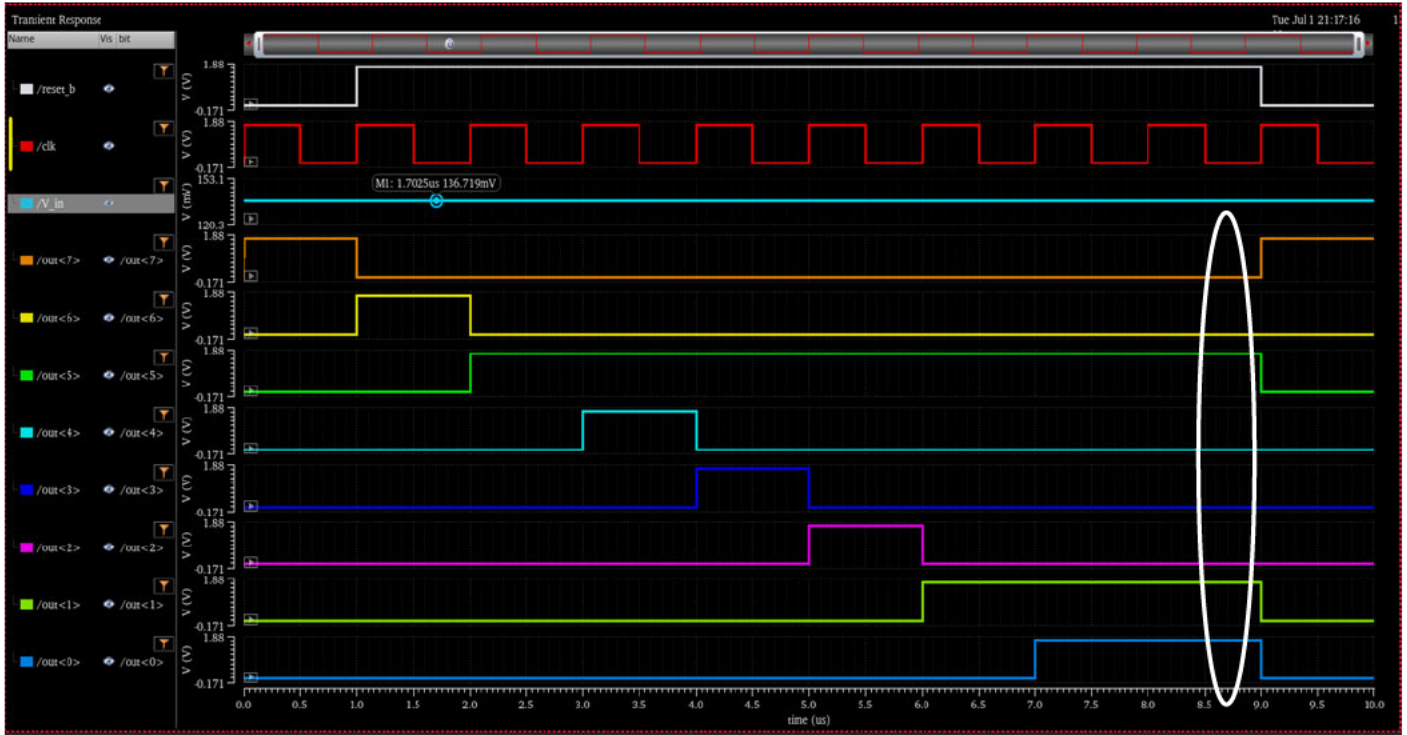
ניתן לראות את המשוב אשר מיישם את החיפוש הבינארי: המרה של הערך הדיגיטלי לאנלוגי -> השוואה -> הלוגיקה של ה SAR מיישמת חיפוש בינארי בהתאם לאינדקס המתקבל מהמונה. נציין כי אמנם S/H דוגם בעליית clk אבל זה רק בגלל שאנחנו בוחנים עבור סיגנל dc, באופן כללי הוא אמור לדגום ולהחזיק בהתאם ל reset\_b שאמור להיות השעון החיצוני של המערכת.

#### 3.2. יצירת סימבול



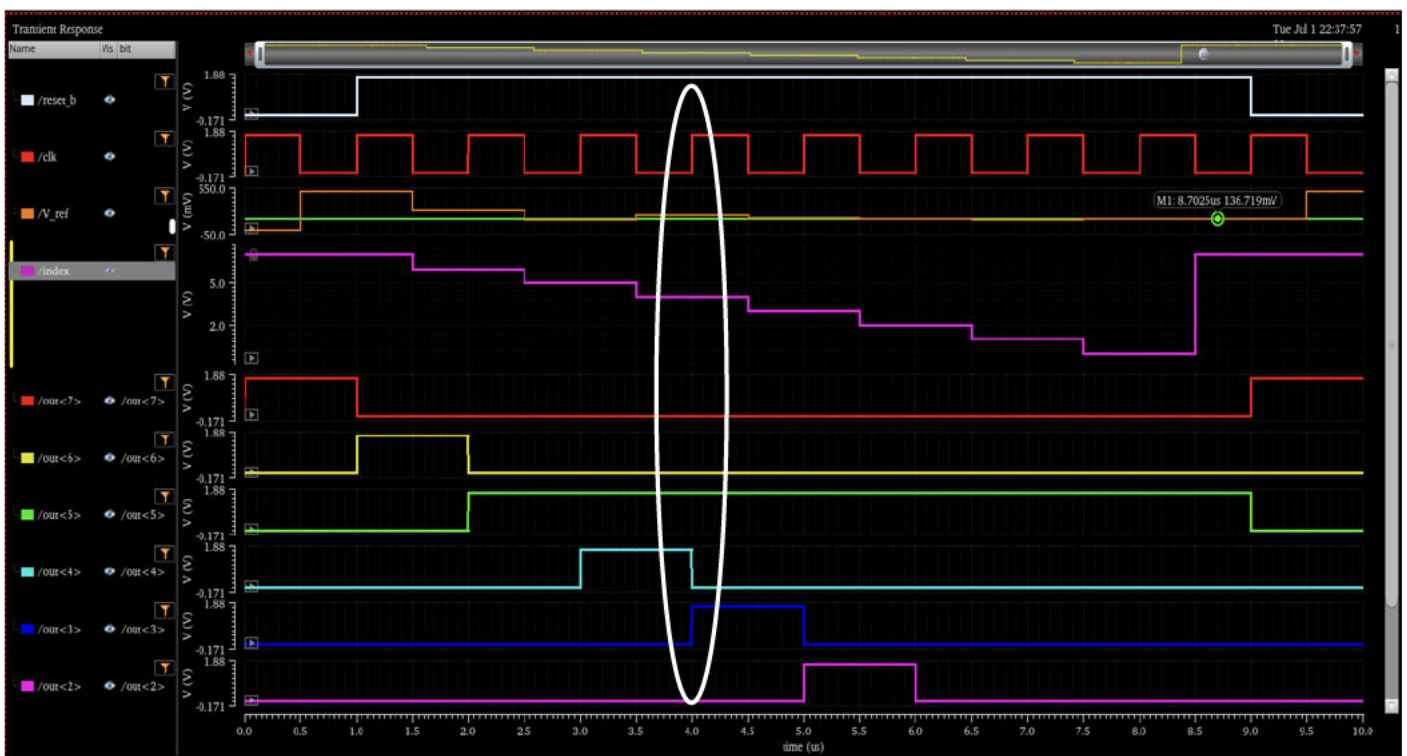
#### 3.3. יצירת Test bench והרצת סימולציה





### 3.4. ניתוח הסימולציה ביחס לציפיות

ניתן לראות שהריסוט עובד היטב, בכל עליית שעון הביט עולה ל'1' ולאחר מכן הערך שלו נקבע בהתאם ללוגיקה של ה SAR (האינדקס נקבע חצי מחזור לפני בירידה). במרקר מסומן הערך האנלוגי בכניסה  $\frac{35}{256} = 0.13671 = 136.71m$  באליפסה (האינדקס נקבע חצי מחזור לפני בירידה). חלבנה ניתן לראות את התוצאה הסופית (לפני ריסוט המערכת)  $out < 7:0 > = [00100011]_2 = [35]_{10}$  כמצופה.



לצורך שלמות ההסבר מצורפת סימולציה כאשר הגדרנו יציאות נוספות:

- ניתן לראות את צורת ההתכנסות של הרפרנס לכניסה.
- באליפסה ניתן לראות: באינדקס מספר 4, בעליית שעון clk שזה בדיוק במחצית זמן האינדקס, out[4] עובר מ'1' ל'0'. בהתאם לכך שהרפרנס גדול מהכניסה, ובנוסף out[3] עולה ל'1' כך שבירידת שעון הבאה הוא יהיה יציב עבור ה DAC אשר בתורו מוציא ערך אנלוגי למשווה, כך שבעליית שעון הבאה באינדקס מספר 3 מוצא המשווה יציב.