

**אוניברסיטת בן גוריון בנגב  
בית הספר להנדסת חשמל ומחשבים  
מעגלים משלבים ומבוא ל VLSI [361.1.3701]**

**עבודה מס' 4: Verilog-A: Successive Approximation ADC**  
**שם הסטודנט: מישון נפתלייב**

**ת'ז:** [REDACTED]

**קבוצה: 35**

**תאריך הגשה: ו' בתמוז תשפ"ה, 1.07.2025**

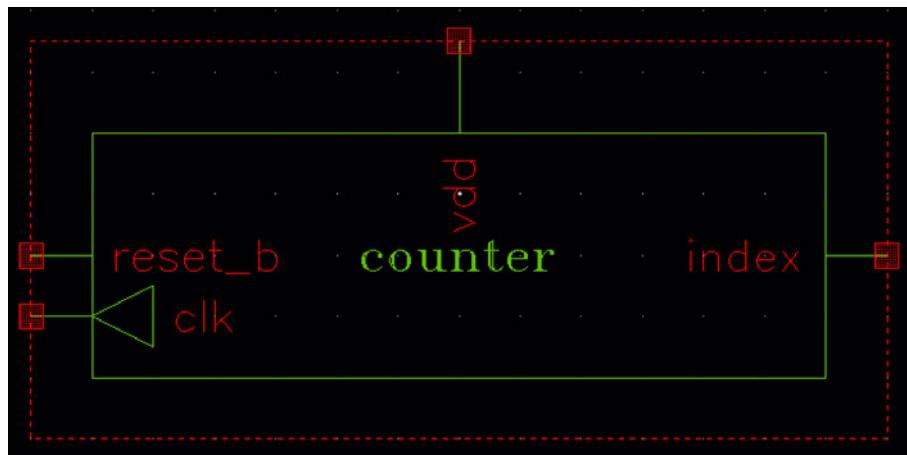
**counter .1**  
מימוש ב verilogA 1.1

```

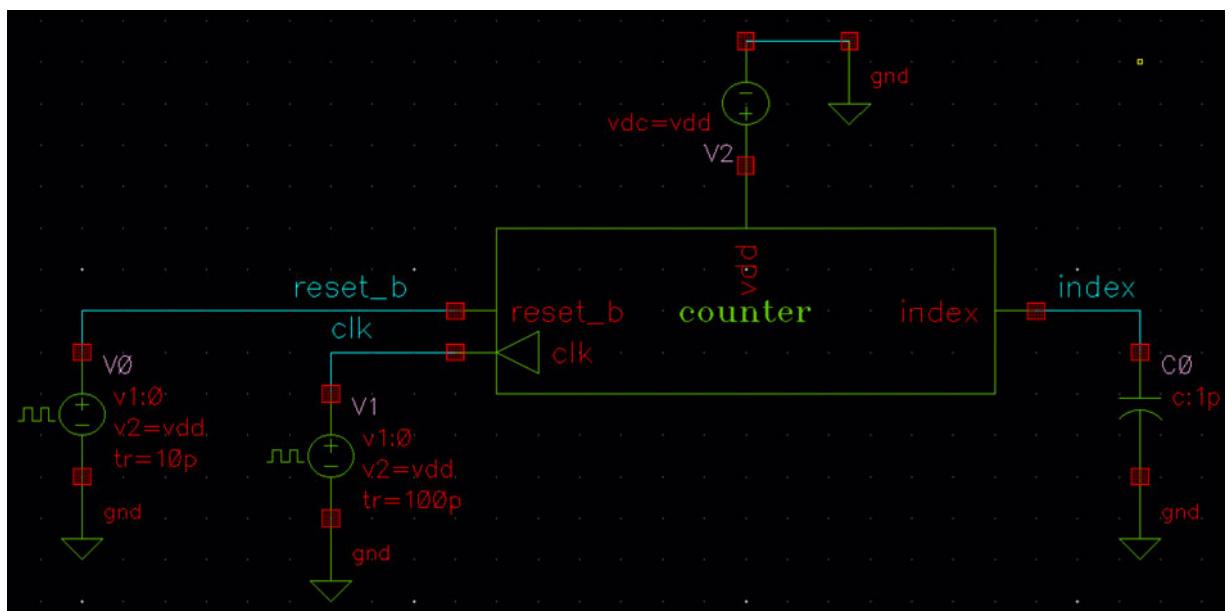
1 // VerilogA for HW4, counter, verilogA
2
3 `include "constants.vams"
4 `include "disciplines.vams"
5
6 module counter(index, reset_b, clk, vdd);
7   output index;
8   input reset_b, clk, vdd;
9   electrical index, reset_b, clk, vdd;
10  parameter real t_delay = 0;
11  parameter real t_edge = 100p;
12
13 integer count;
14 analog begin
15   @(initial_step)
16   count = 7;
17   @(cross(V(clk) - V(vdd)/2, -1)) begin
18     if (V(reset_b) > V(vdd)/2)
19       count = (count + 7) % 8;
20     else
21       count = 7;
22   end
23   V(index) <+ transition(count, t_delay, t_edge);
24 end
25
26 endmodule
27

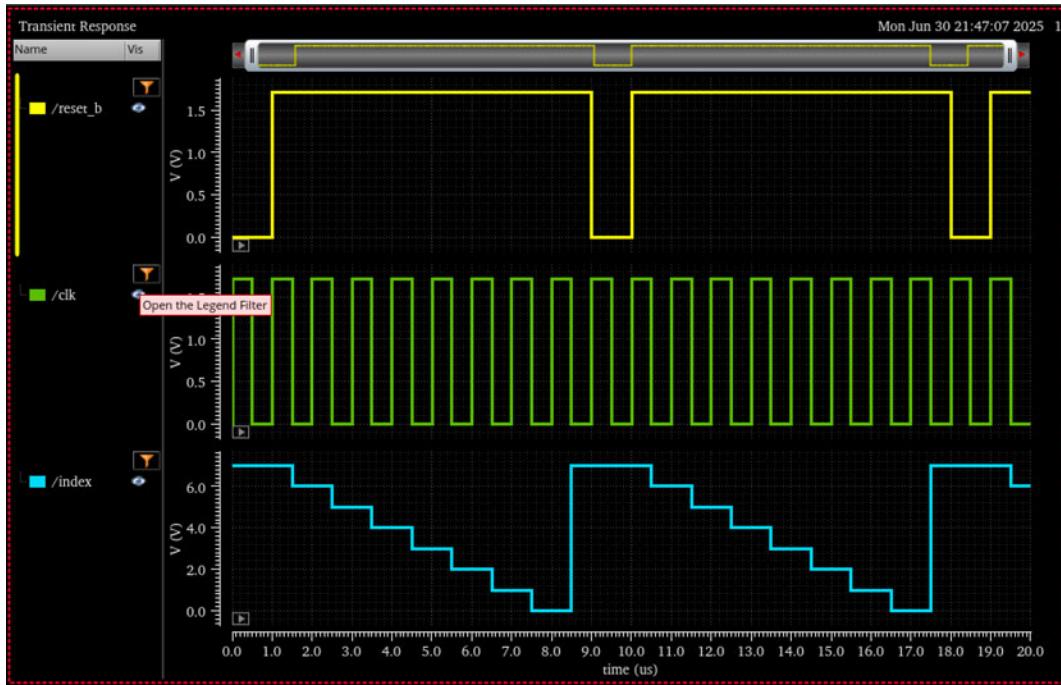
```

המנייה מתבצעת בסדר יורד (7-0) באופן מוחורי, הטריגר הינו ירידת שעון clk, ואם יש אפס אקטיבי (reset\_b) מאלצים counter=7 וחוזר חלילה.  
**1.2. יצירת סימבול**  
משולש הפוך ב clk מסמן דגימה בירידת שעון.



**1.3. יצירת Test bench והרצה סימולציה**





מתקיים  $T_{reset\_b} = 9T_{clk}$  כאשר רוחב הפולס של  $reset\_b$  הוא  $9T_{clk}$ , כך יש לנו 8 מחזוריים עבור הביטים ועוד מחזור עבור רישוט של המערכת. ניתן לראות מנייה תקינה וסynchron בין השעונים כך שאין ריסוט באמצעות מחזור מנייה.

## Successive Approximation Register – SAR .2 .2.1 קידוד ב verilogA

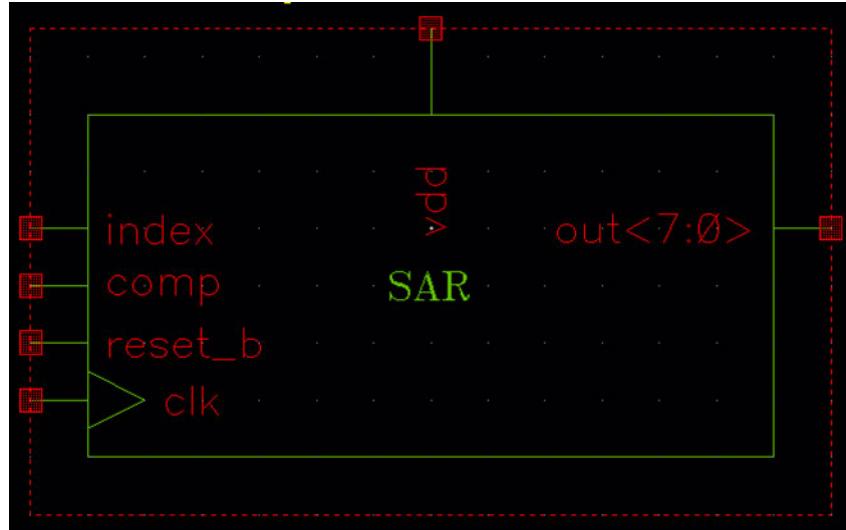
```

1 // VerilogA for HW4, SAR, veriloga
2
3 `include "constants.vams"
4 `include "disciplines.vams"
5
6 module SAR(out, index, comp, reset_b, clk, vdd);
7   output [7:0] out;
8   electrical [7:0] out;
9   input index, comp, reset_b, clk, vdd;
10  electrical index, comp, reset_b, clk, vdd;
11  parameter real t_delay = 0;
12  parameter real t_edge = 100p;
13
14  real sar[7:0];
15  integer d_index;
16  genvar i;
17  analog begin
18    d_index = $floor(V(index));
19    @(cross(V(clk)-V(vdd)/2,+1)) begin
20      if (V(reset_b)<V(vdd)/2) begin
21        sar[7]=V(vdd);
22        for(i=0;i<7;i=i+1)
23          sar[i]=0;
24      end
25      else begin
26        sar[d_index]=(V(comp)>V(vdd)/2)*V(vdd);
27        if (d_index >0)
28          sar[d_index-1]=V(vdd);
29      end
30    end
31    for(i=0;i<8;i=i+1)
32      V(out[i])<+transition(sar[i], t_delay, t_edge);
33  end
34
35 endmodule
36

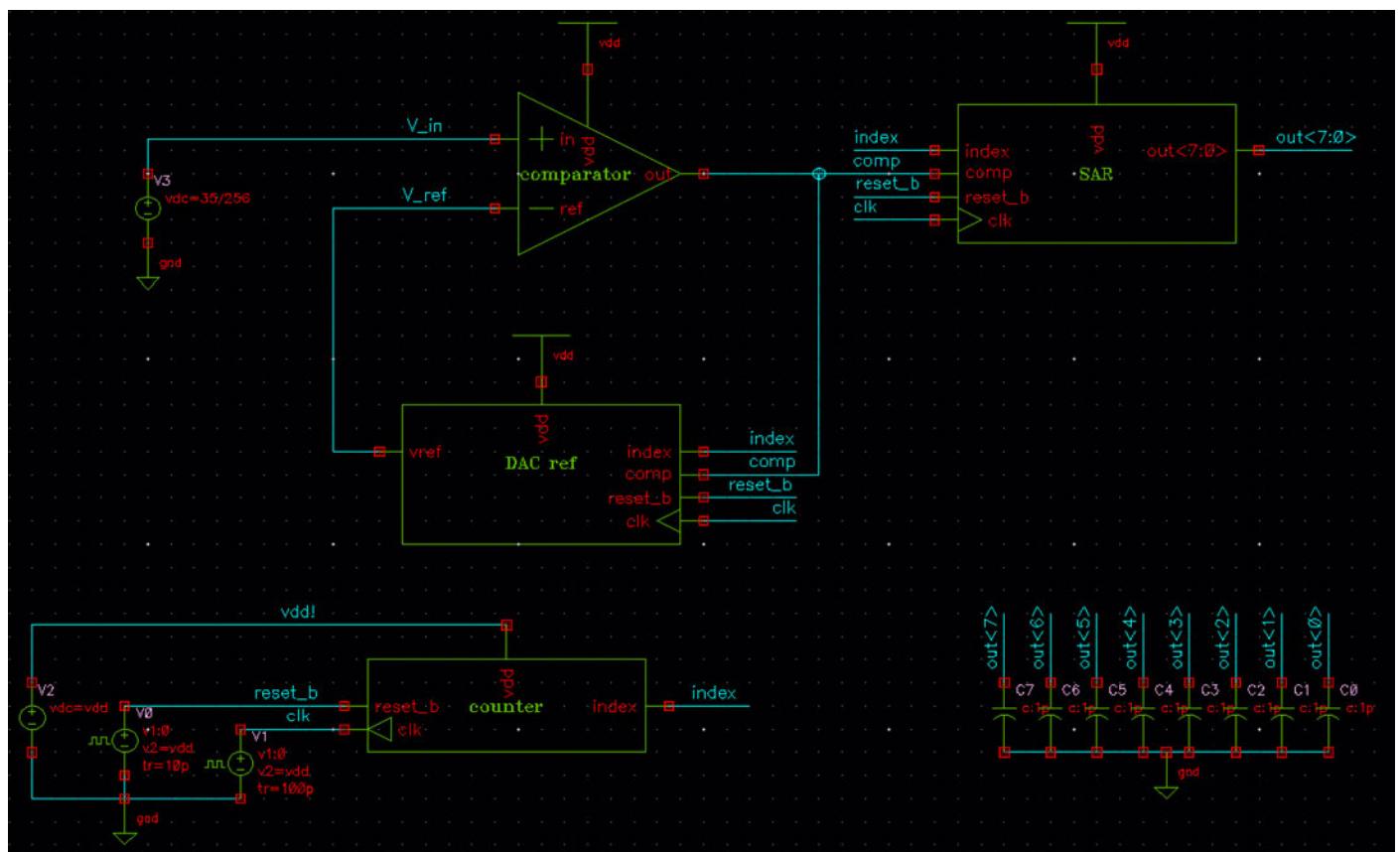
```

באיפוס הרגיסטר מכoil ל-128, ובכל עליית שעון הפעולה הלוגית היא מצומצם הטוויה לחצי על ידי תוצאה המשווה מהשעון הקודם : אם  $comp=1$  אז הביט נשאר '1' ואחרת מתאפס. דהיינו, התפקיד שלו ב ADC הוא רגיסטר עקיבה רציף אשר מוצאת הערך הדיגיטלי על ידי חיבור ביןاري.

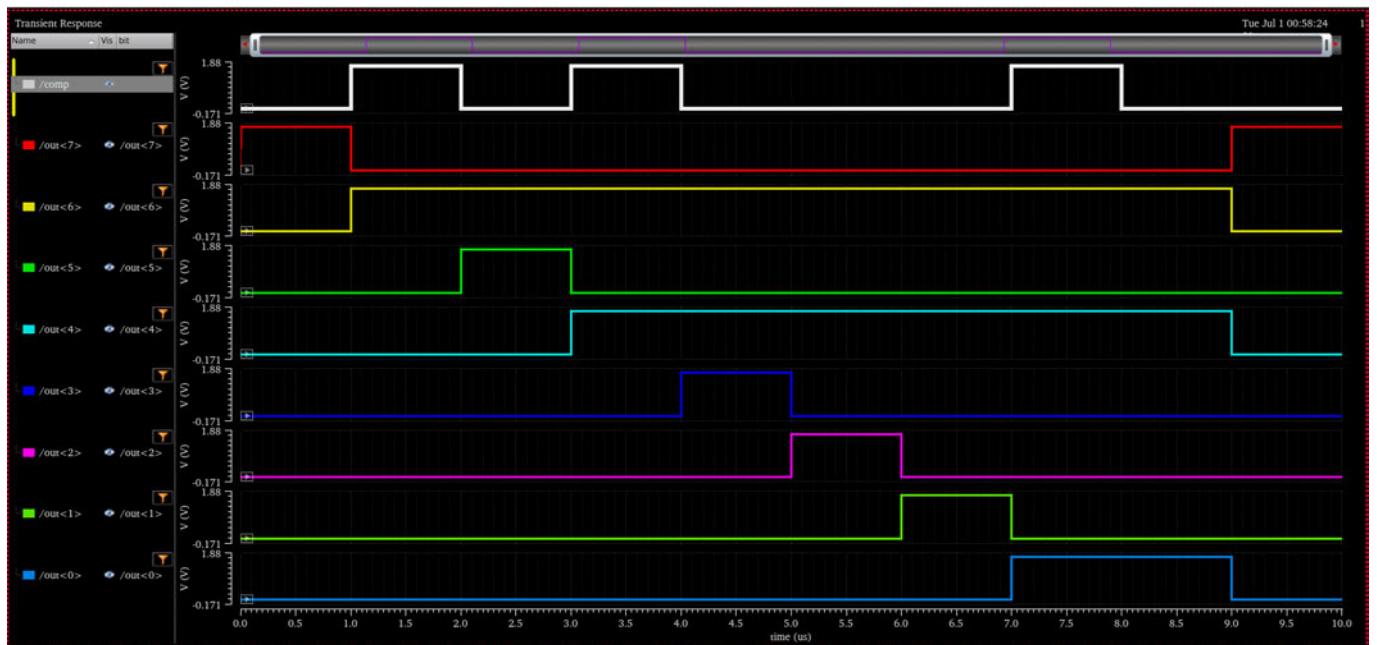
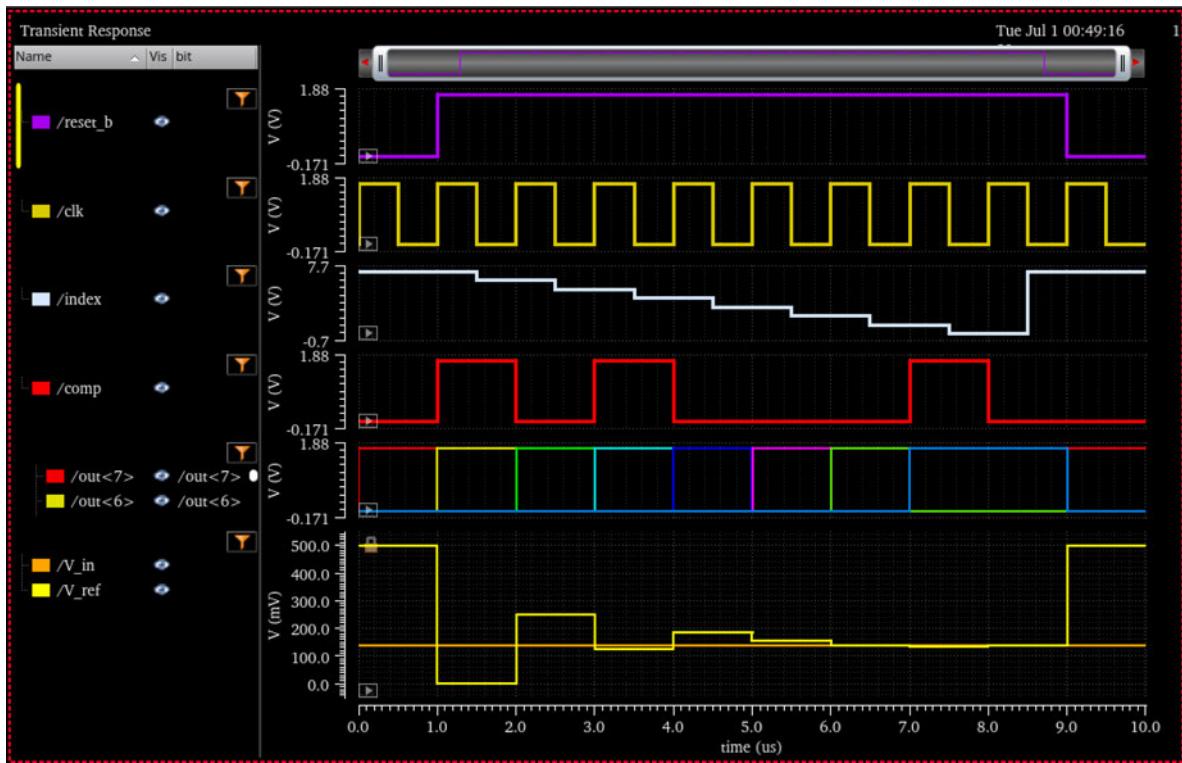
## 2.2. ייצור סימבול משולש רגיל מסמן דגימה בעליית שעון clk.



## 2.3. ייצור Test bench והרצה סימולציה



הסכמה היא מימוש של מעגל DAC ref כאשר האינדקס המתוול נקבע לפי המונה. בנוסף, יציאת המשווה נכנסת ל-SAR ולכון נצפה שהיא מעקב של הרוגיסטר אחרי המשווה. נצפה להתקנסות הרפרנס וושערך הרוגיסטר בסיום המוחזר יתאים במספר הקבועה 35 בהתאם לשיטת החישוב.



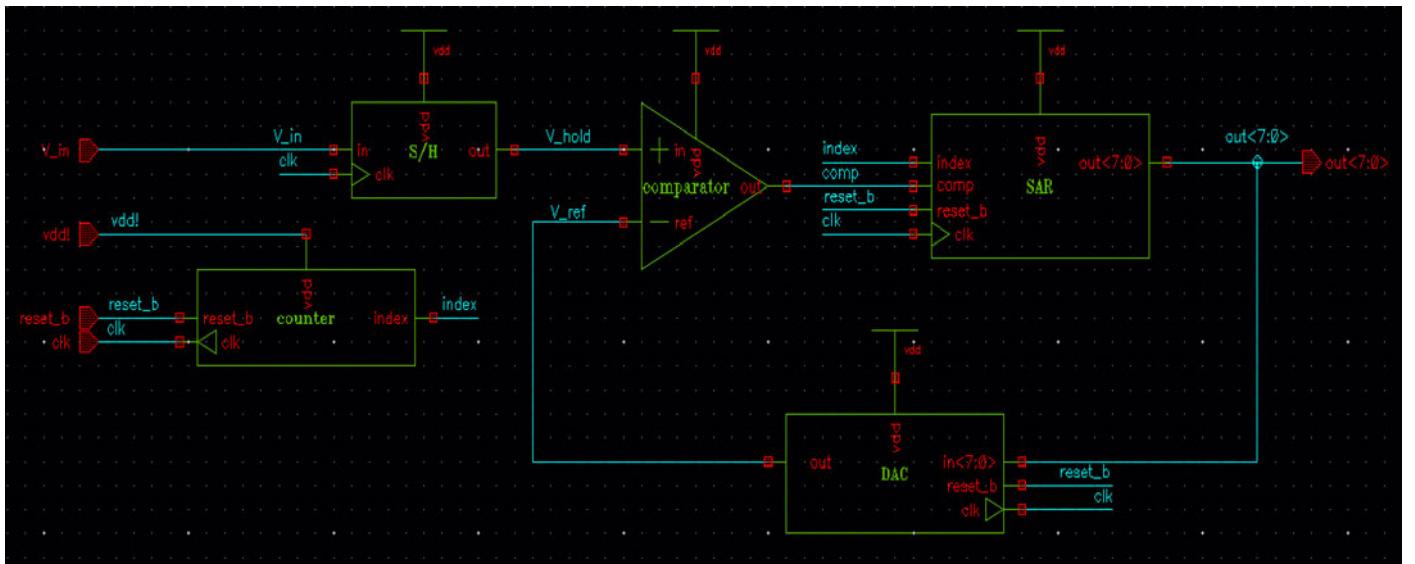
#### 2.4. ניתוח הסימולציה ביחס לציפויות

ראשית, ניתן לראות שהשעונים מסונכרנים היטב ויש הוכנסות של הרפרנס למבוא. שנית, בגרף הנוסף ניתן לראות בהגדלה את היציאות:

- ברישוט כל בית מאופס פרט לMSB :  $sar = 10000000$  (פעילות תקינה בירידה הראשונה והאחרונה) והוא עולה ל' 1, בעלייה שעון בהתאם למונח כמצופה.
- לאחר העלייה כל בית עוקב אחרי תוכנת המשווה, כנדרש.
- במחזור האחרון, דהיינו כאשר ניתן לדגום את הרגיסטר לפני ריסוט המערכת, מתקבל  $sar = 01010001$ . לפיכך המשוואה המרכזית ב :DAC ref  $= DAC \text{ ref} * (1 << d\_index) + 2 * (V(\text{comp})/V(vdd)) - 1$ .
- המשוואה מתקבלת מהרזה מהתוצאת הרגיסטר לערך הדיגיטלי המתkeletal  $d\_val = 2^7 + \sum_{i=0}^7 \text{sign}(sar_i - 0.5) \cdot 2^i = 35$  כמצופה.

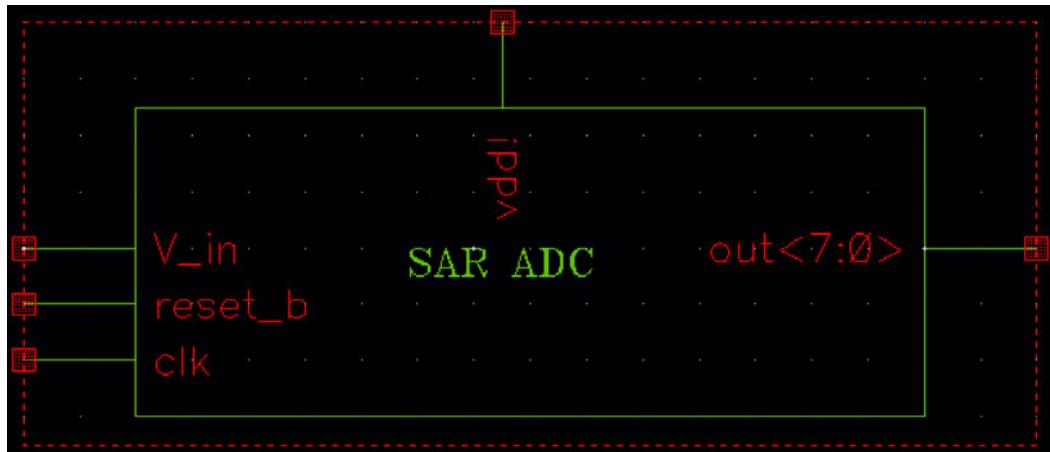
## Successive Approximation ADC .3

### 3.1. מימוש סכמטי

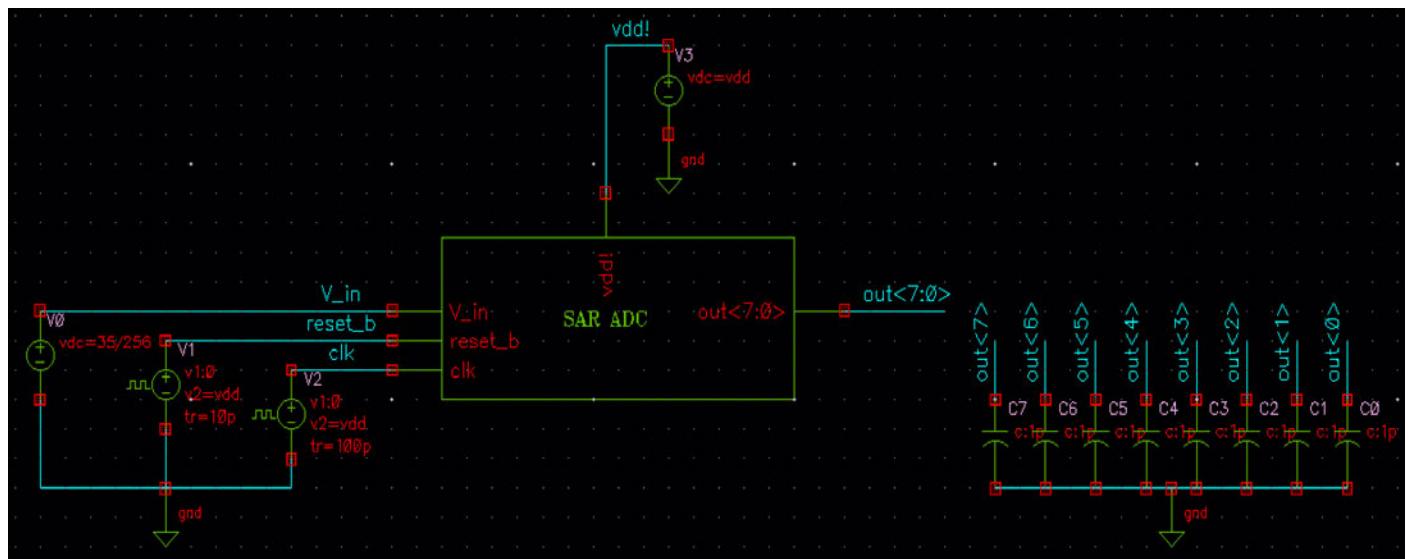


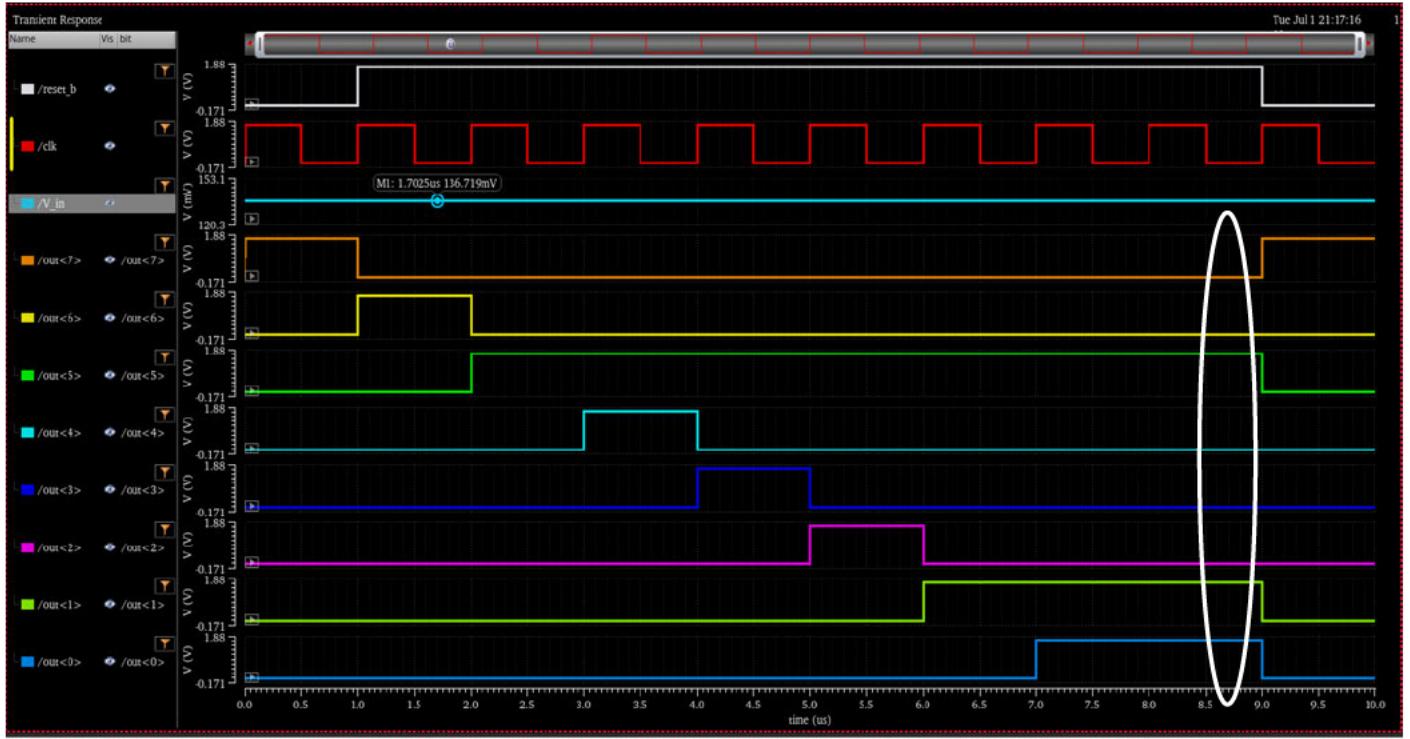
ניתן לראות את המשוב אשר מיישם את החיפוש הבינארי: המורה של הערך הדיגיטלי לאנלוגי -> השוואה -> הלוגיקה של SAR מיישמת חיפוש ביניاري בהתאם לאיינדקס המתתקבל מהמוניה. נציין כי אמנס H/S דוגם בעליית clk אבל זה רק בגלל שאנו בוחנים עבור סיגנל dc, באופן כללי הוא אמרור לדגום ולהחזיק בהתאם ל  $reset\_b$  שאמור להיות השעון החיצוני של המערכת.

### 3.2. ייצור סימבול



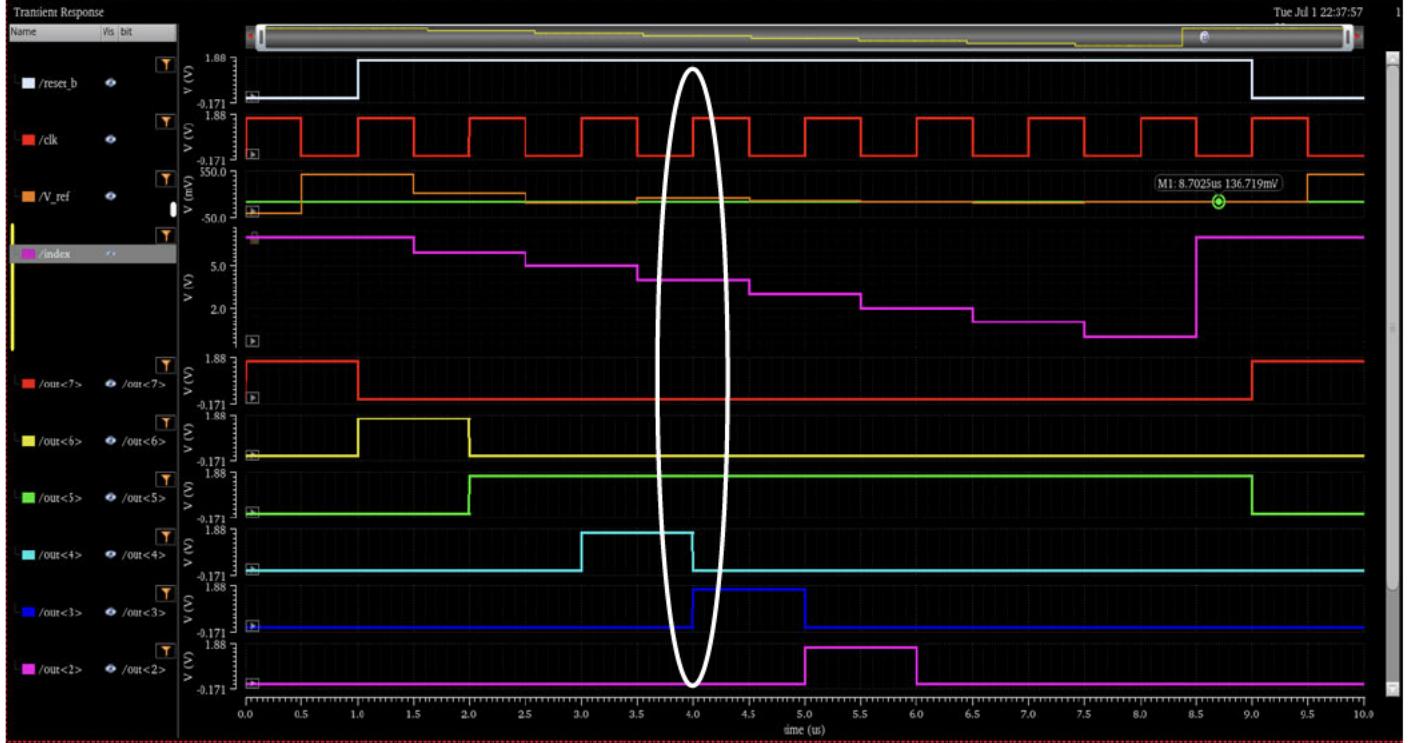
### 3.3. ייצור והרצת סימולציה Test bench





### 3.4. ניתוח הסימולציה ביחס לציפיות

ניתן לראות שההרטיסות עובד היטב, בכל עלייה שעון הביט עולה ל-1, ולאחר מכן הערך שלו נקבע בהתאם לוגיקה של ה-SAR (האינדקס נקבע חצי מחזור לפני בירידה). במרקם מסומן הערך האנלוגי בכניסה  $m = 136.71 = \frac{35}{256}$ , באלipsה הלבנה ניתן לראות את התוצאה הסופית (לפni ריסוט המערכת)  $[out < 7:0>] = [35]_{10} = [00100011]_2$ , כמצופה.



לצורך שלמות ההסבר מצורפת סימולציה כאשר הגדרנו יציאות נוספות:

- ניתן לראות את צורת התחכחות של הרפרנס לכניסה.
- באלipsה ניתן לראות: באינדקס מספר 4, בעליית שעון `/clk` שזה בדיק במחצית זמן האינדקס, `[out[4]]` עבר מ-1' ל-0' בהתאם לכך שהרפרנס גדול מהכניסה, ובנוסף `[out[3]]` עולה ל-1' כך שבירידת שעון הבאה הוא יהיה יציב עבור ה-DAC אשר בתווך מוציא ערך אנלוגי למשווה, כך שבעלית שעון הבאה באינדקס מספר 3 מוצאת המשווה יציב.