

1. (za 4 body) Najděte MNDF funkce $F(A, B, C)$, která je zadána jednotkovou krychlí. Vyplněné kolečko znázorňuje log. 1, neoznačený vrchol znázorňuje log. 0
2. (za 6 bodů) Metodou Quine-McCluskey nalezněte všechny výrazy MNKF funkce $F(a,b,c,d)$ zadané následovně: 0:(6, 8, 9, 10, 13, 14, 15), 1:(0, 1, 3, 4, 5, 11, 12). Pomocí Petrikovy funkce nalezněte všechna minimální řešení dané funkce. Kritériem minimality je počet písmen proměnných ve výrazu.
3. (za 6 bodů) Vytvořte pomocí 3-bitového binárního dekodéru s výstupy aktivními v log. 1 a logického členu OR funkcí F definovanou jako:

$$F(a, b, c) = \Pi M(0,2,4,6,7)$$
 Nakreslete výsledné schéma zapojení.
4. (za 5 bodů) Nakreslete pravdivostní tabulku derivačního klopného obvodu typu T s povolovacím vstupem CE a doplňte časový průběh výstupního signálu Q tohoto obvodu. Počáteční hodnota signálu Q je log. 0.
5. V uvedeném slovníku přechodů označte chybné pozice a nahraďte je správnými hodnotami.
6. Mějme zadánu tabulku přechodů automatu se vstupem A a výstupem Y. Automat je inicializován do počátečního stavu s kódem "00". Do vyhrazeného prostoru nakreslete graf automatu a určete jeho typ (Mealyho nebo Moorův). Pozn.: Za platné stavy považujeme jen ty, do kterých automat může přejít z počátečního stavu.
7. (za 7 bodů) Navrhněte synchronní obousměrný tříbitový čítač, který pracuje dle uvedeného grafu (stavy čítače jsou Q2Q1Q0). Směr čítání určuje sygnál Y. Pokud $Y=0$, potom čítač čítá dolů. Pokud $Y=1$, potom čítač čítá nahoru. Pro realizaci použijte KO typu JK. Odvoďte MNDF pouze pro vstup J0. Do volného prostoru napište nejen výsledek, ale i postup řešení.
8. (za 6 bodů) Do vyhrazeného prostoru nakreslete asynchronní čítač modulo 10 složený z klopných obvodů typu JK.
9. (za 5 bodů) Uvažujte princip, jakým technologie FPGA realizuje logické funkce, jejichž počet proměnných převyšuje schopnosti základního hradla (funkčního generátoru v konfiguraci LUT). Nakreslete schéma, které uvedený princip depomonstruje na příkladu realizace logické funkce o pěti proměnných s využitím LUT komponent podpoujících pouze 4 vstupní proměnné (viz obrázek). Jakou komponentu (kromě LUT) budete potřebovat pro tvorbu složitější logické funkce?....
10. (za 5 bodů) Poznejte funkci obvodu popsaného ve VHDL. O jaký obvod se jedná?

```

process(in1, in 3)
  variable r : std_logic_vector(3 downto 0);
begin
  if (in1'event and in1='1') then
    r := in2 & r(3 downto 1);
  end if;
  y <= r(0);
end process;

```