

Университет ИТМО
Кафедра вычислительной техники
Основы вычислительной техники

ЛАБОРАТОРНАЯ РАБОТА №7
Синтез команд БЭВМ

Группа Р3102
Вариант №25

Работу выполнил студент
Коков Алексей Тимурович

2018 г.

Цель работы

Практическое освоение принципов микропрограммирования и разработки адресных и безадресных команд.

Задание

Синтезировать цикл исполнения для выданных преподавателем команд. Предложить mnemonic обозначение команды, объяснить его. Разработать тестовые программы, которые проверяют каждую из синтезированных команд. Загрузить в микропрограммную память БЭВМ циклы исполнения синтезированных команд, загрузить в основную память БЭВМ тестовые программы. Проверить и отладить разработанные тестовые программы и микропрограммы.

Условие

1. ROL X - циклический сдвиг аккумулятора влево на X разрядов, количество сдвигов содержится в коде команды. Установить признаки N/Z согласно результату.
2. Код операции - FC0X.
3. Тестовая программа должна начинаться с адреса 0256₁₆.

Реализация цикла исполнения

Адрес МП	Микрокоманды	Действие	Комментарии
E0	E990	IF BIT(9; PK)=1 THEN GOTO ПРЕ(90)	Установка того, что команда - FC00.
E1	E890	IF BIT(8; PK)=1 THEN GOTO ПРЕ(90)	
E2	80E5	IF BIT(0, PC) = 0 THEN (E5)	Сохранение текущего состояния флага переноса для его последующего восстановления.
E3	0040	0 + 0 + 1 → БР	
E4	83E6	GOTO (E6)	
E5	0000	0 → БР	
E6	4002	БР → РД	Проверка на положительность X, если X>0, то осуществляем сдвиг, иначе записываем
E7	E3F0	IF BIT(3; PK)=1 THEN (F0)	
E8	E2F0	IF BIT(2; PK)=1 THEN (F0)	
E9	E1F0	IF BIT(1; PK)=1 THEN (F0)	
EA	E0F0	IF BIT(0; PK)=1 THEN (F0)	
EB	D0EE	IF BIT(0, РД) = 1 THEN (EE)	

EC	4080	0 → C	сохраненный флаг переноса и осуществляем переход к прерыванию.
ED	83EF	GOTO (EF)	
EE	40C0	1 → C	
EF	8390	GOTO ПРЕ(90)	
F0	FFF2	IF BIT(15, AK) = 1 THEN (F3)	Приравниваем флаг переноса к последнему биту аккумулятора (как если бы у нас не было 17-го бита).
F1	4080	0 → C	
F2	83F4	GOTO (F4)	
F3	40C0	1 → C	
F4	0008	RAL(A) → БР	Циклический сдвиг влево.
F5	4075	БР → A, C, N, Z	
F6	0240	РК – 1 → БР	Отнятие 1 от X и возвращение в начало «цикла» для проверки.
F7	4003	БР → РК	
F8	83E2	GOTO (E2)	

Тестовая программа

ORG 256

DIG1: WORD FF32 ; Ячейка с изначальным числом 1
DIG1X: WORD 0000 ; Результат работы ROL X (умножение на X)
DIG1Y: WORD 0000 ; Результат обычной работы
RES: WORD 0000 ; Показатель корректности работы команды

FLAG_RES: WORD 0000
 MOV DIG1Y
 CLA
 CLC
 ADD DIG1Y
 BPL CONT
 CMC
CONT: BR (FLAG_RES)

BEGIN: CLA
 ADD DIG1 ; Выполнение команды ROL 2 и запись в
 ROL 2 ; выделенную под результат ячейку
 MOV DIG1X
 CLA
 ADD DIG1
 JSR FLAG_RES
 ROL
 JSR FLAG_RES
 ROL

```

MOV DIG1Y
CLA

ZCHECK1:  ADD DIG1Y      ; Проверка на правильность установки флага Z
          BEQ ZCHECK2    ; если результат привычной программы
          BR NCHECK      ; не равен 0, то переход на проверку флага N

ZCHECK2:  CLA           ; Проверка
          ADD DIG1X      ; Если флаг установлен правильно, то запись 1
          BEQ TRUE       ; если нет, то останов
          BR END

NCHECK1:  BMI NCHECK2_M  ; Проверка флага N
          BR NCHECK2_P

NCHECK2_M: CLA          ; Если результат привычной программы отриц.,
          ADD DIG1X      ; то проверка результата ROL 2 на отрицательность
          BMI EQCHECK
          BR END

NCHECK2_P: CLA          ; Если результат привычной программы полож.,
          ADD DIG1X      ; то проверка результата ROL 2 на положительность
          BPL EQCHECK
          BR END

EQCHECK:  CLA           ; Проверка на равенство результатов
          ADD DIG1X
          SUB DIG1Y
          BEQ TRUE
          BR END

TRUE:     CLA           ; Запись 1 в выделенную под хранение
          INC           ; показателя правильности работы команды ячейку
          MOV RES

END:      HLT

```

Таблица трассировки

<i>Исходные данные: команда 258 ROL 1, код команды FC01</i>											
СчМК до выборки МК	Содержимое памяти и регистров процессора перед циклом исполнения команды										
	РМК	СК	РА	РК	РД	А	С	БР	N	Z	СчМК
	EC5E	259	258	FC01	FC01	0032	0	0FC01	0	0	5E

<i>Исполнение команды</i>											
5E	AB61	259	258	FC01	FC01	0032	0	0FC01	0	0	5F
5F	AA6C	259	258	FC01	FC01	0032	0	0FC01	0	0	60
60	83E0	259	258	FC01	FC01	0032	0	00080	0	0	E0
E0	E990	259	258	FC01	FC01	0032	0	0FC01	0	0	E1
E1	E890	259	258	FC01	FC01	0032	0	0FC01	0	0	E2
E2	80E5	259	258	FC01	FC01	0032	0	00080	0	0	E5
E5	0000	259	258	FC01	FC01	0032	0	00000	0	0	E6
E6	4002	259	258	FC01	0000	0032	0	00000	0	0	E7
E7	E3F0	259	258	FC01	0000	0032	0	0FC01	0	0	E8
E8	E2F0	259	258	FC01	0000	0032	0	0FC01	0	0	E9
E9	E1F0	259	258	FC01	0000	0032	0	0FC01	0	0	EA
EA	E0F0	259	258	FC01	0000	0032	0	0FC01	0	0	F0
F0	FFF3	259	258	FC01	0000	0032	0	00032	0	0	F1
F1	4080	259	258	FC01	0000	0032	0	00000	0	0	F2
F2	83F4	259	258	FC01	0000	0032	0	00080	0	0	F4
F4	0008	259	258	FC01	0000	0032	0	00064	0	0	F5
F5	0008	259	258	FC01	0000	0064	0	00064	0	0	F6
F6	0240	259	258	FC01	0000	0064	0	0FC00	0	0	F7
F7	4003	259	258	FC00	0000	0064	0	0FC00	0	0	F8
F8	83E2	259	258	FC00	0000	0064	0	00080	0	0	E2
E2	80E5	259	258	FC00	0000	0064	0	00080	0	0	E5
E5	0000	259	258	FC00	0000	0064	0	00000	0	0	E6
E6	4002	259	258	FC00	0000	0064	0	00000	0	0	E7
E7	E3F0	259	258	FC00	0000	0064	0	0FC00	0	0	E8
E8	E2F0	259	258	FC00	0000	0064	0	0FC00	0	0	E9
E9	E1F0	259	258	FC00	0000	0064	0	0FC00	0	0	EA
EA	E0F0	259	258	FC00	0000	0064	0	0FC00	0	0	EB
EB	D0EE	259	258	FC00	0000	0064	0	00000	0	0	EC
EC	4080	259	258	FC00	0000	0064	0	00000	0	0	ED
ED	83EF	259	258	FC00	0000	0064	0	00080	0	0	EF
EF	8390	259	258	FC00	0000	0064	0	00080	0	0	90