

UNIVERSITI MALAYA
UNIVERSITY OF MALAYA

PEPERIKSAAN IJAZAH SARJANA MUDA SAINS KOMPUTER
EXAMINATION FOR THE BACHELOR DEGREE OF COMPUTER SCIENCE

SESI AKADEMIK 2022/2023 : SEMESTER I
ACADEMIC SESSION 2022/2023 : SEMESTER I

WIA 2009 : REKABENTUK DIGITAL DAN BAHASA PERIHALAN PERKAKASAN
DIGITAL DESIGN AND HARDWARE DESCRIPTION LANGUAGE

Jan 2023
Jan 2023

Masa: 2 jam
Time: 2 hours

ARAHAN KEPADA CALON :
INSTRUCTIONS TO CANDIDATE:

Jawab **SEMUA** soalan (50 markah).
*Answer **ALL** questions (50 marks).*

(Kertas soalan ini mengandungi 4 soalan dalam 7 halaman yang dicetak)
(This question paper consists of 4 questions on 7 printed pages)

1. Gunakan nombor matrik anda (tanpa digit bertindan).

Using your new matric number (no redundant digit).

- a) Binakan jadual kebenaran dengan menyatakan, sebarang digit dalam nombor matrik akan menghasilkan keluaran logik 1 manakala selainnya logik 0.

Create a truth table with condition, any digit in matric numbers will give output logic 1 and other digits get logic 0.

(2 markah/marks)

- b) Berdasarkan jadual kebenaran dari (a),

Based on truth table from (a),

- i. Tuliskan **senibina gaya perihalan** lengkap bagi ENTITY yang melaksanakan fungsi yang ditunjuk oleh jadual kebenaran. Masukan dan keluaran adalah jenis `std_logic`.

*Write a complete **behavioral style architecture** of an ENTITY that accomplishes the function showed by the truth table. The inputs and outputs are `std_logic` type.*

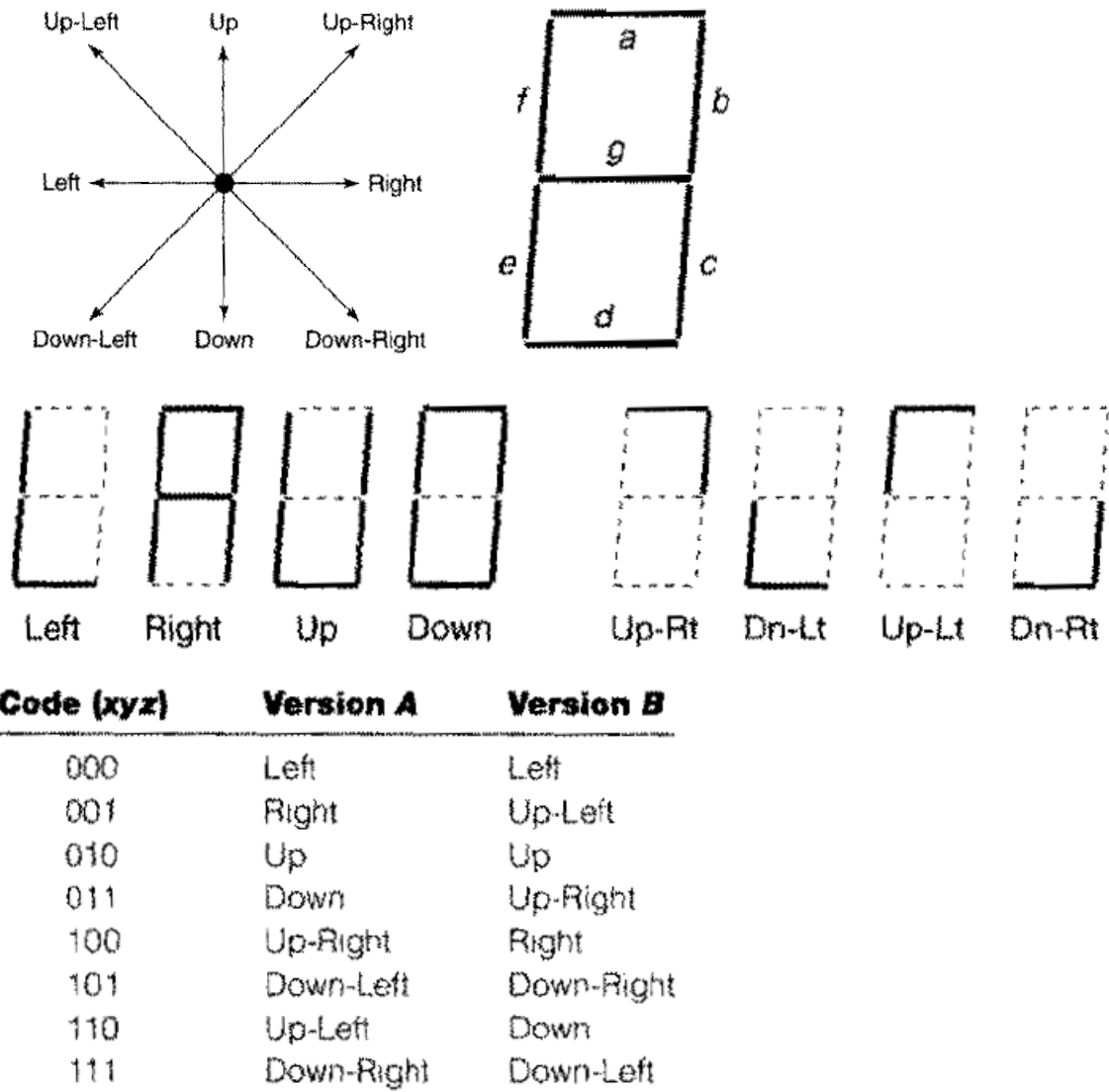
- ii. Tuliskan kod *testbench* dan dapat bentuk gelombang menggunakan Modelsim.

Write a testbench code and get the waveform using Modelsim.

(8 markah/marks)

2. Rekabentuk sebuah penyahkod yang boleh memacu keluaran LED segmen 7 seperti ditunjukkan dalam Rajah 1. Penyahkod tersebut mempunyai empat bit masukan di mana MSB (w) adalah pemilih keluaran samada versi A (MSB (w) = '0') atau B (MSB (w) = '1'). Tiga bit selebihnya (xyz) menunjukkan salah satu arah daripada lapan arah (rujuk Rajah 1). Keluaran bagi LED segmen 7 mesti mematuhi jujukan "abcdefg" di mana 'a' adalah MSB. Logik 1 (garis tebal) pada garis 'g', sebagai contoh, 'g' bercahaya.

Design a decoder that able to drive 7 segment LED output as shown in Figure 1. The decoder has four bit inputs where the MSB (w) is the selector to select either Version A (MSB = '0') or B (MSB = '1') output. Another three bit number (xyz) indicating one of the eight directions (as shown below). The output for the 7 segment LED must follow the sequence of "abcdefg" where 'a' is the MSB. A logic 1 (bold line) on line g, for example, lights segment g.



Rajah 1

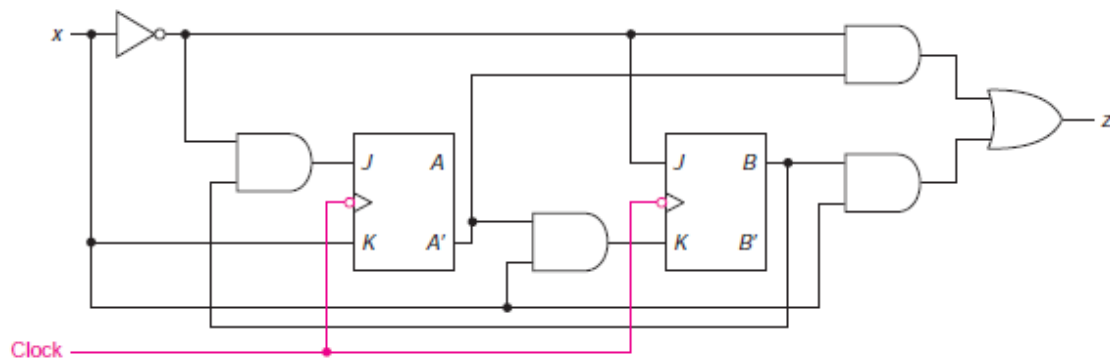
Figure 1

W Version A: 0 Version B: 1	X	Y	Z	a	b	c	d	e	f	g
0	0	0	0	0	0	0	1	1	1	0
0	0	0	1							
0	0	1	0							
0	0	1	1							
0	1	0	0							
0	1	0	1							
0	1	1	0							
0	1	1	1							
1	0	0	0	0	0	0	1	1	1	0
1	0	0	1							
1	0	1	0							
1	0	1	1							
1	1	0	0							
1	1	0	1							
1	1	1	0							
1	1	1	1							

Table 1: DoD Truth Table

- a. Lengkapi Jadual Kebenaran dalam Jadual 1
Complete the Truth Table in Table 1.
- b. Binakan fail projek "DoD"
Create a project file "DoD"
- c. Tuliskan kod perihalan VHDL yang lengkap menggunakan pernyataan CASE dan simpankan sebagai DoD.vhd
Write a complete VHDL description code using CASE statement and save as DoD.vhd
- d. Tuliskan kod VHDL testbench untuk simulasi rekabentuk tersebut dan simpankan sebagai DoD_tb.vhd
Write the VHDL testbench code to simulate the design above and save as DoD_tb.vhd.
- e. Hantarkan fail-fail berikut:
Submit the following files:
 - i. Fail projek
Project File
 - ii. DoD.vhd
 - iii. DoD_tb.vhd
 - iv. Bentuk gelombang
Waveform

[15 markah/marks]



Rajah 2

Figure 2

3. Ubahsuai kod dibawah untuk menyatakan Rajah 2. Diberi persamaan ciri adalah $Q_{t+1} = JQ_t' + K'Q_t$. (Tuliskan baris yang telah diubahsuai/ditambah sahaja)

Modify the code below to describe the Figure 2. Given the characteristic equation is $Q_{t+1} = JQ_t' + K'Q_t$. (Write the lines that have been modified/added only)

```
library ieee;
use ieee.std_logic_1164.all;

entity srff is
port(s, r, clk : in std_logic;
      q       : out std_logic);
end srff;

architecture behavioral of srff is

signal q_sig : std_logic ; -- local signal to assign and read

begin
process (clk)
begin
    if rising_edge(clk) then
        q_sig <= s or (not r and q_sig);
    end if;
end process;
q <= q_sig;
end behavioral;
```

Kod perihalan flip-flop SR
SR flip-flop description code

[10 markah/marks]

4. Gunakan nombor matrik anda (tanpa digit bertindan).

Using your new matric number (no redundant digit).

- a) Binakan gambarajah keadaan (ikut turutan dari kanan ke kiri dan ulang).

Contoh: Katakan matrik anda adalah 17225338, maka jujukannya adalah 8->3->5->2->7->1 dan ulang.

Create a state diagram (follow the sequence from right to the left and repeat.

Example: Let say your matric is 17225338, so the sequence is 8->3->5->2->7->1 and repeat.

(2 markah/marks)

- b) Berdasarkan gambarajah keadaan dari (a),

Based on state diagram from a,

- i) Tuliskan kod rekabentuk VHDL

Write a VHDL design code,

- ii) Tuliskan kod Testbench VHDL

Write a VHDL Testbench code

- iii) Dapatkan bentuk gelombang dari Modelsim

Get the waveform from Modelsim

(13 markah/marks)

TAMAT

END