

概览

版本: 0.01

更新: July 7, 2019

本项目旨在实现 NSCSCC 2019 技术方案上要求的 MIPS 微系统。最终结果应为可以支持 MIPS32 指令集的子集并能够运行 Linux 操作系统。本文档用以明确微系统中需要实现的主要功能，同时明确时间分配，以保证在微系统的实现过程中保持在正确的方向。随着微系统的设计与实现，该文档也会进行相应的修改。

1 比赛信息

1.1 比赛内容

初赛的比赛内容为在龙芯提供的体系结构教学实验箱上开发基于 MIPS 基准指令集的 MIPS 微系统。其最低要求如下：

- 1) 指令存储器及数据存储器不应小于 8KB。
- 2) FPGA 内部集成一个计数器(用于性能测试)。
- 3) FPGA 需要支持 7 段数码管显示(用于性能测试)。
- 4) 实现的 CPU 得能通过接口与各 I/O 设备互联通信。

决赛的比赛内容如下：

- 1) 性能测试，通过运行基本测试测量 CPU 的性能。
- 2) 系统展示。运行操作系统或者应用程序展示位系统的实际效果。
- 3) 实现自定义指令。在规定的时间内实现自定义指令，只需测试是否正确实现。
- 4) 答辩。汇报设计思路并回答问题。

时间安排	
2019.5.1	比赛开始
2019.8.5	初赛线上提交结束
2019.8.12	公布决赛入围名单
2019.8.19-21	总决赛

1.2 比赛时间安排

可以注意到，初赛结束到决赛开始仅仅有两周的时间，因此在初赛结束之前就要准备好决赛需要展示的内容。（操作系统，应用程序等）

1.3 比赛相关文件

1. 比赛官网
2. 第三届系统能力培养大赛章程
3. 比赛技术方案
4. 器材介绍

2 项目概览

整个项目可以分为两部分：基于 MIPS 的微系统(硬件)以及运行于其上的 Linux 操作系统(软件)。其中微系统又可以分为两部分：CPU 以及外围设备。使用的语言为 Verilog/SystemVerilog，开发环境为 Xilinx Vivado 2018.3。以下将分节叙述各个部分的概览。

2.1 CPU

该部分的目标为实现一个四发射超标量 CPU，同时使用乱序执行技术以提高流水线的利用率。

指令系统 比赛要求实现的为 MIPS32 的子集，为了方便后续操作系统的移植，CPU 支持除去浮点数指令，Branch-likely 指令外的全部 MIPS32r1 指令。详细内容见附录。

流水线结构 目前的目标是实现包括取值，译码，寄存器重命名，发射，读寄存器，执行，提交等在内的 7 级流水线，其中执行部分可能运行不止一拍。

异常处理 能够支持精确异常。

更加详细的部分会在 CPU 的设计文档中进行说明。

2.2 外设

除去 FPGA 外，体系结构教学实验箱上有 DDR，SPI FLASH，VGA 接口等多种外设。比赛开始后比赛官网会提供其中部分设备的 IP 核以及编程规范，这部分的目标是尽可能多的实现对外设的控制，

除去实现对外设的控制之外，该部分还需要实现功能测试/性能测试要求的 AHB-Lite 接口与 CPU 模块的对接。

2.3 操作系统

完成 Linux 内核的移植并添加必要的驱动以确保 Linux 系统能够在试验箱上运行。

3 时间表

以下的时间表为各个部分预计的完成时间，作为实现时的参考，实际完成时间比时间表上的时间晚很多的话可能会影响整体进度。

表 1: 时间表

2019.05.01	开始发放器材
2019.05.26	实现完整的数据通路
2019.05.31	实现 CP0 以及 TLB
2019.06.04	指令添加完毕
2019.06.09	缓存添加完毕
2019.06.28	CPU、外设基本实现完毕，可以通过功能测试
2019.07.12	操作系统可以在实验箱上运行
2019.08.04	CPU性能优化结束，文档补充完毕，提交初赛作品