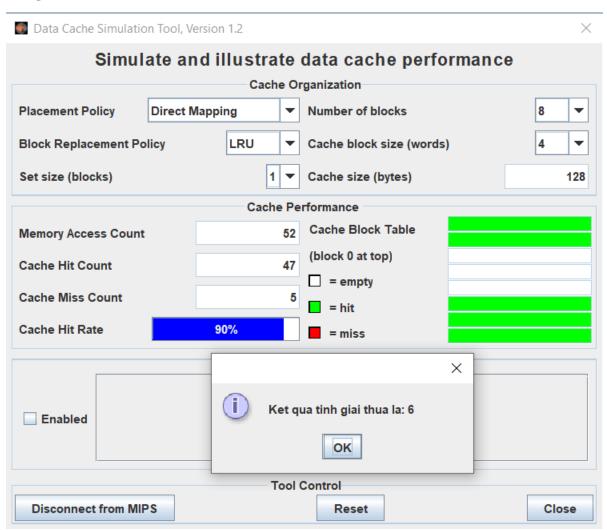
BÁO CÁO THỰC HÀNH KIẾN TRÚC MÁY TÍNH TUẦN 12

Assignment 1:



Assignment 2:

■ How is the full 32-bit address used in the cache memory?(Địa chỉ 32-bit đầy đủ được sử dụng như thế nào trong bộ nhớ đệm?)

Bộ nhớ cache trong phân cấp lưu trữ chính chứa các dòng bộ nhớ cache được nhóm thành bộ. Nếu mỗi tập chứa k dòng thì chúng ta nói rằng bộ nhớ đệm là liên kết k-chiều.

Một yêu cầu dữ liệu có một địa chỉ xác định vị trí của dữ liệu được yêu cầu. Mỗi phần dữ liệu có kích thước dòng trong bộ nhớ cache từ cấp thấp hơn chỉ có thể được đặt vào một tập hợp. Tập hợp mà nó có thể được đặt vào phụ thuộc vào địa chỉ của nó.

Việc ánh xạ giữa các địa chỉ và tập hợp này phải được thực hiện dễ dàng và nhanh chóng. Việc triển khai nhanh nhất bao gồm việc chỉ sử dụng một phần địa chỉ để chọn tập hợp. Khi điều này được thực hiện, một địa chỉ yêu cầu được chia thành ba phần:

Phần bù đắp xác định một vị trí cụ thể trong một dòng bộ nhớ cache.

Một phần tập hợp xác định tập hợp có chứa dữ liệu được yêu cầu.

Một phần thẻ phải được lưu trong mỗi dòng bộ nhớ cache cùng với dữ liệu của nó để phân biệt các địa chỉ khác nhau có thể được đặt trong tập hợp.

■ What happens when there is a cache miss? (Điều gì xảy ra khi thiếu bộ nhớ cache?)

Khi xảy ra lỗi bộ nhớ cache, hệ thống hoặc ứng dụng sẽ tiến hành xác định vị trí dữ liệu trong kho lưu trữ dữ liệu bên dưới, điều này làm tăng thời lượng của yêu cầu. Thông thường, hệ thống có thể ghi dữ liệu vào bộ nhớ cache, một lần nữa làm tăng độ trễ, mặc dù độ trễ đó được bù đắp bởi các lần truy cập bộ nhớ cache trên dữ liệu khác.

■ What happens when there is a cache hit? (Điều gì xảy ra khi có lần truy cập vào bộ nhớ cache?)

Lần truy cập bộ nhớ cache xảy ra khi một ứng dụng hoặc phần mềm yêu cầu dữ liệu. Đầu tiên, khối xử lý trung tâm (CPU) tìm kiếm dữ liệu ở vị trí bộ nhớ gần nhất, thường là bộ nhớ đệm chính. Nếu dữ liệu được yêu cầu được tìm thấy trong bộ nhớ cache, nó được coi là một lần truy cập bộ nhớ cache.

Một lần truy cập bộ nhớ cache phục vụ dữ liệu nhanh hơn, vì dữ liệu có thể được truy xuất bằng cách đọc bộ nhớ đệm. Lần truy cập bộ nhớ cache cũng có thể nằm trong bộ đệm đĩa nơi dữ liệu được yêu cầu được lưu trữ và truy cập ở lần truy vấn đầu tiên.

■ What is the block size? (Kích thước khối là bao nhiêu?)

Bộ điều khiển của mảng lưu trữ tổ chức bộ nhớ cache của nó thành các "khối", là các khối bộ nhớ có thể có kích thước 4, 8, 16 hoặc 32 KiB. Tất cả các ổ trên hệ thống lưu trữ đều chia sẻ cùng một không gian bộ nhớ cache; do đó, các ổ chỉ có thể có một kích thước khối bộ nhớ cache.

Các ứng dụng sử dụng các kích thước khối khác nhau, có thể có tác động đến hiệu suất lưu trữ. Theo mặc định, kích thước khối trong Trình quản lý hệ thống là 8 KiB, nhưng bạn có thể đặt giá trị thành 4, 8, 16 hoặc 32 KiB. Kích thước nhỏ hơn là một lựa chọn tốt cho các hệ thống tệp hoặc ứng dụng cơ sở dữ liệu. Kích thước lớn hơn là một lựa chọn tốt cho các ứng dụng yêu cầu truyền dữ liệu lớn, I / O tuần tự hoặc băng thông cao, chẳng hạn như đa phương tiện.

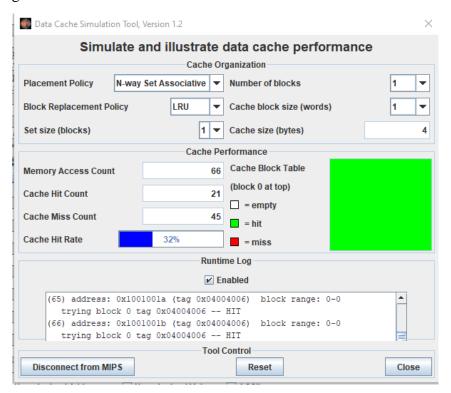
■ What is the function of the tag?'(Chức năng của thẻ là gì?)

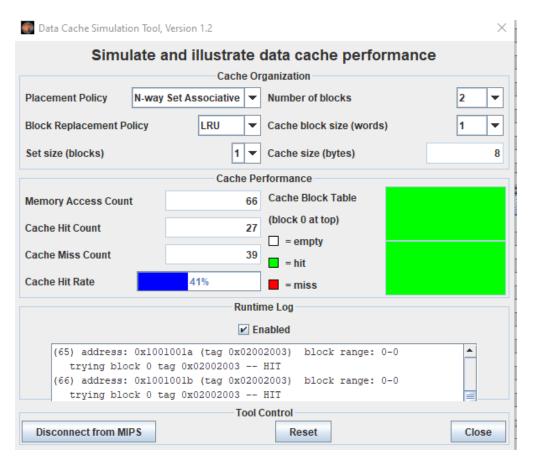
Mọi người sử dụng thẻ để hỗ trợ phân loại, đánh dấu quyền sở hữu, ranh giới ghi chú và chỉ ra danh tính trực tuyến. Thẻ có thể ở dạng từ, hình ảnh hoặc các dấu hiệu nhận biết khác.

Assignment 3:

■ Explain the following: cache size, block size, number of sets, write policy and replacement policy. (Giải thích những điều sau: kích thước bộ nhớ cache, kích thước khối, số lượng bộ, chính sách ghi và chính sách thay thế.)

Số lượng number of blocks càng tăng thì cache hit rates càng tăng,case hit tang,cache miss count giảm

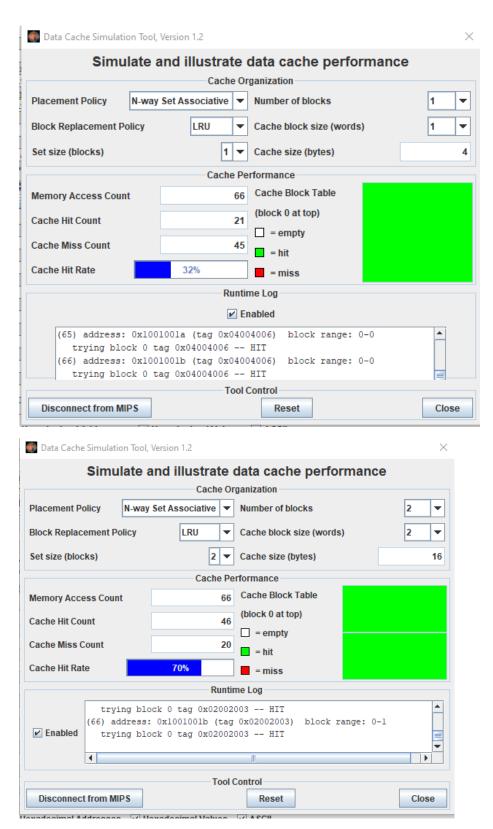




Số lượng cache block size càng tăng thì cache hit rates càng tăng,case hit tang,cache miss count giảm

Data Cache Simulati	1011 1001, VCI31			
Simu	ılate and	l illustrate	data cache perf	ormance
		Cache	Organization	
Placement Policy	N-way Set	Associative	Number of blocks	1 🔻
Block Replacement P	olicy	LRU	Cache block size (work	ds) 1 ▼
Set size (blocks)		1 ,	Cache size (bytes)	4
		Cache	Performance	
Memory Access Coun	nt	6	6 Cache Block Table (block 0 at top)	
Cache Hit Count		2	1 _	
Cache Miss Count		4	= empty	
Cache Hit Rate		32%	= hit	
Cacile Hit Rate		32%	= miss	
		Run	time Log	
		V	Enabled	
(66) address:	ock 0 tag 0	0x04004006 -	- HIT 004006) block range:	
Crying bio	ock o tag t		****	
trying bio			ol Control	
Disconnect from MI	IPS	Тос		Close
Disconnect from MI	IPS	n 1.2	Reset	×
Disconnect from MI Data Cache Simulatio Simul	IPS	n 1.2 illustrate (Reset	×
Disconnect from MI Data Cache Simulatio Simul	n Tool, Version ate and i	n 1.2 illustrate (Reset data cache performation	×
Disconnect from MI Data Cache Simulatio Simul Placement Policy	n Tool, Version ate and i	n 1.2 illustrate (Cache Or ssociative	Reset data cache perfori ganization Number of blocks	mance
Disconnect from Mi Data Cache Simulatio Simul Placement Policy Block Replacement Policy	n Tool, Version ate and i	Too	Reset data cache performation Number of blocks Cache block size (words)	mance
Disconnect from Mi Data Cache Simulatio Simul Placement Policy Block Replacement Policy	in Tool, Version ate and in N-way Set As	Too	data cache performanization Number of blocks Cache block size (words) Cache size (bytes)	mance
Disconnect from Mi Data Cache Simulatio Simul Placement Policy Block Replacement Policy Set size (blocks) Memory Access Count	in Tool, Version ate and in N-way Set As	Too illustrate (Cache Or ssociative LRU Cache Pe 66	data cache performation Number of blocks Cache block size (words) Cache size (bytes)	mance
Disconnect from Mi Data Cache Simulatio Simul Placement Policy Block Replacement Po Set size (blocks) Memory Access Count Cache Hit Count	in Tool, Version ate and in N-way Set As	Too illustrate (Cache Or ssociative LRU LRU Cache Pe 66 41	data cache perfori ganization Number of blocks Cache block size (words) Cache size (bytes) rformance Cache Block Table	mance
Disconnect from Mi Data Cache Simulatio Simul Placement Policy Block Replacement Policy Set size (blocks) Memory Access Count	in Tool, Version ate and in N-way Set As	Too illustrate (Cache Or ssociative LRU Cache Pe 66	data cache performation Number of blocks Cache block size (words) Cache size (bytes) rformance Cache Block Table (block 0 at top)	mance
Disconnect from Mi Data Cache Simulatio Simul Placement Policy Block Replacement Po Set size (blocks) Memory Access Count Cache Hit Count	n Tool, Version ate and i	Too illustrate (Cache Or ssociative LRU LRU Cache Pe 66 41	data cache performanice Cache Block Table (block 0 at top) Example 1 Example 2	mance
Disconnect from Minimum Data Cache Simulation Simulation Placement Policy Block Replacement Policy Set size (blocks) Memory Access Count Cache Hit Count Cache Miss Count	n Tool, Version ate and i	Too Illustrate (Cache Or ssociative LRU Cache Pe 66 41 25	data cache perfori ganization Number of blocks Cache block size (words) Cache size (bytes) rformance Cache Block Table (block 0 at top) = empty = hit	mance
Disconnect from Minimum Data Cache Simulation Simulation Placement Policy Block Replacement Policy Set size (blocks) Memory Access Count Cache Hit Count Cache Miss Count	n Tool, Version ate and i	Too Illustrate (Cache Or ssociative LRU Cache Pe 66 41 25 Runtir	data cache performanization Number of blocks Cache block size (words) Cache size (bytes) rformance Cache Block Table (block 0 at top) = empty = hit = miss	mance
Disconnect from Mi Data Cache Simulatio Simul Placement Policy Block Replacement Policy Set size (blocks) Memory Access Count Cache Hit Count Cache Hit Rate (65) address: trying bloc (66) address:	IPS In Tool, Version In Tool	Too 1.2 illustrate (Reset Clata cache performanication Number of blocks Cache block size (words) Cache size (bytes) rformance Cache Block Table (block 0 at top) = empty = hit = miss ne Log pabled 2003) block range: 0- HIT 2003) block range: 0-	mance 1 v 2 v 8
Disconnect from Mi Data Cache Simulatio Simul Placement Policy Block Replacement Policy Set size (blocks) Memory Access Count Cache Hit Count Cache Hit Rate (65) address: trying bloc (66) address:	IPS In Tool, Version In Tool	Too 1.2 illustrate (Reset Clata cache performanication Number of blocks Cache block size (words) Cache size (bytes) rformance Cache Block Table (block 0 at top) = empty = hit = miss ne Log pabled 2003) block range: 0- HIT 2003) block range: 0-	mance 1 v 2 v 8

Tăng số lượng set size thì cache hit count tăng, cache miss count giảm



Bộ nhớ đệm lớn hơn sẽ có tỷ lệ bỏ lỡ thấp hơn và độ trễ cao hơn. Bộ nhớ đệm có nhiều liên kết hơn sẽ có tỷ lệ bỏ lỡ thấp hơn và độ trễ cao hơn. Độ trễ cao hơn là do các bộ ghép kênh bổ sung được sử dụng để triển khai tính liên kết trong các tập hợp.

Khi kích thước bộ nhớ cache tăng lên, dung lượng bỏ lỡ sẽ giảm. Tính liên kết tăng lên, đặc biệt là đối với các bộ nhớ đệm nhỏ, làm giảm số lần bỏ sót xung đột được hiển thị dọc theo đầu đường cong. Tăng cường liên kết ngoài bốn hoặc tám cách chỉ giảm tỷ lệ bỏ lỡ một chút.

■ If a cache is large enough that all the code within a loop fits in the cache, how many cache misses will there be during the execution of the loop? Is this good or bad? (Nếu bộ đệm đủ lớn để tất cả mã trong vòng lặp đều nằm trong bộ đệm, thì sẽ có bao nhiều lần bỏ sót bộ nhớ đệm trong quá trình thực hiện vòng lặp? Nó tôt hay xấu?)

Khi kích thước bộ nhớ cache tăng lên, dung lượng bỏ lỡ sẽ giảm. Tính liên kết tăng lên, đặc biệt là đối với các bộ nhớ đệm nhỏ, làm giảm số lần bỏ sót xung đột được hiển thị dọc theo đầu đường cong. Tăng cường liên kết ngoài bốn hoặc tám cách chỉ giảm tỷ lệ bỏ lỡ một chút.

Nó có cả mặt xấu và mặt tốt .Ưu điểm của việc sử dụng một khối bộ nhớ lớn là chứa được các quy trình tối đa, do đó số lỗi trang ít hơn. Nhược điểm của việc sử dụng một khối bộ nhớ lớn là xảy ra hiện tượng phân mảnh bên trong, tức là bộ nhớ được cấp phát có thể lớn hơn một chút so với bộ nhớ được yêu cầu

■ What should the code look like that would benefit the most from a large block size? (Mã trông như thế nào sẽ được hưởng lợi nhiều nhất từ kích thước khối lớn?)

Tránh cấp phát bộ nhớ lớn hơn so với yêu cầu ví dụ: giả sử bộ nhớ được cấp phát theo khối 4K, quy trình 1K sẽ lãng phí 3K không gian trong phân vùng của nó, quy trình 5K cũng vậy.