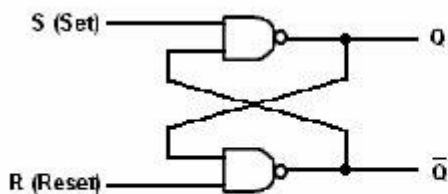


1. Verilog Code는 조교님이 예시로 보여준 코드를 그대로 따라 쳐보면서 공부했기 때문에, 본 보고서에는 올리지 않겠습니다.
2. WaveForm 결과물 및 결과의미

1. SR_Latch



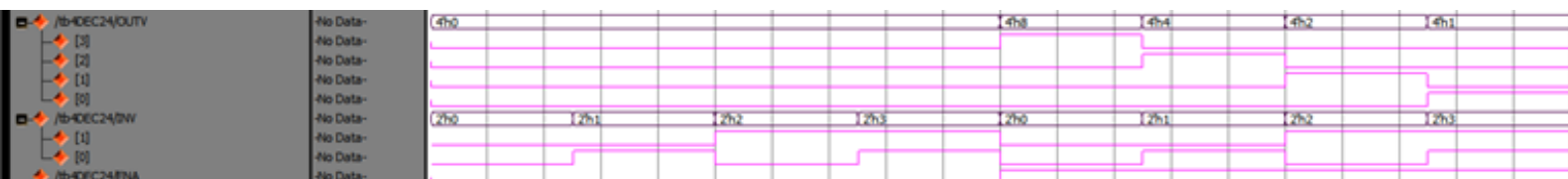
Logic Diagram

| S | R | Q | \bar{Q} |
|---|---|---|-----------|
| 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 |

Function Table

위의 Function Table대로 일반적인 SR_Latch의 값이 나왔음.

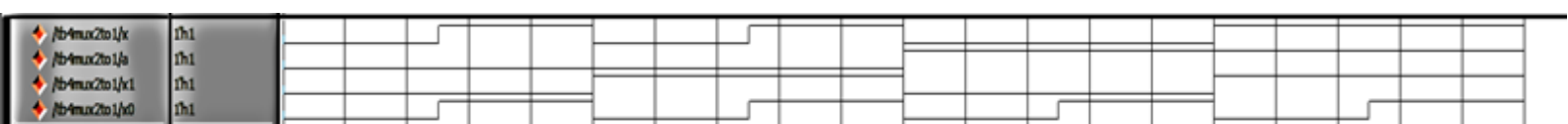
2. Decoder



본 캡처에서는 잘 안보이지만, Enable이 0일때는 OUT의 값에 변화가 없고, Enable이 1이 되어야 정상적인 Decoder의 역할을 시작함.

2개의 Input으로 2^2 개인 4개의 Output의 각 bit를 설정할 수 있음을 확인 가능.

3. Multiplexer



Selector(위 사진에서 2번째)에 따라 x0(3번째) 혹은 x1(4번째) 중 오직 하나만 x(1번째)에 출력됨