

戴一娜 20202004 空间信息与数字技术 2020 级 32 班

我本来的计划（美好愿景）是：

学习 verilog——实现单周期——基于单周期处理器实现流水线(提交作业一)——再实现乱序执行(提交作业二)——最终提交期末大作业。
























现在的情况是：

五天了，实现了所有整型指令的单周期 cpu，实现了把他们变成 (if、id、ex、mem、wb)，然后卡死在 pc 的逻辑，哭。




























所以现在我只能退而求其次，直接提交我实现了所有整型指令的单周期 cpu，然后把流水线作业改变一下实现方式，放弃乱序执行。

所以我将要提交的文件有：

整型指令单周期 cpu，test 文件夹里包括了各种指令的二进制码，您要是有空看看实现成啥样，把指令对应的二进制码粘到 rom\_binary\_file.txt 里就可以啦。（我用 modelism 仿真的，我觉得没毛病）。

名称	修改日期	类型
 test	2022/11/9 18:54	文件夹
 work	2022/11/7 12:23	文件夹
 datapath.v.bak	2022/11/6 23:35	BAK 文件
 tb_riscv_top.v.bak	2022/11/6 21:49	BAK 文件
 single_cycle_cpu.mpf	2022/11/7 11:50	MPF 文件
 single_cycle_cpu.cr.mti	2022/11/7 11:50	MTI 文件
 alu.v	2022/11/6 21:26	V 文件
 branch_judge.v	2022/11/7 0:11	V 文件
 control.v	2022/11/6 23:50	V 文件
 data_memory.v	2022/11/6 14:01	V 文件
 datapath.v	2022/11/7 11:50	V 文件
 define.v	2022/11/6 14:36	V 文件
 instr_decode.v	2022/11/6 23:43	V 文件
 instr_memory.v	2022/11/6 13:03	V 文件
 mux.v	2022/11/6 20:06	V 文件
 pc_reg.v	2022/11/6 16:17	V 文件
 registers.v	2022/11/7 11:44	V 文件
 riscv.v	2022/11/6 23:52	V 文件
 riscv_top.v	2022/11/6 23:44	V 文件
 tb_riscv_top.v	2022/11/7 11:09	V 文件
 vsim.wlf	2022/11/7 12:17	WLF 文件
 frpc.ini	2022/11/6 23:47	配置设置
 rom_binary_file.txt	2022/11/7 12:16	文本文档

## ‘失败的多周期流水线文件

 work	2022/11/8 16:04	文件夹	
 alu.v	2022/11/6 21:26	V 文件	15 KB
 branch_judge.v	2022/11/7 0:11	V 文件	1 KB
 control.v	2022/11/8 15:42	V 文件	5 KB
 data_memory.v	2022/11/6 14:01	V 文件	3 KB
 datapath.v	2022/11/8 16:04	V 文件	9 KB
 define.v	2022/11/7 15:00	V 文件	1 KB
 ex_mem_regs.v	2022/11/7 15:01	V 文件	4 KB
 ex_stage.v	2022/11/8 15:59	V 文件	2 KB
 id_ex_regs.v	2022/11/8 15:37	V 文件	5 KB
 id_stage.v	2022/11/8 14:45	V 文件	1 KB
 if_id_regs.v	2022/11/8 16:03	V 文件	1 KB
 if_stage.v	2022/11/8 15:58	V 文件	1 KB
 instr_decode.v	2022/11/6 23:43	V 文件	2 KB
 instr_memory.v	2022/11/6 13:03	V 文件	1 KB
 mem_wb_regs.v	2022/11/7 23:06	V 文件	3 KB
 mux.v	2022/11/6 20:06	V 文件	1 KB
 pc_reg.v	2022/11/8 15:35	V 文件	1 KB
 pipeline.cr.mti	2022/11/8 16:06	MTI 文件	6 KB
 pipeline.mpf	2022/11/8 16:06	MPF 文件	103 KB
 registers.v	2022/11/7 16:29	V 文件	3 KB
 riscv.v	2022/11/8 15:35	V 文件	3 KB
 riscv_top.v	2022/11/6 23:44	V 文件	1 KB
 rom_binary_file.txt	2022/11/7 17:27	文本文档	1 KB
 tb_riscv_top.v	2022/11/7 14:50	V 文件	1 KB
 vsim.wlf	2022/11/8 16:06	WLF 文件	48 KB
 wb_stage.v	2022/11/7 15:11	V 文件	1 KB

记录我学习 verilog, riscv 的例程以及其中遇到的问题与解决方法的日记。(包括 pdf 导出版本, 和原 onenote 版本, 哪个方便您看哪个, 因为是随手记的, 所以很乱, 不看也行) (如果看到我在里面骂人不要对我留下不好的印象, 谢谢老师)



还有一个是我用 xmind 记录的我的失败的多周期处理器的各种连来连去的接口蜘蛛网 (pdf 导出版以及 xmind 原版)



这次没有实现, 没有时间了, 要准备必修课考试了, 不甘心, 做了五六天了都没实现, 我气, 一开始是想抱着把作业写出来拿个优秀的心来的, 然后感觉还挺有意思, 实现单周期还欢呼雀跃, 然后多周期就疯狂自闭作业, 我气, 等我考完试卷土重来。