戴一娜 20202004 空间信息与数字技术2020级32班

我本来的计划（美好愿景）是：

学习verilog——实现单周期——基于单周期处理器实现流水线（提交作业一）——再实现乱序执行（提交作业二）——最终提交期末大作业。

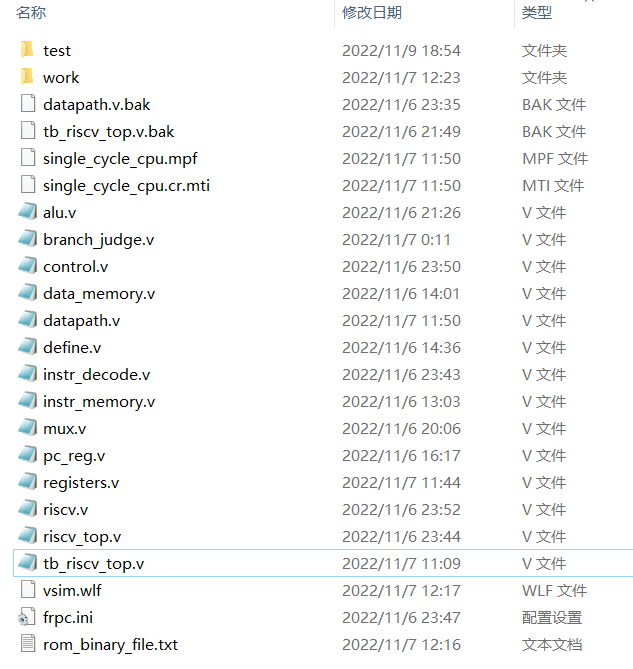
现在的情况是：

五天了，实现了所有整型指令的单周期cpu，实现了把他们变成（if、id、ex、mem、wb），然后卡死在pc的逻辑，哭。

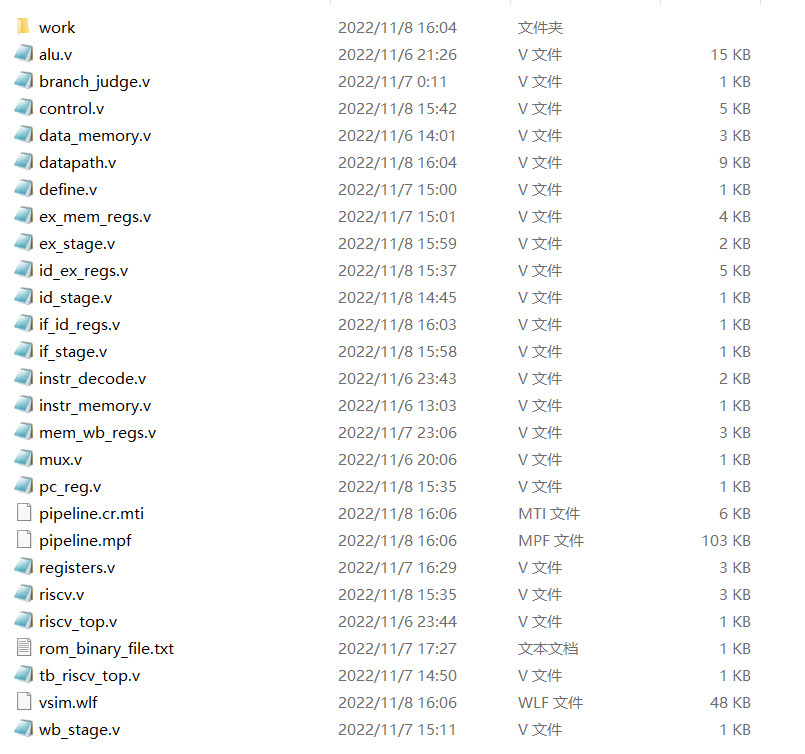
所以现在我只能退而求其次，直接提交我实现了所有整型指令的单周期cpu，然后把流水线作业改变一下实现方式，放弃乱序执行。

所以我将要提交的文件有：

整型指令单周期cpu，test文件夹里包括了各种指令的二进制码，您要是有空看看实现成啥样，把指令对应的二进制码粘到rom\_binary\_file.txt里就可以啦。（我用modelism仿真的，我觉得没毛病）。



‘失败的多周期流水线文件



记录我学习verilog，riscv的例程以及其中遇到的问题与解决方法的日记。（包括pdf导出版本，和原onenote版本，哪个方便您看哪个，因为是随手记的，所以很乱，不看也行）（如果看到我在里面骂人不要对我留下不好的印象，谢谢老师）



还有一个是我用xmind记录的我的失败的多周期处理器的各种连来连去的接口蜘蛛网（pdf导出版以及xmind原版）



这次没有实现，没有时间了，要准备必修课考试了，不甘心，做了五六天了都没实现，我气，一开始是想抱着把作业写出来拿个优秀的心来的，然后感觉还挺有意思，实现单周期还欢呼雀跃，然后多周期就疯狂自闭作业，我气，等我考完试卷土重来。