

Veryl で作る RISC-V CPU

— 基本編 (の第 I 部) —

[著] kanataso

技術書典 17 (2024 年秋) 新刊

2024 年 11 月 3 日 ver 1.0

■免責

本書は情報の提供のみを目的としています。

本書の内容を実行・適用・運用したことで何が起きようとも、それは実行・適用・運用した人自身の責任であり、著者や関係者はいかなる責任も負いません。

■商標

本書に登場するシステム名や製品名は、関係各社の商標または登録商標です。

また本書では、™、®、©などのマークは省略しています。

まえがき / はじめに

本書を手にとっていただき、ありがとうございます。

本書は、OS を実行できる程度の機能を持った RISC-V の CPU を、新しめのハードウェア記述言語である **Veryl** で記述する方法について解説した本です。

注意

本書は「Veryl で作る RISC-V CPU 基本編」の第 I 部のみを発行したものです。本書の pdf, web 版は無料で配布されており、<https://github.com/nananapo/veryl-riscv-book> でダウンロード、閲覧することができます。

続きが気になったり、誤植を見つけた場合は、GitHub をご確認ください。

本書の対象読者

本書はコンピュータアーキテクチャに興味があり、何らかのプログラミング言語を習得している人を対象としています。

前提とする知識

次の要件を満たしていると良いです。

- C, C++, C#, JavaScript, Python, Ruby Rust のような一般的なプログラミング言語をある程度使いこなすことができる
- 論理演算を知っている

問い合わせ先

本書に関する質問やお問い合わせは、以下のリポジトリに issue を立てて行ってください。

- URL: <https://github.com/nananapo/veryl-riscv-book/issues>

謝辞

本書は XXXX 氏と XXXX 氏にレビューしていただきました。この場を借りて感謝します。ありがとうございました。

凡例

本書では、プログラムコードを次のように表示します。太字は強調を表します。

```
print("Hello, world!");
```

 ←太字は強調

長い行が右端で折り返されると、折り返されたことを表す小さな記号がつきます。

```
123456789_123456789_123456789_123456789_123456789_123456789_123456789_123456789_
```

ターミナル画面は、次のように表示します。行頭の「\$」はプロンプトを表し、ユーザが入力するコマンドには薄い下線を引いています。

```
$ echo Hello
```

 ←行頭の「\$」はプロンプト、それ以降がユーザ入力

本文に対する補足情報や注意・警告は、次のようなノートや囲み枠で表示します。

.....

ノートタイトル

ノートは本文に対する補足情報です。

.....



タイトル

本文に対する補足情報です。



タイトル

本文に対する注意・警告です。

Intro

こんにちは! あなたは CPU を作成したことがありますか! 作成したことがあってもなくても大歓迎、この本は CPU 自作の面白さ Veryl を世に広めるために執筆されました。実装を始める前に、まずは RISC-V や使用する言語、本書の構成について簡単に解説します。RISC-V や Veryl のことを知っているという方は、本書の構成だけ読んでいただければ OK です。それでは始めましょう。

RISC-V

RISC-V はカリフォルニア大学バークレー校で開発された RISC の ISA(命令セットアーキテクチャ) です。ISA としての歴史はまだ浅く、仕様書の初版は 2011 年に公開されました。それにも関わらず、RISC-V は仕様がオープンでカスタマイズ可能であるという特徴もあって、研究目的で利用されたり既に何種類もマイコンが市販されているなど、着実に広まっていっています。

インターネット上には多くの RISC-V の実装が公開されています。例として、rocket-chip(Chisel による実装)、Shakti(Bluespec SV による実装)、rsd(SystemVerilog による実装) が挙げられます。これらを参考にして実装するのもいいと思います。

本書では、RISC-V のバージョン riscv-isa-release-87edab7-2024-05-04 を利用します。RISC-V の最新の仕様は、GitHub の riscv/riscv-isa-manual (<https://github.com/riscv/riscv-isa-manual/>) で確認することができます。

RISC-V には、基本整数命令セットとして RV32I, RV64I, RV32E, RV64E(, RV128I) が定義されています。RV の後ろにつく数字はレジスタの長さ (XLEN) が何ビットかです。数字の後ろにつく文字が I の場合、XLEN ビットのレジスタが 32 個存在します。E の場合はレジスタの数が 16 個になります。

基本整数命令セットには最低限の命令しか定義されていません。それ以外のかけ算や割り算、不可分操作、CSR などの追加の命令や機能は拡張として定義されています。CPU が何を実装しているかを示す表現に ISA String というものがあり、例えばかけ算と割り算、不可分操作ができる RV32I の CPU は RV32IMA と表現されます。

本書では、まず RV32I の CPU を作成し、これを RV64IMACFD_Zicnd_Zicsr_Zifencei に進化させることを目標に実装を進めます。

使用する言語

ハードウェア記述言語とは、文字通り、ハードウェアを記述するための言語です。ハードウェアとは具体的には論理回路のことで、ハードウェア記述言語を使うと論理回路を記述/生成することができます。これ以降、ハードウェア記述言語のことを HDL(Hardware Description Language) と書きます。

有名な HDL としては Verilog HDL と SystemVerilog が挙げられますが、本書では、CPU の実

装に Veryl という HDL を使用します。Veryl は SystemVerilog の構文を書きやすくしたような言語で、Veryl のプログラムは SystemVerilog に変換することができます。そのため、SystemVerilog を利用できる環境で Veryl を使用することができます。

Veryl の構文や機能は SystemVerilog と似通っており、SystemVerilog が分かる人は殆ど時間をかけずに Veryl を書けるようになると思います。本書は SystemVerilog を知らない人を対象にしているため、SystemVerilog を知っている必要はありません。Veryl の詳細や記法については第 2 章「ハードウェア記述言語 Veryl」で解説します。

他には、シミュレーションやテストのために C++, Python を利用します。プログラムがどのような意味や機能を持つかについては解説しますが、言語の仕様や書き方、ライブラリなどについては説明しません。

本書の構成

本シリーズ (基本編) では、次のように CPU を実装していきます。

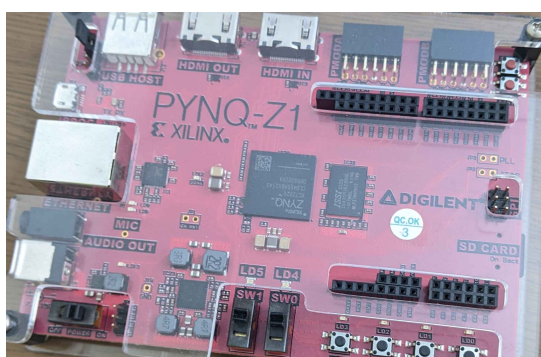
1. RV32I の CPU を実装する (第 3 章)
2. Zicsr 拡張を実装する (第 4 章)
3. RV64I を実装する (第 6 章)
4. パイプライン化する (第 7 章)
5. M, A, C 拡張を実装する
6. UART の仕組みと割り込みを実装する
7. OS を実行するために必要な CSR を実装する
8. OS を実行する

本書 (基本編の第 I 部) では、上の 1 から 4 までを実装、解説します。

プログラムのテストはシミュレーションと実機 (FPGA) で行います。本書では、TangMega 138K (図 1) と PYNQ-Z1 (図 2) という FPGA を利用します。ただし、実機がなくても実装を進めることができるので所有していなくても構いません。



▲ 図 1: TangMega138K



▲ 図 2: PYNQ-Z1

目次

まえがき / はじめに	i
Intro	iii
RISC-V	iii
使用する言語	iii
本書の構成	iv
第 I 部 RV32I/RV64I の実装	1
第 1 章 環境構築	2
1.1 Veryl	2
1.1.1 Veryl のインストール	2
1.1.2 VSCode の拡張のインストール	3
1.2 Verilator	4
1.3 riscv-gnu-toolchain	4
第 2 章 ハードウェア記述言語 Veryl	5
第 3 章 RV32I の実装	7
3.1 CPU は何をやっているのか？	7
3.2 プロジェクトの作成	8
3.3 定数の定義	9
3.4 メモリ	10
3.4.1 メモリのインターフェースの定義	10
3.4.2 メモリの実装	11
3.5 top モジュールの作成	13
3.6 命令フェッチ	14
3.6.1 命令フェッチの実装	14
3.6.2 命令フェッチのテスト	15
3.6.3 フェッチした命令を FIFO に格納する	20
3.7 命令のデコードと即値の生成	23
3.7.1 定数と型の定義	25
3.7.2 デコードと即値の生成	26
3.7.3 デコーダのインスタンス化	28
3.8 レジスタの定義と読み込み	29

3.9	ALU を作り、計算する	31
3.9.1	ALU の作成	32
3.9.2	ALU のテスト	34
3.10	レジスタに結果を書き込む	36
3.10.1	ライトバックの実装	36
3.10.2	ライトバックのテスト	37
3.11	ロード命令とストア命令の実装	38
3.11.1	LW, SW 命令の実装	39
3.11.2	LB, LBU, LH, LHU 命令の実装	47
3.11.3	SB, SH 命令の実装	49
3.11.4	LB, LBU, LH, LHU, SB, SH 命令のテスト	52
3.12	ジャンプ命令、分岐命令の実装	53
3.12.1	JAL, JALR 命令	53
3.12.2	条件分岐命令	56
第 4 章	Zicsr 拡張の実装	60
4.1	CSR とは何か?	60
4.2	CSRR(W S C)[I] 命令のデコード	61
4.3	csrunit モジュールの実装	62
4.3.1	csrunit モジュールの作成	62
4.3.2	mtvec レジスタの実装	64
4.3.3	CSR のテスト	66
4.4	ECALL 命令の実装	67
4.4.1	ECALL 命令とは何か?	67
4.4.2	トラップの実装	68
4.4.3	ECALL 命令のテスト	72
4.5	MRET 命令の実装	73
4.5.1	MRET 命令を実装する	73
4.5.2	MRET 命令のテスト	74
第 5 章	riscv-tests によるテスト	76
5.1	riscv-tests とは何か?	76
5.2	riscv-tests のビルド	76
5.2.1	riscv-tests のビルド	76
5.2.2	成果物を\$readmemh で読み込める形式に変換する	77
5.3	どのようにテストが実行されるのか	79
5.4	テストの終了を検知する	80
5.5	テストの実行	81
5.6	複数のテストを自動で実行する	82

第 6 章	RV64I の実装	86
6.1	XLEN を変更する	87
6.1.1	SLL[I], SRL[I], SRA[I] 命令の対応	87
6.1.2	LUI, AUIPC 命令の対応	87
6.1.3	メモリの幅を広げる	87
6.1.4	LW 命令の対応	87
6.1.5	CSR の対応	87
6.2	ADDW, ADDIW, SUBW 命令の実装	87
6.3	SLL[I]W, SRL[I]W, SRA[I]W 命令の実装	88
6.4	LWU, LD, SD 命令の実装	88
第 7 章	CPU のパイプライン処理化	89
第 8 章	CPU を合成する	90
	あとがき / おわりに	91

第 I 部

RV32I/RV64I の実装

第 1 章

環境構築

最低限必要なソフトウェアをインストールします。
次のいずれかの環境を用意してください。

- WSL が使える Windows
- そこそこ新しめの Mac
- Linux

1.1 Veryl

Veryl は本書で利用する HDL です。まず、Veryl のコンパイラをインストールします。

1.1.1 Veryl のインストール

まず、Veryl をインストールします。Veryl には、Verylup というインストーラが用意されており、これを利用することで veryl をインストールすることができます。

Verylup は cargo, または GitHub の Release ページから入手することができます。cargo が入っている方は `cargo install verylup` でインストールしてください。cargo が入っていない場合は、以下の URL から入手方法を確認することができます。

- veryl-lang/verylup : <https://github.com/veryl-lang/verylup>

Verylup を入手したら、次のように Veryl の最新版をインストールします。

▼ リスト 1.1: Veryl のインストール

```
$ verylup setup
[INFO ] downloading toolchain: latest
[INFO ] installing toolchain: latest
[INFO ] creating hardlink: veryl
[INFO ] creating hardlink: veryl-ls
```

Veryl の更新

veryl はまだ開発途上の言語であり、頻繁にバージョンが更新されます。最新の Veryl に更新するには、次のようなコマンドを実行します。

▼ リスト 1.2: Veryl の更新

```
$ verylup update
```

インストールするバージョンの指定

特定のバージョンの Veryl をインストールするには、次のようなコマンドを実行します。

▼ リスト 1.3: Veryl のバージョン 0.13.0 をインストールする

```
$ verylup install 0.13.0
```

インストールされているバージョン一覧は次のように確認できます。

▼ リスト 1.4: インストール済みの Veryl のバージョン一覧を表示する

```
$ verylup show
installed toolchains
-----
0.13.0
latest (default)
```

使用するバージョンの指定

バージョンを指定しない場合は、最新版の Veryl が使用されます。

▼ リスト 1.5: veryl のバージョン確認

```
$ veryl --version
veryl 0.13.0
```

特定のバージョンの Veryl を使用するには、次のように veryl コマンドを実行します。

▼ リスト 1.6: Veryl のバージョン 0.13.0 を使用する

```
$ veryl +0.13.0 ← +でバージョンを指定する
```



本書で利用する Veryl のバージョン

本書ではバージョン 0.13.0 を利用しますが、Veryl 側の問題によりプログラムをビルドできないことがあります。この対処方法についてはサポートページを確認してください。

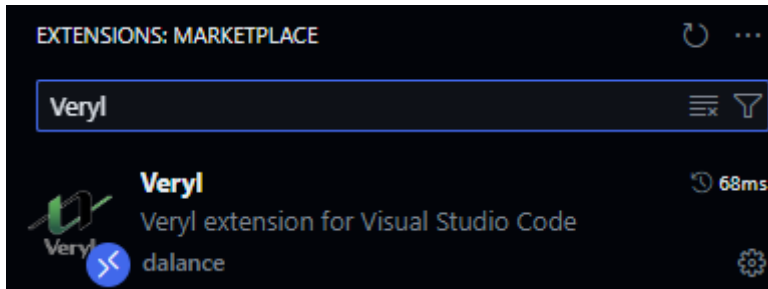
- サポートページ：??

1.1.2 VSCode の拡張のインストール

エディタに VSCode を利用している方は、図 1.1 の拡張をインストールすることをお勧めし

ます。

- URL : <https://marketplace.visualstudio.com/items?itemName=dalance.vscode-veryl>



▲ 図 1.1: Veril の VSCode 拡張

1.2 Verilator

Verilator は SystemVerilog のシミュレータを生成するためのソフトウェアです。

- verilator/verilator : <https://github.com/verilator/verilator>

`apt`、または `brew` を利用してインストールすることができます。パッケージマネージャが入っていない場合は、以下のページを参考にインストールしてください。

- <https://verilator.org/guide/latest/install.html>

1.3 riscv-gnu-toolchain

riscv-gnu-toolchain には、RISC-V 向けのコンパイラなどの toolchain が含まれています。

以下のリポジトリの README にインストール方法が書かれています。これの `Installation (Newlib)` を参考にインストールしてください。

- riscv-collab/riscv-gnu-toolchain : <https://github.com/riscv-collab/riscv-gnu-toolchain>



FPGA を利用する方へ

TangMega138K を利用する人は GOWIN EDA, PYNQ-Z1 を利用する人は Vivado のインストールが必要です。

第 2 章

ハードウェア記述言語 Veryl

TODO

基本

- 型 (logic, リテラル,struct,enum)
- レジスタとワイヤ
- 基本的な演算
- if, case, for
- 接続とか

module

- clock, reset
- always_*, assign
- ポート
- パラメータ
- インスタンス化

いろいろ

- type
- const
- initial
- 関数
- generics

interface

- modport
- インスタンス化

package

- import

SystemVerilog の機能

- システムタスク

例

- 半加算器
- 全加算器
- カウンタ

第 3 章

RV32I の実装

本章では、RISC-V の基本整数命令セットである RV32I を実装します。基本整数命令という名前の通り、整数の足し引きやビット演算、ジャンプ、分岐命令などの最小限の命令しか実装されていません。また、32 ビット幅の汎用レジスタが 32 個定義されています。ただし、0 番目のレジスタの値は常に 0 です。RISC-V は基本整数命令セットに新しい命令を拡張として実装します。複雑な機能を持つ CPU を実装する前に、まずは最小の機能を持つ CPU を実装しましょう。

3.1 CPU は何をやっているのか？

上に書かれている文章の意味が分からなくても大丈夫。詳しく説明します。

CPU を実装するには何が必要でしょうか？ まずは CPU がどのような動作をするかについて考えてみます。一般的に、汎用のプログラムを実行する CPU は次の手順でプログラムを実行していきます。

1. メモリからプログラムを読み込む
2. プログラムを実行する
3. 1, 2 の繰り返し

ここで、メモリから読み込まれる「プログラム」とは一体何を示しているのでしょうか？ 普通のプログラマが書くのは C 言語や Rust などのプログラミング言語のプログラムですが、通常の CPU はそれをそのまま解釈して実行することはできません。そのため、メモリから読み込まれる「プログラム」とは、CPU が読み込んで実行することができる形式のプログラムです。これはよく「機械語」と呼ばれ、0 と 1 で表される 2 進数のビット列で記述されています。

メモリからプログラムを読み込んで実行するのが CPU の仕事ということが分かりました。これをもう少し掘り下げます。

まず、プログラムをメモリから読み込むためには、メモリのどこを読み込みたいのかという情報（アドレス）をメモリに与える必要があります。また、当然ながらメモリが必要です。

CPU はプログラムを実行しますが、一気にすべてのプログラムを読み込んだり実行するわけで

はなく、プログラムの最小単位である「命令」を一つずつ読み込んで実行します。命令をメモリに要求、取得することを、命令をフェッチするといいます。

命令がCPUに供給されると、CPUは命令のビット列がどのような意味を持っていて何をすればいいかを判定します。このことを、命令をデコードするといいます。

命令をデコードすると、いよいよ計算やメモリアクセスを行います。しかし、例えば足し算を計算するにも何と何を足し合わせればいいのか分かりません。この計算に使うデータは、次のように指定されます。

- レジスタ (= CPU に存在する小さなメモリ) の番号
- 即値 (= 命令のビット列から生成される数値)

計算対象のデータにレジスタと即値のどれを使うかは命令によって異なります。レジスタの番号は命令のビット列の中に含まれています。

計算を実行するユニット (部品) のことを、ALU(Arithmetic Logic Unit) といいます。

計算やメモリアクセスが終わると、その結果をレジスタに格納します。例えば足し算を行う命令なら足し算の結果が、メモリから値を読み込む命令なら読み込まれた値が格納されます。

これで命令の実行は終わりですが、CPUは次の命令を実行する必要があります。今現在実行している命令のアドレスを格納しているメモリのことをプログラムカウンタ (PC) と言い、CPUはPCの値をメモリに渡すことで命令をフェッチしています。CPUは次の命令を実行するために、PCの値を次の命令のアドレスに設定します。ジャンプ命令の場合は、PCの値をジャンプ先のアドレスに設定します。分岐命令の場合は、分岐の成否を計算で判定し、分岐が成立する場合は分岐先のアドレスをPCに設定します。分岐が成立しない場合は、通常の命令と同じように次の命令のアドレスをPCに設定します。

ここまでの話をまとめると、CPUの動作は次のようになります。

- PCに格納されたアドレスにある命令をフェッチする
- 命令を取得したらデコードする
- 計算で使用するデータを取得する (レジスタの値を取得したり、即値を生成する)
- 計算する命令の場合、計算を行う
- メモリアクセスする命令の場合、メモリ操作を行う
- 計算やメモリアクセスの結果をレジスタに格納する
- PCの値を次に実行する命令に設定する

CPUが何をするものなのかが分かりましたか？ 実装を始めましょう。

3.2 プロジェクトの作成

まず、Verylのプロジェクトを作成します。ここでは適当にcoreという名前にしています。

▼リスト 3.1: 新規プロジェクトの作成

```
$ veryl new core
[INFO ] Created "core" project
```

すると、プロジェクト名のフォルダと、その中に `Veryl.toml` が作成されます。`Veryl.toml` を次のように変更してください。

▼リスト 3.2: Veryl.toml

```
[project]
name = "core"
version = "0.1.0"

[build]
sourcemap_target = {type = "none"}
```

Veryl のプログラムを格納するために、プロジェクトのフォルダ内に `src` フォルダを作成しておいてください。

```
$ cd core
$ mkdir src
```

3.3 定数の定義

いよいよプログラムを記述していきます。まず、CPU 内で何度も使用する定数や型を記述するパッケージを作成します。

`src/eei.veryl` を作成し、次のように記述します。

▼リスト 3.3: eei.veryl

```
package eei {
  const XLEN: u32 = 32;
  const ILEN: u32 = 32;

  type UIntX = logic<XLEN>;
  type UInt32 = logic<32> ;
  type UInt64 = logic<64> ;
  type Inst = logic<ILEN>;
  type Addr = logic<XLEN>;
}
```

EEI とは、RISC-V execution environment interface の略です。RISC-V のプログラムの実行環境とインターフェースという広い意味があり、ISA の定義も EEI に含まれているため名前を使用しています。

eei パッケージには、次のパラメータを定義します。

XLEN

XLEN は、RISC-V において整数レジスタの長さを示す数字として定義されています。RV32I のレジスタの長さは 32 ビットであるため、値を 32 にしています。

ILEN

ILEN は、RISC-V において CPU の実装がサポートする命令の最大の幅を示す値として定義されています。RISC-V の命令の幅は、後の章で説明する圧縮命令を除けばすべて 32 ビットです。そのため、値を 32 にしています。

また、何度も使用することになる型に別名を付けています。

UIntX, UInt32, UInt64

幅がそれぞれ XLEN, 32, 64 の符号なし整数型

Inst

命令のビット列を格納するための型

Addr

メモリのアドレスを格納するための型。RISC-V で使用できるメモリ空間の幅は XLEN なので UIntX でもいいですが、アドレスであることを明示するために別名を定義しています。

3.4 メモリ

CPU はメモリに格納された命令を実行します。よって、CPU の実装のためにはメモリの実装が必要です。RV32I において命令の幅は 32 ビットです。また、メモリからのロード命令、ストア命令の最大の幅も 32 ビットです。

これを実現するために、次のような要件のメモリを実装します。

- 読み書きの単位は 32 ビット
- クロックに同期してメモリアクセスの要求を受け取る
- 要求を受け取った次のクロックで結果を返す

3.4.1 メモリのインターフェースの定義

このメモリモジュールには、クロックとリセット信号の他に 7 個のポートを定義する必要があります (表 3.1)。これを一つ一つ定義、接続するのは面倒なため、次のような interface を定義します。

`src/membus_if.veryl` を作成し、次のように記述します。

▼ リスト 3.4: インターフェースの定義 (membus_if.veryl)

```
import eei::*;

interface membus_if {
```

```

var valid : logic ;
var ready : logic ;
var addr  : Addr  ;
var wen   : logic ;
var wdata : UInt32;
var rvalid: logic ;
var rdata : UInt32;

modport master {
    valid : output,
    ready : input ,
    addr  : output,
    wen   : output,
    wdata : output,
    rvalid: input ,
    rdata : input ,
}

modport slave {
    valid : input ,
    ready : output,
    addr  : input ,
    wen   : input ,
    wdata : input ,
    rvalid: output,
    rdata : output,
}
}

```

▼ 表 3.1: メモリモジュールに必要なポート

ポート名	型	向き	意味
clk	clock	input	クロック信号
rst	reset	input	リセット信号
valid	logic	input	メモリアクセスを要求しているかどうか
ready	logic	output	メモリアクセスを受容するかどうか
addr	Addr	input	アクセスするアドレス
wen	logic	input	書き込みかどうか (1 なら書き込み)
wdata	UInt32	input	書き込むデータ
rvalid	logic	output	受容した要求の処理が終了したかどうか
rdata	UInt32	output	受容した読み込み命令の結果

interface を利用することで、レジスタやワイヤの定義が不要になり、さらにポートの相互接続を簡潔にすることができます。

3.4.2 メモリの実装

メモリを作る準備が整いました。src/memory.veryl を作成し、その中にメモリモジュールを記述します。

▼ リスト 3.5: memory.veryl

```

import eei::*;

module memory #(
    param MEMORY_WIDTH: u32 = 20, // メモリのサイズ
) (
    clk      : input    clock      ,
    rst      : input    reset      ,
    membus   : modport membus_if::slave,
    FILE_PATH: input    string      , // メモリの初期値が格納されたファイルのパス
) {

    var mem: UInt32 [2 ** MEMORY_WIDTH];

    // Addrをmemのインデックスに変換する関数
    function addr_to_memaddr (
        addr: input Addr      ,
    ) -> logic<MEMORY_WIDTH> {
        return addr[MEMORY_WIDTH - 1 + 2:2];
    }

    initial {
        // memをFILE_PATHに格納されているデータで初期化
        if FILE_PATH != "" {
            $readmemh(FILE_PATH, mem);
        }
    }

    always_comb {
        membus.ready = 1;
    }

    always_ff {
        membus.rvalid = membus.valid;
        membus.rdata  = mem[addr_to_memaddr(membus.addr)];
        if membus.valid && membus.wen {
            mem[addr_to_memaddr(membus.addr)] = membus.wdata;
        }
    }
}

```

memory モジュールには次のパラメータが定義されています。

MEMORY_WIDTH

メモリのサイズを指定するためのパラメータです。メモリのサイズは 32 ビット * (2 ** MEMORY_WIDTH) になります。

FILE_PATH

メモリの初期値が格納されたファイルのパスです。初期化は\$readmemh システムタスクで行います。(ポートとして定義していますが、本書ではパラメータとして扱います。)

読み込み、書き込み時の動作は次の通りです。

読み込み

読み込みが要求されるとき、`membus.valid` が 1、`membus.wen` が 0、`membus.addr` が対象アドレスになっています。次のクロックで、`membus.rvalid` が 1 になり、`membus.rdata` はメモリのデータになります。

書き込み

読み込みが要求されるとき、`membus.valid` が 1、`membus.wen` が 1、`membus.addr` が対象アドレスになっています。`always_ff` ブロックでは、`membus.wen` が 1 であることを確認し、1 の場合は対象アドレスに `membus.wdata` を書き込みます。次のクロックで `membus.rvalid` が 1 になります。

Addr 型では 1 バイト単位でアドレスを指定しますが、mem レジスタは 32 ビット (=4 バイト) 単位でデータを整列しています。そのため、Addr 型のアドレスをそのまま mem レジスタのインデックスとして利用することはできません。`addr_to_memaddr` 関数は、1 バイト単位のアドレスの下位 2 ビットを切り詰めることによって、mem レジスタにおけるインデックスに変換しています。

3.5 top モジュールの作成

次に、最上位のモジュールを定義します。

▼ リスト 3.6: top.veryl

```
import eei::*;

module top (
    clk          : input clock ,
    rst          : input reset ,
    MEM_FILE_PATH: input string,
) {
    inst membus: membus_if;

    inst mem: memory (
        clk          ,
        rst          ,
        membus       ,
        FILE_PATH: MEM_FILE_PATH,
    );
}
```

先ほど作った memory モジュールをインスタンス化しています。また、memory モジュールのポートに接続するための membus_if インターフェースもインスタンス化しています。

3.6 命令フェッチ

メモリを作成したため、命令フェッチ処理を作る準備が整いました。いよいよ CPU のメイン部分を作成していきます。

3.6.1 命令フェッチの実装

`src/core.veryl` を作成し、次のように記述します。

▼ リスト 3.7: core.veryl

```
import eei::*;

module core (
    clk : input  clock          ,
    rst : input  reset          ,
    membus: modport membus_if::master,
) {

    var if_pc          : Addr ;
    var if_is_requested: logic; // フェッチ中かどうか
    var if_pc_requested: Addr ; // 要求したアドレス

    let if_pc_next: Addr = if_pc + 4;

    // 命令フェッチ処理
    always_comb {
        membus.valid = 1;
        membus.addr  = if_pc;
        membus.wen   = 0;
        membus.wdata = 'x; // wdataは使用しない
    }

    always_ff {
        if_reset {
            if_pc          = 0;
            if_is_requested = 0;
            if_pc_requested = 0;
        } else {
            if if_is_requested {
                if membus.rvalid {
                    if_is_requested = membus.ready;
                    if membus.ready {
                        if_pc          = if_pc_next;
                        if_pc_requested = if_pc;
                    }
                }
            } else {
                if membus.ready {
                    if_is_requested = 1;
                    if_pc          = if_pc_next;
                }
            }
        }
    }
}
```



```

        if_pc_requested = if_pc;
    }
}

always_ff {
    if if_is_requested && membus.rvalid {
        $display("%h : %h", if_pc_requested, membus.rdata);
    }
}
}

```

`if_pc` レジスタは PC(プログラムカウンタ) です。ここで `if_` という prefix は instruction fetch の略です。 `if_is_requested` で現在フェッチ中かどうかを管理しており、フェッチ中のアドレスを `if_pc_requested` に格納しています。

`always_comb` ブロックでは、常にメモリにアドレス `if_pc` にある命令を要求しています。命令フェッチではメモリの読み込みしか行わないため、 `membus.wen` は 0 になっています。

上から 1 つめの `always_ff` ブロックでは、フェッチ中かどうか、メモリは ready(要求を受け入れる) 状態かどうかによって、 `if_pc` , `if_is_requested` , `if_pc_requested` の値を変更しています。メモリに新しくフェッチを要求する時、 `if_pc` を次の命令のアドレス (4 を足したアドレス) に、 `if_is_requested` を 1 に変更しています。フェッチ中かつ `membus.rvalid` が 1 のときは命令フェッチが完了しています。その場合は、メモリが ready ならすぐに次の命令フェッチを開始します。

これにより、0,4,8,c,10,... という順番のアドレスの命令を次々にフェッチするようになっていきます。

上から 2 つめの `always_ff` ブロックはデバッグ用のプログラムです。命令フェッチが完了したときにその結果を `$display` システムタスクによって出力します。

次に、top モジュールで core モジュールをインスタンス化し、 `membus_if` インターフェースを接続します。これによって、メモリと CPU が接続されました。

▼ リスト 3.8: top.veryl 内で core モジュールをインスタンス化する

```

inst c: core (
    clk      ,
    rst      ,
    membus    ,
);

```

3.6.2 命令フェッチのテスト

ここまでのプログラムが正しく動くかを検証します。

Veryl で記述されたプログラムは `veryl build` コマンドで SystemVerilog のプログラムに変換することができます。変換されたプログラムをオープンソースの Verilog シミュレータである

Verilator で実行することで、命令フェッチが正しく動いていることを確認します。

まず、プログラムをビルドします。

▼ リスト 3.9: Veryl プログラムのビルド

```
$ veryl fmt ←フォーマットする
$ veryl build ←ビルドする
```

上記のコマンドを実行すると、veryl プログラムと同名の `.sv` ファイルと `core.f` ファイルが生成されます。`core.f` は生成された SystemVerilog のプログラムファイルのリストです。これをシミュレータのビルドに利用します。

シミュレータのビルドには Verilator を利用します。Verilator は与えられた SystemVerilog プログラムを C++ プログラムに変換することでシミュレータを生成します。verilator を利用するために、次のような C++ プログラムを書く必要があります。

`src/tb_verilator.cpp` を作成し、次のように記述します。

▼ リスト 3.10: tb_verilator.cpp

```
#include <iostream>
#include <filesystem>
#include <verilated.h>
#include "Vcore_top.h"

namespace fs = std::filesystem;

int main(int argc, char** argv) {
    Verilated::commandArgs(argc, argv);

    if (argc < 2) {
        std::cout << "Usage: " << argv[0] << " MEMORY_FILE_PATH [CYCLE]" << std::endl;
        return 1;
    }

    // メモリの初期値を格納しているファイル名
    std::string memory_file_path = argv[1];
    try {
        // 絶対パスに変換する
        fs::path absolutePath = fs::absolute(memory_file_path);
        memory_file_path = absolutePath.string();
    } catch (const std::exception& e) {
        std::cerr << "Invalid memory file path : " << e.what() << std::endl;
        return 1;
    }

    // シミュレーションを実行するクロックサイクル数
    unsigned long long cycles = 0;
    if (argc >= 3) {
        std::string cycles_string = argv[2];
        try {
            cycles = stoull(cycles_string);
        } catch (const std::exception& e) {
```

```

        std::cerr << "Invalid number: " << argv[2] << std::endl;
        return 1;
    }
}

Vcore_top *dut = new Vcore_top();
dut->MEM_FILE_PATH = memory_file_path;

// reset
dut->clk = 0;
dut->rst = 1;
dut->eval();
dut->rst = 0;
dut->eval();

// loop
dut->rst = 1;
for (long long i=0; cycles == 0 || i / 2 < cycles; i++) {
    dut->clk = !dut->clk;
    dut->eval();
}

dut->final();
}

```

このC++プログラムはtopモジュール(プログラム中ではVtop_coreクラス)をインスタンス化し、そのクロックを反転して実行するのを繰り返しています。

このプログラムはコマンドライン引数として次の2つの値を受け取ります。

MEMORY_FILE_PATH

メモリの初期値のファイルへのパス。実行時にtopモジュールのMEM_FILE_PATHパラメータに渡されます。

CYCLE

何クロックで実行を終了するかを表す値。0のときは終了しません。デフォルト値は0です。

Verilatorによるシミュレーションは、トップモジュールのクロック信号を変更してeval関数を呼び出すことにより実行します。プログラムではclkを反転させてevalするループの前にtopモジュールをリセットする必要があるため、topモジュールのrstを1にしてevalを実行し、rstを0にしてまたevalを実行し、rstを1にもどしてからclkを反転しています。

シミュレータのビルド

verilator コマンドを実行し、シミュレータをビルドします。

▼ リスト 3.11: シミュレータのビルド

```

$ verilator --cc -f core.f --exe src/tb_verilator.cpp --top-module top --Mdir obj_dir
$ make -C obj_dir -f Vcore_top.mk ←シミュレータをビルドする

```

```
$ mv obj_dir/Vcore_top obj_dir/sim ←シミュレータの名前をsimに変更する
```

`verilator --cc` コマンドに次のコマンドライン引数を渡して実行することで、シミュレータを生成するためのプログラムが `obj_dir` に生成されます。

-f

SystemVerilog プログラムのファイルリストを指定します。今回は `core.f` を指定しています。

--exe

実行可能なシミュレータの生成に使用する、main 関数が含まれた C++ プログラムを指定します。今回は `src/tb_verilator.cpp` を指定しています。

--top-module

トップモジュールを指定します。今回は `top` モジュールを指定しています。

--Mdir

成果物の生成先を指定します。今回は `obj_dir` フォルダに指定しています。

上記のコマンドの実行により、シミュレータが `obj_dir/sim` に生成されました。

メモリの初期化用ファイルの作成

シミュレータを実行する前にメモリの初期値となるファイルを作成します。 `src/sample.hex` を作成し、次のように記述します。

▼ リスト 3.12: sample.hex

```
01234567
89abcdef
deadbeef
cafebebe
←必ず末尾に改行をいれてください
```

値は 16 進数で 4 バイトずつ記述されています。シミュレーションを実行すると、このファイルは memory モジュールの `$readmemh` システムタスクによって読み込みます。それにより、メモリは次のように初期化されます。

▼ 表 3.2: sample.hex によって設定されるメモリの初期値

アドレス	値
00000000	01234567
00000004	89abcdef
00000008	deadbeef
0000000c	cafebebe
00000010~	不定

シミュレータの実行

生成されたシミュレータを実行し、アドレスが 0, 4, 8, c のデータが正しくフェッチされていることを確認します。

▼ リスト 3.13: 命令フェッチの動作チェック

```
$ obj_dir/sim src/sample.hex 4
00000000 : 01234567
00000004 : 89abcdef
00000008 : deadbeef
0000000c : cafebebe
```

メモリファイルのデータが 4 バイトずつ読み込まれていることが確認できます。

Makefile の作成

ビルド、シミュレータのビルドのために一々コマンドを打つのは面倒です。これらの作業を一つのコマンドで済ますために、**Makefile** を作成し、次のように記述します。

▼ リスト 3.14: Makefile

```
PROJECT = core
FILELIST = $(PROJECT).f

TOP_MODULE = top
TB_PROGRAM = src/tb_verilator.cpp
OBJ_DIR = obj_dir/
SIM_NAME = sim

build:
    veryl fmt
    veryl build

clean:
    veryl clean
    rm -rf $(OBJ_DIR)

sim:
    verilator --cc -f $(FILELIST) --exe $(TB_PROGRAM) --top-module $(PROJECT)_$(TOP_MODULE) >
--Mdir $(OBJ_DIR)
    make -C $(OBJ_DIR) -f V$(PROJECT)_$(TOP_MODULE).mk
    mv $(OBJ_DIR)/V$(PROJECT)_$(TOP_MODULE) $(OBJ_DIR)/$(SIM_NAME)
```

これ以降、次のようにビルドやシミュレータのビルドができるようになります。

▼ リスト 3.15: Makefile によって追加されたコマンド

```
$ make build ← Verilプログラムのビルド
$ make sim ← シミュレータのビルド
$ make clean ← ビルドした成果物の削除
```

3.6.3 フェッチした命令を FIFO に格納する

FIFO の作成

フェッチした命令は次々に実行されますが、その命令が何クロックで実行されるかは分かりません。命令が常に1クロックで実行される場合は現状の常にフェッチし続けるようなコードで問題ありませんが、例えばメモリにアクセスする命令は実行に何クロックかかるか分からないため、フェッチされた次の命令を保持しておくバッファを用意しておく必要があります。

そこで、FIFO を作成して、フェッチした命令を格納します。 `src/fifo.veryl` を作成し、次のように記述します。

▼ リスト 3.16: fifo.veryl

```
module fifo #(
    param DATA_TYPE: type = logic,
    param WIDTH      : u32 = 2 ,
) (
    clk  : input  clock  ,
    rst  : input  reset  ,
    wready: output logic ,
    wvalid: input  logic ,
    wdata : input  DATA_TYPE,
    rready: input  logic ,
    rvalid: output logic ,
    rdata : output DATA_TYPE,
) {
    type Ptr = logic<WIDTH>;

    var mem : DATA_TYPE [2 ** WIDTH];
    var head: Ptr          ;
    var tail: Ptr          ;

    let tail_plus1: Ptr = tail + 1;

    always_comb {
        rvalid = head != tail;
        rdata  = mem[head];
        wready = tail_plus1 != head;
    }

    always_ff {
        if_reset {
            head = 0;
            tail = 0;
        } else {
            if wready && wvalid {
                mem[tail] = wdata;
                tail      = tail + 1;
            }
            if rready && rvalid {
                head = head + 1;
            }
        }
    }
}
```

```

    }
}

```

fifo モジュールは、`DATA_TYPE` 型のデータを `2 ** WIDTH - 1` 個格納することができる FIFO です。操作は次のように行います。

データを追加する

`wready` が 1 のとき、データを追加することができます。データを追加するためには、追加したいデータを `wdata` に格納し、`wvalid` を 1 にします。追加したデータは次のクロック以降に取り出すことができます。

データを取り出す

`rready` が 1 のとき、データを取り出すことができます。データを取り出すことができるとき、`rdata` にデータが出力されています。`rvalid` を 1 にすることで、FIFO にデータを取り出したことを通知することができます。

`head` レジスタと `tail` レジスタによってデータの格納状況を管理しています。データを書き込むとき、つまり `wready && wvalid` のとき、`tail = tail + 1` しています。データを取り出すとき、つまり `rready && rvalid` のとき、`head = head + 1` しています。

データを書き込める状況とは、`tail` に 1 を足しても `head` を超えない、つまり、`tail` が指す場所が一周してしまわないときです。この制限から、FIFO には最大でも `2 ** WIDTH - 1` 個しかデータを格納することができません。データを取り出せる状況とは、`head` と `tail` の指す場所が違うときです。

命令フェッチ処理の変更

fifo モジュールを使って、次のように命令フェッチ処理を変更します。

まず、fifo モジュールをインスタンス化します。

▼ リスト 3.17: fifo モジュールのインスタンス化

```

// ifのFIFOのデータ型
struct if_fifo_type {
    addr: Addr,
    bits: Inst,
}

// FIFOの制御用レジスタ
var if_fifo_wready: logic      ;
var if_fifo_wvalid: logic     ;
var if_fifo_wdata : if_fifo_type;
var if_fifo_rready: logic      ;
var if_fifo_rvalid: logic     ;
var if_fifo_rdata : if_fifo_type;

// フェッチした命令を格納するFIFO
inst if_fifo: fifo #(
    DATA_TYPE: if_fifo_type,

```

```

        WIDTH      : 3          ,
    ) (
        clk          ,
        rst          ,
        wready: if_fifo_wready,
        wvalid: if_fifo_wvalid,
        wdata : if_fifo_wdata ,
        rready: if_fifo_rready,
        rvalid: if_fifo_rvalid,
        rdata : if_fifo_rdata ,
    );

```

まず、FIFO に入れるデータの型として `if_fifo_type` という構造体を定義します。`if_fifo_type` には、命令のアドレス (`addr`) と命令のビット列 (`bits`) を格納するためのメンバーが含まれています。

次に、`fifo` モジュールとデータの受け渡しをするための変数を定義し、`fifo` モジュールを `if_fifo` という名前でインスタンス化しています。`DATA_TYPE` パラメータに `if_fifo_type` を渡すことでアドレスと命令のペアを格納することができるようにし、`WIDTH` に `3` と指定することで、サイズを $2 \times 3 - 1 = 7$ にしています。このサイズは適当です。

`fifo` モジュールを用意したので、メモリヘフェッチ指令を送る処理を変更します。

▼ リスト 3.18: フェッチ処理の変更

```

// 命令フェッチ処理
always_comb {
    // FIFOに空きがあるとき、命令をフェッチする
    membus.valid = if_fifo_wready; ← 1をif_fifo_wreadyに変更
    membus.addr  = if_pc;
    membus.wen   = 0;
    membus.wdata = 'x; // wdataは使用しない

    // 常にFIFOから命令を受け取る
    if_fifo_rready = 1;
}

```

上のコードでは、メモリに命令フェッチを要求する条件を、FIFO に空きがあるという条件に変更しています。これにより、FIFO があふれてしまうことがなくなります。また、とりあえず FIFO から常にデータを取り出すようにしています。

次に、命令をフェッチできたら FIFO に格納するようにします。

▼ リスト 3.19: FIFO へのデータの格納

```

always_ff {
    ...
    // IFのFIFOの制御
    if if_is_requested && membus.rvalid { ←フェッチできた時
        if_fifo_wvalid = 1;
        if_fifo_wdata.addr = if_pc_requested;
        if_fifo_wdata.bits = membus.rdata;
    }
}

```



```

    } else {
        if if_fifo_wvalid && if_fifo_wready { ← FIFOにデータを格納できる時
            if_fifo_wvalid = 0;
        }
    }
}

```

上のコードを `always_ff` ブロックの中に追加します。また、`if_fifo_wvalid` と `if_fifo_wdata` を `if_reset` 内で0に初期化してください。

フェッチができた時、`if_fifo_wvalid` レジスタの値を1にして、`if_fifo_wdata` レジスタにフェッチした命令とアドレスを格納します。これにより、次のクロック以降のFIFOに空きがあるタイミングでデータが追加されます。

それ以外の時、FIFOにデータを格納しようとしていてFIFOに空きがあるとき、`if_fifo_wvalid` を0にすることでデータの追加を完了します。

命令フェッチはFIFOに空きがあるときにのみ行うため、まだ追加されていないデータが`if_fifo_wdata` レジスタに格納されていても別のデータに上書きされてしまうことはありません。

▼リスト 3.20: 命令を表示する

```

let inst_pc : Addr = if_fifo_rdata.addr;
let inst_bits: Inst = if_fifo_rdata.bits;

always_ff {
    if if_fifo_rvalid {
        $display("%h : %h", inst_pc, inst_bits);
    }
}

```

命令を表示するコードを上のように変更し、シミュレータを実行しましょう。命令がフェッチされて表示されるまでに、FIFOに格納して取り出すクロック分だけ遅延があることに注意してください。

▼リスト 3.21: FIFO をテストする

```

$ make build
$ make sim
$ obj_dir/sim src/sample.hex 7
00000000 : 01234567
00000004 : 89abcdef
00000008 : deadbeef
0000000c : cafebebe

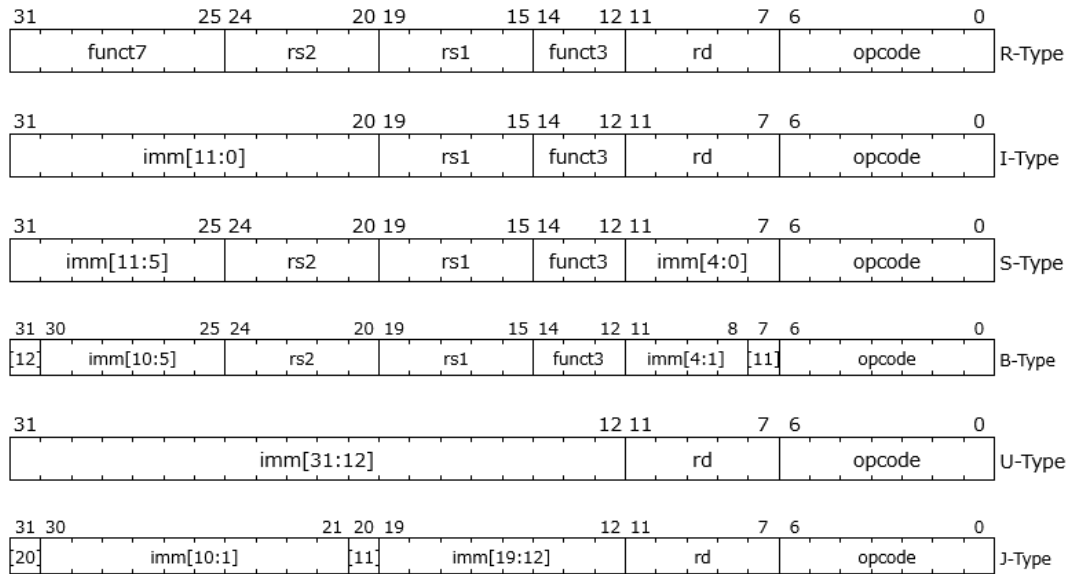
```

3.7 命令のデコードと即値の生成

命令をフェッチすることができたら、フェッチした命令がどのような意味を持つかをチェック

し、CPU が何をすればいいかを判断するためのフラグや値を生成します。この作業のことを、命令のデコードと呼びます。

RISC-V にはいくつかの命令の形式がありますが、RV32I には R, I, S, B, U, J の 6 つの形式の命令が存在しています。



▲ 図 3.1: RISC-V の命令形式 (引用元: The RISC-V Instruction Set Manual Volume I: Unprivileged Architecture version 20240411 2.3. Immediate Encoding Variants)

R 形式

ソースレジスタ (rs1, rs2) が 2 つ、デスティネーションレジスタ (rd) が 1 つの命令形式です。2 つのソースレジスタの値を使って計算し、その結果をデスティネーションレジスタに格納します。例えば ADD, SUB 命令に使用されています。

I 形式

ソースレジスタ (rs1) が 1 つ、デスティネーションレジスタ (rd) が 1 つの命令形式です。12 ビットの即値 (imm[11:0]) が命令中に含まれており、これと rs1 を使って計算し、その結果をデスティネーションレジスタに格納します。例えば ADDI, SUBI 命令に使用されています。

S 形式

ソースレジスタ (rs1, rs2) が 2 つ、デスティネーションレジスタ (rd) が 1 つの命令形式です。12 ビットの即値 (imm[11:5], imm[4:0]) が命令中に含まれており、これとソースレジスタを使って計算やメモリにアクセスし、その結果をデスティネーションレジスタに格納します。例えば SW 命令 (メモリにデータを格納する命令) に使用されています。

B 形式

ソースレジスタ (rs1, rs2) が 2 つの命令形式です。12 ビットの即値 (imm[12], imm[11], imm[10:5], imm[4:1]) が命令中に含まれています。分岐命令に使用されており、ソースレジスタの計算の結果が分岐を成立させる場合、即値を使ってジャンプします。

U 形式

デスティネーションレジスタ (rd) が 1 つの命令形式です。20 ビットの即値 (imm[31:12]) が命令中に含まれています。例えば LUI 命令 (レジスタの上位 20 ビットを設定する命令) に使用されています。

J 形式

デスティネーションレジスタ (rd) が 1 つの命令形式です。20 ビットの即値 (imm[20], imm[19:12], imm[11], imm[10:1]) が命令中に含まれています。例えば JAL 命令 (ジャンプ命令) に使用されており、PC に即値を足した相対位置にジャンプします。

全ての命令形式には `opcode` が共通して存在しています。命令の判別には `opcode`、`funct3`、`funct7` を利用します。

3.7.1 定数と型の定義

デコード処理を書く前に、デコードに利用する定数と型を定義します。`src/corectrl.veryl` を作成し、次のように記述します。

▼ リスト 3.22: corectrl.veryl

```
import eei::*;

package corectrl {
    // 命令形式を表す列挙型
    enum InstType: logic<6> {
        X = 6'b000000,
        R = 6'b000001,
        I = 6'b000010,
        S = 6'b000100,
        B = 6'b001000,
        U = 6'b010000,
        J = 6'b100000,
    }

    // 制御に使うフラグ用の構造体
    struct InstCtrl {
        itype    : InstType    , // 命令の形式
        rwb_en   : logic       , // レジスタに書き込むかどうか
        is_lui    : logic       , // LUI命令である
        is_aluop  : logic       , // ALUを利用する命令である
        is_jump   : logic       , // ジャンプ命令である
        is_load   : logic       , // ロード命令である
        funct3    : logic <3> , // 命令のfunct3フィールド
        funct7    : logic <7> , // 命令のfunct7フィールド
    }
}
```

```
}

```

`InstType` は、命令の形式を表すための列挙型です。 `InstType` の幅は 6 ビットで、それぞれのビットに 1 つの命令形式が対応しています。どの命令形式にも対応しない場合、すべてのビットが 0 の `InstType::X` を対応させます。

`InstCtrl` は、制御に使うフラグを列挙するための構造体です。 `itype` には命令の形式、 `funct3` , `funct7` には、それぞれ命令の `funct3` , `funct7` フィールドを格納します。これ以外の構造体のメンバーについては、使用するときに説明します。

命令をデコードするとき、まず opcode を使って判別します。このために、デコードに使う定数を `eei` パッケージに記述します。

▼ リスト 3.23: `eei.veryl` に追加で記述する

```
// opcode
const OP_OP_IMM : logic<7> = 7'b0010011;
const OP_LUI    : logic<7> = 7'b0110111;
const OP_AUIPC  : logic<7> = 7'b0010111;
const OP_OP     : logic<7> = 7'b0110011;
const OP_JAL    : logic<7> = 7'b1101111;
const OP_JALR   : logic<7> = 7'b1100111;
const OP_BRANCH : logic<7> = 7'b1100011;
const OP_LOAD   : logic<7> = 7'b0000011;
const OP_STORE  : logic<7> = 7'b0100011;
```

これらの値とそれぞれの命令の対応については、仕様書 Volume I の 37. RV32/64G Instruction Set Listings を確認してください。

3.7.2 デコードと即値の生成

デコード処理を書く準備が整いました。 `src/inst_decoder.veryl` を作成し、次のように記述します。

▼ リスト 3.24: `inst_decoder.veryl`

```
import eei::*;
import corectrl::*;

module inst_decoder (
    bits: input  Inst ,
    ctrl: output InstCtrl,
    imm : output UIntX ,
) {
    // 即値の生成
    let imm_i_g: logic<12> = bits[31:20];
    let imm_s_g: logic<12> = {bits[31:25], bits[11:7]};
    let imm_b_g: logic<12> = {bits[31], bits[7], bits[30:25], bits[11:8]};
    let imm_u_g: logic<20> = bits[31:12];
    let imm_j_g: logic<20> = {bits[31], bits[19:12], bits[20], bits[30:21]};
```

```

let imm_i: UIntX = {bits[31] repeat XLEN - $bits(imm_i_g), imm_i_g};
let imm_s: UIntX = {bits[31] repeat XLEN - $bits(imm_s_g), imm_s_g};
let imm_b: UIntX = {bits[31] repeat XLEN - $bits(imm_b_g) - 1, imm_b_g, 1'b0};
let imm_u: UIntX = {bits[31] repeat XLEN - $bits(imm_u_g) - 12, imm_u_g, 12'b0};
let imm_j: UIntX = {bits[31] repeat XLEN - $bits(imm_j_g) - 1, imm_j_g, 1'b0};

let op: logic<7> = bits[6:0];
let f7: logic<7> = bits[31:25];
let f3: logic<3> = bits[14:12];

const T: logic = 1'b1;
const F: logic = 1'b0;

always_comb {
    imm = case op {
        OP_LUI, OP_AUIPC          : imm_u,
        OP_JAL                    : imm_j,
        OP_JALR, OP_LOAD, OP_OP_IMM: imm_i,
        OP_BRANCH                 : imm_b,
        OP_STORE                  : imm_s,
        default                    : 'x,
    };
    ctrl = {case op {
        OP_LUI    : {InstType::U, T, T, F, F, F},
        OP_AUIPC  : {InstType::U, T, F, F, F, F},
        OP_JAL    : {InstType::J, T, F, F, T, F},
        OP_JALR   : {InstType::I, T, F, F, T, F},
        OP_BRANCH : {InstType::B, F, F, F, F, F},
        OP_LOAD   : {InstType::I, T, F, F, F, T},
        OP_STORE  : {InstType::S, F, F, F, F, F},
        OP_OP     : {InstType::R, T, F, T, F, F},
        OP_OP_IMM : {InstType::I, T, F, T, F, F},
        default   : {InstType::X, F, F, F, F, F},
    }, f3, f7};
}
}

```

inst_decoder モジュールは、命令のビット列 `bits` を受け取り、制御信号 `ctrl` と即値 `imm` を出力します。

即値の生成

B 形式の命令について考えます。まず、命令のビット列から即値部分を取り出して、`imm_b_g` ワイヤを生成します。B 形式の命令内に含まれている即値は 12 ビットで、最上位ビットは符号ビットです。最上位ビットを繰り返す (符号拡張する) ことによって、32 ビットの即値 `imm_b` を生成します。

`always_comb` ブロックでは、opcode を case 式で分岐することにより `imm` ポートに適切な即値を出力しています。

制御フラグの生成

opcode が OP-IMM な命令、例えば ADDI 命令について考えます。ADDI 命令は、即値とソースレジスタの値を足し、デスティネーションレジスタに結果を格納する命令です。

`always_comb` ブロックでは、opcode が `OP_OP_IMM` のとき、次のように制御信号 `ctrl` を設定します。

- 命令形式 `itype` を `InstType::I` に設定します
- `funct3` , `funct7` を命令中のビットをそのまま設定します
- 結果をレジスタに書き込むため、`rw_b_en` を `1` に設定します
- ALU(計算を実行するユニット) を利用するため、`is_aluop` を `1` に設定します。
- それ以外のメンバーは `0` に設定します。

3.7.3 デコーダのインスタンス化

`inst_decoder` モジュールを、`core` モジュールでインスタンス化します。

▼ リスト 3.25: `inst_decoder` のインスタンス化 (`core.veryl`)

```
let inst_pc : Addr      = if_fifo_rdata.addr;
let inst_bits: Inst     = if_fifo_rdata.bits;
var inst_ctrl: InstCtrl;
var inst_imm : UIntX    ;

inst_decoder: inst_decoder (
    bits: inst_bits,
    ctrl: inst_ctrl,
    imm : inst_imm ,
);
```

まず、デコーダと `core` モジュールを接続するために `inst_ctrl` と `inst_imm` を定義します。次に、`inst_decoder` モジュールをインスタンス化します。`bits` ポートに `inst_bits` を渡すことで、フェッチした命令をデコードします。

▼ リスト 3.26: デコード結果の表示プログラム (`core.veryl`)

```
always_ff {
    if if_fifo_rvalid {
        $display("%h : %h", inst_pc, inst_bits);
        $display(" itype : %b", inst_ctrl.itype);
        $display(" imm   : %h", inst_imm);
    }
}
```

デバッグ用の `always_ff` ブロックに、デコードした結果を表示するプログラムを記述します。

`sample.hex` をメモリの初期値として使い、デコード結果を確認します。

▼ リスト 3.27: デコーダのテスト

```

$ make build
$ make sim
$ obj_dir/sim src/sample.hex 7
00000000 : 01234567
  itype   : 000010
  imm     : 00000012
00000004 : 89abcdef
  itype   : 100000
  imm     : fffbc09a
00000008 : deadbeef
  itype   : 100000
  imm     : fffdb5ea
0000000c : cafebebe
  itype   : 000000
  imm     : 00000000

```

例えば `01234567` は、`jalr x10, 18(x6)` という命令のビット列になります。命令の種類は JALR で、命令形式は I 形式、即値は 10 進数で `18` です。デコード結果を確認すると、`itype` が `0000010`、`imm` が `00000012` になっており、正しくデコードできていることが確認できます。

3.8 レジスタの定義と読み込み

RV32I の仕様では、32 ビット幅のレジスタが 32 個用意されています。0 番目のレジスタの値は常に 0 です。

命令を実行するとき、実行に使うデータをレジスタ番号で指定することがあります。実行に使うデータとなるレジスタのことを、ソースレジスタと呼びます。また、命令の結果を、指定された番号のレジスタに格納することがあります。このために使われるレジスタのことを、デスティネーションレジスタと呼びます。

core モジュールに、レジスタを定義します。RV32I のレジスタの幅は XLEN(=32) ビットです。よって、サイズが 32 の `UIntX` 型のレジスタの配列を定義します。

▼ リスト 3.28: レジスタの定義 (core.veryl)

```

// レジスタ
var regfile: UIntX<32>;

```

レジスタをまとめたもののことをレジスタファイルと呼ぶため、`regfile` という名前をつけています。

図 3.1 を見るとわかるように、RISC-V の命令は形式によってソースレジスタの数が異なります。例えば、R 形式はソースレジスタが 2 つで、2 つのレジスタのデータを使って実行されます。それに対して、I 形式のソースレジスタは 1 つです。I 形式の命令の実行には、ソースレジスタのデータと即値を利用します。

レジスタを定義したので、命令が使用するレジスタのデータを取得します。命令のビット列の中のソースレジスタの番号の場所は、命令形式が違って共通の場所にあります。

ここで、プログラムを簡単にするために、命令中のソースレジスタの番号にあたる場所に、常にソースレジスタの番号が書かれていると解釈します。更に、命令がレジスタのデータを利用するかどうかに関係なく、常にレジスタのデータを読み込むことにします。

▼ リスト 3.29: 命令が使うレジスタのデータを取得する (core.veryl)

```
// レジスタ番号
let rs1_addr: logic<5> = inst_bits[19:15];
let rs2_addr: logic<5> = inst_bits[24:20];

// ソースレジスタのデータ
let rs1_data: UIntX = if rs1_addr == 0 {
    0
} else {
    regfile[rs1_addr]
};
let rs2_data: UIntX = if rs2_addr == 0 {
    0
} else {
    regfile[rs2_addr]
};
```

`if` 式により、0 番目のレジスタが指定されたときは、常に 0 になるようにします。レジスタの値を読み込めていることを確認するために、次のように記述します。

▼ リスト 3.30: レジスタの値を表示する (core.veryl)

```
always_ff {
    if if_fifo_rvalid {
        $display("%h : %h", inst_pc, inst_bits);
        $display(" itype   : %b", inst_ctrl.itype);
        $display(" imm     : %h", inst_imm);
        $display(" rs1[%d] : %h", rs1_addr, rs1_data);
        $display(" rs2[%d] : %h", rs2_addr, rs2_data);
    }
}
```

`$display` システムタスクで、命令のレジスタ番号とデータを表示します。早速動作のテストをしたいところですが、今のままだとレジスタのデータが初期化されておらず、0 番目のレジスタのデータ以外は不定 (0 か 1 か分からない) になってしまいます。

これではテストする意味がないため、レジスタの値を適当な値に初期化します。^{*1}

▼ リスト 3.31: レジスタの値を初期化する (core.veryl)

^{*1} 「i」は変数だから `if_reset` で使えません」のようなエラーが出る場合、申し訳ありませんが `for` 文を使わずに 1 つずつ初期化してください。


```
// レジスタの初期化
always_ff {
    if_reset {
        for i: i32 in 0..32 {
            regfile[i] = i + 100;
        }
    }
}
```

上のコードでは、`always_ff` ブロックの `if_reset` で、 n 番目 ($32 > n > 0$) のレジスタの値を `n + 100` で初期化しています。

▼リスト 3.32: レジスタ読み込みのデバッグ

```
$ make build
$ make sim
$ obj_dir/sim sample.hex 7
00000000 : 01234567
  itype   : 000010
  imm     : 00000012
  rs1[ 6] : 0000006a
  rs2[18] : 00000076
00000004 : 89abcdef
  itype   : 100000
  imm     : fffbcb09a
  rs1[23] : 0000007b
  rs2[26] : 0000007e
00000008 : deadbeef
  itype   : 100000
  imm     : fffdb5ea
  rs1[27] : 0000007f
  rs2[10] : 0000006e
0000000c : cafebebe
  itype   : 000000
  imm     : 00000000
  rs1[29] : 00000081
  rs2[15] : 00000073
```

`01234567` は `jalr x10, 18(x6)` です。JALR 命令は、ソースレジスタ `x6` を使用します。`x6` はレジスタ番号が `6` であることを表しており、値は `106` になります。これは 16 進数で `6a` です。シミュレーションと結果が一致していることを確認してください。

3.9 ALU を作り、計算する

命令は足し算や引き算、ビット演算などの計算を行います。計算の対象となるデータが揃ったので、ALU(計算する部品)を作成します。

3.9.1 ALU の作成

データの幅は `XLEN` です。計算には、符号付き整数と符号なし整数向けの計算があります。これに利用するために、`eei` モジュールに `XLEN` ビットの符号あり整数型を定義します。

▼ リスト 3.33: `XLEN` ビットの符号付き整数を定義する (`eei.veryl`)

```
type SIntX = signed logic<XLEN>;
type SInt32 = signed logic<32> ;
type SInt64 = signed logic<64> ;
```

次に、`src/alu.veryl` を作成し、次のように記述します。

▼ リスト 3.34: `alu.veryl`

```
import eei::*;
import corectrl::*;

module alu (
  ctrl : input  InstCtrl,
  op1  : input  UIntX ,
  op2  : input  UIntX ,
  result: output UIntX ,
) {
  let add: UIntX = op1 + op2;
  let sub: UIntX = op1 - op2;

  let srl: UIntX = op1 >> op2[4:0];
  let sra: SIntX = $signed(op1) >>> op2[4:0];

  always_comb {
    if ctrl.is_aluop {
      case ctrl.funct3 {
        3'b000: result = if ctrl.itype == InstType::I | ctrl.funct7 == 0 {
          add // ADD, ADDI
        } else {
          sub // SUB
        };
        3'b001: result = op1 << op2[4:0]; // SLL, SLLI
        3'b010: result = {1'b0 repeat XLEN - 1, $signed(op1) <: $signed(op2)}; // SLT,>
        > SLTI
        3'b011: result = {1'b0 repeat XLEN - 1, op1 <: op2}; // SLTU, SLTUI
        3'b100: result = op1 ^ op2; // XOR, XORI
        3'b101: result = if ctrl.funct7 == 0 {
          srl // SRL, SRLI
        } else {
          sra // SRA, SRAI
        };
        3'b110 : result = op1 | op2; // OR, ORI
        3'b111 : result = op1 & op2; // AND, ANDI
        default: result = 'x;
      }
    } else {
      result = add;
    }
  }
}
```

```

    }
  }
}

```

alu モジュールには、次のポートを定義します。

▼表 3.3: alu モジュールのポート定義

ポート名	方向	型	用途
ctrl	input	InstCtrl	制御用信号
op1	input	UIntX	1 つ目のデータ
op2	input	UIntX	2 つ目のデータ
result	output	UIntX	結果

命令が ALU でどのような計算を行うかは命令の種別によって異なります。RV32I では、仕様書 Volume I の 2.4. Integer Computational Instructions(整数演算命令)に定義されている命令は、命令の funct3, funct7 フィールドによって計算の種類を特定することができます。

それ以外の命令は、足し算しか行いません。そのため、デコード時に整数演算命令とそれ以外の命令を `InstCtrl.is_aluop` で区別し、整数演算命令以外は常に足し算を行うようにしています。具体的には、`opcode` が OP か OP-IMM の命令の `InstCtrl.is_aluop` を 1 にしています。(inst_decoder モジュールを確認してください)

`always_comb` ブロックでは、case 文で funct3 によって計算を区別します。それだけでは区別できないとき、funct7 を使用します。

▼リスト 3.35: ALU に渡すデータの用意 (core.veryl)

```

// ALU
var op1      : UIntX;
var op2      : UIntX;
var alu_result: UIntX;

always_comb {
  case inst_ctrl.itype {
    InstType::R, InstType::B: {
      op1 = rs1_data;
      op2 = rs2_data;
    }
    InstType::I, InstType::S: {
      op1 = rs1_data;
      op2 = inst_imm;
    }
    InstType::U, InstType::J: {
      op1 = inst_pc;
      op2 = inst_imm;
    }
    default: {
      op1 = 'x;
      op2 = 'x;
    }
  }
}

```

```

    }
}
}

```

次に、ALU に渡すデータを用意します。`UIntX` 型の変数 `op1` , `op2` , `alu_result` を定義し、`always_comb` ブロックで値を割り当てます。割り当てるデータは命令形式によって次のように異なります。

R 形式, B 形式

R 形式, B 形式は、レジスタのデータとレジスタのデータの演算を行います。 `op1` , `op2` は、レジスタのデータ `rs1_data` , `rs2_data` になります。

I 形式, S 形式

I 形式, S 形式は、レジスタのデータと即値の演算を行います。 `op1` , `op2` は、それぞれレジスタのデータ `rs1_data` , 即値 `inst_imm` になります。S 形式はメモリのストア命令に利用されており、レジスタのデータと即値を足し合わせた値がアクセスするアドレスになります。

U 形式, J 形式

U 形式, J 形式は、即値と PC を足した値、または即値を使う命令に使われています。 `op1` , `op2` は、それぞれ PC `inst_pc` , 即値 `inst_imm` になります。J 形式は JAL 命令に利用されており、即値と PC を足した値がジャンプ先になります。U 形式は AUIPC 命令と LUI 命令に利用されています。AUIPC 命令は、即値と PC を足した値をデスティネーションレジスタに格納します。LUI 命令は、即値をそのままデスティネーションレジスタに格納します。

▼ リスト 3.36: ALU のインスタンス化 (core.veryl)

```

inst alum: alu (
    ctrl : inst_ctrl ,
    op1   ,
    op2   ,
    result: alu_result,
);

```

ALU に渡すデータを用意したので、alu モジュールをインスタンス化します。結果を受け取る用の変数として、`alu_result` を指定します。

3.9.2 ALU のテスト

最後に ALU が正しく動くことを確認します。 `always_ff` ブロックで、 `op1` , `op2` , `alu_result` を表示します。

▼ リスト 3.37: ALU の結果表示 (core.veryl)

```

always_ff {
    if if_fifo_rvalid {

```

```

    $display("%h : %h", inst_pc, inst_bits);
    $display(" itype : %b", inst_ctrl.itype);
    $display(" imm : %h", inst_imm);
    $display(" rs1[%d] : %h", rs1_addr, rs1_data);
    $display(" rs2[%d] : %h", rs2_addr, rs2_data);
    $display(" op1 : %h", op1); ←追加
    $display(" op2 : %h", op2); ←追加
    $display(" alu res : %h", alu_result); ←追加
}
}

```

`sample.hex` を次のように書き換えます。

▼ リスト 3.38: `sample.hex` を書き換える

```

02000093 // addi x1, x0, 32
00100117 // auipc x2, 256
002081b3 // add x3, x1, x2

```

それぞれの命令の意味は次のとおりです。

▼ 表 3.4: 命令の意味

アドレス	命令	意味
00000000	<code>addi x1, x0, 32</code>	$x1 = x0 + 32$
00000004	<code>auipc x2, 256</code>	$x2 = pc + 256$
00000008	<code>add x3, x1, x2</code>	$x3 = x1 + x2$

シミュレータを実行し、結果を確かめます。

▼ リスト 3.39: ALU のデバッグ

```

$ make build
$ make sim
$ obj_dir/sim src/sample.hex 6
00000000 : 02000093
  itype : 000010
  imm : 00000020
  rs1[ 0] : 00000000
  rs2[ 0] : 00000000
  op1 : 00000000
  op2 : 00000020
  alu res : 00000020
00000004 : 00100117
  itype : 010000
  imm : 00100000
  rs1[ 0] : 00000000
  rs2[ 1] : 00000065
  op1 : 00000004
  op2 : 00100000
  alu res : 00100004

```

```
00000008 : 002081b3
itype    : 000001
imm      : 00000000
rs1[ 1]  : 00000065
rs2[ 2]  : 00000066
op1      : 00000065
op2      : 00000066
alu res  : 000000cb
```

まだ結果をディスティネーションレジスタに格納する処理を作成していません。そのため、レジスタの値は変わらないことに注意してください

addi x1, x0, 32

`op1` は 0 番目のレジスタの値です。0 番目のレジスタの値は常に 0 であるため、`00000000` と表示されています。`op2` は即値です。即値は 32 であるため、16 進数で `00000020` と表示されています。ALU の計算結果として、0 と 32 を足した結果 `00000020` が表示されています。

auipc x2, 256

`op1` は PC です。`op1` には、命令のアドレス `00000004` が表示されています。`op2` は即値です。256 を 12bit 左にシフトした値 `00100000` が表示されています。ALU の計算結果として、これを足した結果 `00100004` が表示されています。

add x3, x1, x2

`op1` は 1 番目のレジスタの値です。1 番目のレジスタは `101` として初期化しているので、`00000065` と表示されています。2 番目のレジスタは `102` として初期化しているので、`00000066` と表示されています。ALU の計算結果として、これを足した結果 `000000cb` が表示されています。

3.10 レジスタに結果を書き込む

CPU はレジスタから値を読み込み、これを計算して、レジスタに結果の値を書き戻します。レジスタに値を書き戻すことを、ライトバックと言います。

ライトバックする値は、計算やメモリアクセスの結果です。まだメモリにアクセスする処理を実装していませんが、先にライトバック処理を実装します。

3.10.1 ライトバックの実装

書き込む対象のレジスタは、命令の `rd` フィールドによって番号で指定します。デコード時に、ライトバックする命令かどうかを `InstCtrl.rwb_en` に格納しています。(inst_decoder モジュールを確認してください)

今のところ、LUI 命令のときは即値をそのまま、それ以外の命令のときは ALU の結果をライト

バックするようにします。

▼ リスト 3.40: ライトバック処理の実装 (core.veryl)

```
let rd_addr: logic<5> = inst_bits[11:7];
let wb_data: UIntX    = if inst_ctrl.is_lui {
    inst_imm
} else {
    alu_result
};

always_ff {
    if_reset {
        for i: i32 in 0..32 {
            regfile[i] = i + 100;
        }
    } else {
        if if_fifo_rvalid && inst_ctrl.rwb_en {
            regfile[rd_addr] = wb_data;
        }
    }
}
```

3.10.2 ライトバックのテスト

`always_ff` ブロックに、ライトバック処理の概要を表示するプログラムを記述します。処理している命令がライトバックする命令のときにのみ、`$display` システムコールを呼び出します。

▼ リスト 3.41: 結果の表示 (core.veryl)

```
if inst_ctrl.rwb_en {
    $display(" reg[%d] <= %h", rd_addr, wb_data);
}
```

シミュレータを実行し、結果を確認めます。

▼ リスト 3.42: ライトバックのデバッグ

```
$ make build
$ make sim
$ obj_dir/sim sample.hex 6
00000000 : 02000093
  itype    : 000010
  imm      : 00000020
  rs1[ 0]  : 00000000
  rs2[ 0]  : 00000000
  op1      : 00000000
  op2      : 00000020
  alu res   : 00000020
  reg[ 1] <= 00000020
00000004 : 00100117
  itype    : 010000
  imm      : 00100000
```

```

rs1[ 0] : 00000000
rs2[ 1] : 00000020
op1     : 00000004
op2     : 00100000
alu res  : 00100004
reg[ 2] <= 00100004
00000008 : 002081b3
itype    : 000001
imm      : 00000000
rs1[ 1]  : 00000020
rs2[ 2]  : 00100004
op1      : 00000020
op2      : 00100004
alu res  : 00100024
reg[ 3] <= 00100024

```

addi x1, x0, 32

x1 に、0 と 32 を足した結果を格納しています。

auipc x2, 256

x2 に、PC と 256 を足した結果を格納しています。

add x3, x1, x2

x1 は 1 つ目の命令で `00000020` に、x2 は 2 つ目の命令で `00100004` にされています。x3 に、x1 と x2 を足した結果 `00100024` を格納しています。

おめでとうございます！ この CPU は整数演算命令の実行ができるようになりました。
最後に、テストのためにレジスタの値を初期化するようにしていたコードを削除します。

▼ リスト 3.43: レジスタの初期化をやめる (core.veryl)

```

always_ff {
    if if_fifo_rvalid && inst_ctrl.rwb_en {
        regfile[rd_addr] = wb_data;
    }
}

```

3.11 ロード命令とストア命令の実装

RV32I には、メモリのデータをロードする (読み込む)、ストアする (書き込む) 命令として次の命令があります。

ロード命令は I 形式、ストア命令は S 形式です。これらの命令で指定するメモリのアドレスは、rs1 と即値の足し算です。ALU に渡すデータが rs1 と即値になっていることを確認してください (リスト 3.29)。ストア命令は、rs2 の値をメモリに格納します。

▼表 3.5: ロード命令, ストア命令

命令	作用
LB	8 ビットのデータを読み込む。上位 24 ビットは符号拡張する
LBU	8 ビットのデータを読み込む。上位 24 ビットは 0 とする
LH	16 ビットのデータを読み込む。上位 16 ビットは符号拡張する
LHU	16 ビットのデータを読み込む。上位 16 ビットは 0 とする
LW	32 ビットのデータを読み込む
SB	8 ビットのデータを書き込む
SH	16 ビットのデータを書き込む
SW	32 ビットのデータを書き込む

3.11.1 LW, SW 命令の実装

8 ビット, 16 ビット単位で読み書きを行う命令の実装は少し大変です。まず 32 ビット単位で読み書きを行う LW, SW 命令を実装します。

memunit モジュールの作成

メモリ操作を行うモジュールを `memunit.veryl` に記述します。

▼リスト 3.44: memunit.veryl

```
import eei::*;
import corectrl::*;

module memunit (
    clk      : input  clock           ,
    rst      : input  reset           ,
    valid    : input  logic           ,
    is_new    : input  logic           , // 命令が新しく供給されたかどうか
    ctrl     : input  InstCtrl        , // 命令のInstCtrl
    addr     : input  Addr            , // アクセスするアドレス
    rs2      : input  UIntX           , // ストア命令で書き込むデータ
    rdata    : output UIntX           , // ロード命令の結果 (stall = 0のときに有効)
    stall    : output logic           , // メモリアクセス命令が完了していない
    membus   : modport membus_if::master, // メモリとのinterface
) {

    // 命令がメモリにアクセスする命令か判別する関数
    function inst_is_memop (
        ctrl: input InstCtrl,
    ) -> logic {
        return ctrl.itype == InstType::S || ctrl.is_load;
    }

    // 命令がストア命令か判別する関数
    function inst_is_store (
        ctrl: input InstCtrl,
    ) -> logic {
        return inst_is_memop(ctrl) && !ctrl.is_load;
    }
}
```

```

}

// memunitの状態を表す列挙型
enum State: logic<2> {
    Init, // 命令を受け付ける状態
    WaitReady, // メモリが操作可能になるのを待つ状態
    WaitValid, // メモリ操作が終了するのを待つ状態
}

var state: State;

var req_wen : logic ;
var req_addr : Addr ;
var req_wdata: UInt32;

always_comb {
    // メモリアクセス
    membus.valid = state == State::WaitReady;
    membus.addr  = req_addr;
    membus.wen   = req_wen;
    membus.wdata = req_wdata;
    // loadの結果
    rdata = membus.rdata;
    // stall判定
    stall = valid & case state {
        State::Init      : is_new && inst_is_memop(ctrl),
        State::WaitReady: 1,
        State::WaitValid: !membus.rvalid,
        default          : 0,
    };
}

always_ff {
    if_reset {
        state      = State::Init;
        req_wen    = 0;
        req_addr   = 0;
        req_wdata  = 0;
    } else {
        if valid {
            case state {
                State::Init: if is_new & inst_is_memop(ctrl) {
                    state      = State::WaitReady;
                    req_wen    = inst_is_store(ctrl);
                    req_addr   = addr;
                    req_wdata  = rs2;
                }
                State::WaitReady: if membus.ready {
                    state = State::WaitValid;
                }
                State::WaitValid: if membus.rvalid {
                    state = State::Init;
                }
            }
        }
    }
}

```

```

        default: {}
      }
    }
  }
}

```

memunit モジュールでは、命令がメモリにアクセスする命令の時、ALU から受け取ったアドレスをメモリに渡して操作を実行します。

命令がメモリにアクセスする命令かどうかは、`inst_is_memop` 関数で判定します。ストア命令のとき、命令の形式は S 形式です。ロード命令のとき、デコーダは `InstCtrl.is_load` を 1 にしています。

memunit モジュールには、次の状態が定義されています。初期状態は `State::Init` です。

State::Init

memunit モジュールに新しく命令が供給されたとき、`valid` と `is_new` が 1 になります。新しく命令が供給されて、それがメモリにアクセスする命令のとき、状態を `State::WaitReady` に移動します。その際、`req_wen` にストア命令かどうか、`req_addr` にアクセスするアドレス、`req_wdata` に `rs2` を格納します。

State::WaitReady

この状態の時、命令に応じた要求をメモリに送り続けます。メモリが要求を受け付ける (`ready`) とき、状態を `State::WaitValid` に移動します。

State::WaitValid

メモリに送信した要求の処理が終了した (`rvalid`) とき、状態を `State::Init` に移動します。

メモリにアクセスする命令のとき、memunit モジュールは `Init` , `WaitReady` , `WaitValid` の順で状態を移動するため、実行には少なくとも 3 クロックが必要です。その間、CPU はレジスタのライトバック処理や FIFO からの命令の取り出しを待つ必要があります。

これを実現するために、memunit モジュールには処理中かどうかを表す `stall` フラグが存在します。有効な命令が供給されているとき、`state` やメモリの状態に応じて、次のように `stall` を決定します。

▼ 表 3.6: stall の値の決定方法

状態	stall が 1 になる条件
Init	新しく命令が供給されて、それがメモリにアクセスする命令のとき
WaitReady	常に 1
WaitValid	処理が終了していない (<code>!membus.rvalid</code>) とき



アドレスが 4 バイトに整列されていない場合の動作

今のところ、memory モジュールはアドレスの下位 2 ビットを無視するため、`addr` の下位 2 ビットが `00` ではない、つまり、4 で割り切れないアドレスに対して LW, SW 命令を実行する場合、memunit モジュールは正しい動作をしません。2 で割り切れないアドレスに対する LH, LHU, SH 命令についても同様です。これらの問題については後の章で対策するため、今は無視します。

memunit モジュールのインスタンス化

core モジュール内に memunit モジュールをインスタンス化します。

まず、命令が供給されていることを示す信号 `inst_valid` と、命令が現在のクロックで供給されたことを示す信号 `inst_is_new` を作成します。

▼ リスト 3.45: `inst_valid`, `inst_is_new` の定義 (core.veryl)

```
let inst_valid : logic    = if_fifo_rvalid;
var inst_is_new: logic    ; // 命令が今のクロックで供給されたかどうか
```

▼ リスト 3.46: `inst_is_new` の実装 (core.veryl)

```
always_ff {
  if_reset {
    inst_is_new = 0;
  } else {
    if if_fifo_rvalid {
      inst_is_new = if_fifo_rready;
    } else {
      inst_is_new = 1;
    }
  }
}
```

命令が供給されているかどうかは、`if_fifo_rvalid` と同値です。これを機に、`if_fifo_rvalid` を使用しているところを `inst_valid` に置き換えましょう。

命令が現在のクロックで供給されたかどうかは、FIFO の `rvalid` , `rready` を観測することでわかります。`rvalid` が 1 のとき、`ready` が 1 なら、次のクロックで供給される命令は新しく供給される命令です。`ready` が 0 なら、次のクロックで供給されている命令は現在のクロックと同じ命令になります。`rvalid` が 0 のとき、次のクロックで供給される命令は常に新しく供給される命令になります。(次のクロックで `rvalid` が 1 かどうかについては考えません)

さて、memunit モジュールをインスタンス化する前に、メモリとの接続方法について考える必要があります。

core モジュールには、メモリとの接続点として membus ポートが存在します。しかし、これは命令フェッチ用に使用されているため、memunit モジュール用に使用することができません。また、memory モジュールは同時に 2 つの操作を受け付けることができません。

この問題を、core モジュールにメモリとの接続点を2つ用意し、それを top モジュールで調停することにより回避します。

▼ リスト 3.47: core モジュールのポート定義 (core.veryl)

```
module core (
  clk      : input  clock          ,
  rst      : input  reset          ,
  i_membus: modport membus_if::master,
  d_membus: modport membus_if::master,
) {
```

まず、core モジュールに、命令フェッチ用のポート `i_membus` , ロードストア命令用のポート `d_membus` の2つのポートを用意します。命令フェッチ用のポートが `membus` から `i_membus` に変更されるため、既存の `membus` を `i_membus` に置き換えてください。

▼ リスト 3.48: membus を i_membus に置き換える (core.veryl)

```
// FIFOに空きがあるとき、命令をフェッチする
i_membus.valid = if_fifo_wready;
i_membus.addr  = if_pc;
i_membus.wen   = 0;
i_membus.wdata = 'x; // wdataは使用しない
```

次に、top モジュールでの調停を実装します。

▼ リスト 3.49: メモリへのアクセス要求の調停 (top.veryl)

```
inst membus : membus_if;
inst i_membus: membus_if; // 命令フェッチ用
inst d_membus: membus_if; // ロードストア命令用

var memarb_last_i: logic;

// メモリアccessを調停する
always_ff {
  if_reset {
    memarb_last_i = 0;
  } else {
    if membus.ready {
      memarb_last_i = !d_membus.valid;
    }
  }
}

always_comb {
  i_membus.ready = membus.ready && !d_membus.valid;
  i_membus.rvalid = membus.rvalid && memarb_last_i;
  i_membus.rdata = membus.rdata;

  d_membus.ready = membus.ready;
  d_membus.rvalid = membus.rvalid && !memarb_last_i;
  d_membus.rdata = membus.rdata;
```

```

    membus.valid = i_membus.valid | d_membus.valid;
    if d_membus.valid {
        membus.addr  = d_membus.addr;
        membus.wen   = d_membus.wen;
        membus.wdata = d_membus.wdata;
    } else {
        membus.addr  = i_membus.addr;
        membus.wen   = i_membus.wen;
        membus.wdata = i_membus.wdata;
    }
}

```

新しく、`i_membus` と `d_membus` をインスタンス化し、それを `membus` と接続します。
調停の仕組みは次のとおりです。

- `i_membus` と `d_membus` の両方の `valid` が 1 のとき、`d_membus` を優先する
- `memarb_last_i` レジスタに、受け入れた要求が `i_membus` からのものだったかどうかを記録する
- メモリが要求の結果を返すとき、`memarb_last_i` を見て、`i_membus` と `d_membus` のどちらか片方の `rvalid` を 1 にする

命令フェッチを優先していると命令の処理が進まないため、`i_membus` よりも `d_membus` を優先します。

core モジュールとの接続を次のように変更します。

▼ リスト 3.50: `membus` を 2 つに分けて接続する (top.veryl)

```

inst c: core (
    clk      ,
    rst      ,
    i_membus ,
    d_membus ,
);

```

memory モジュールと `memunit` を接続する準備が整ったので、`memunit` モジュールをインスタンス化します。

▼ リスト 3.51: `memunit` モジュールのインスタンス化 (core.veryl)

```

var memu_rdata: UIntX;
var memu_stall: logic;

inst memu: memunit (
    clk      ,
    rst      ,
    valid : inst_valid ,
    is_new: inst_is_new,
    ctrl  : inst_ctrl  ,
    addr  : alu_result ,
    rs2   : rs2_data   ,

```

```

    rdata : memu_rdata ,
    stall : memu_stall ,
    membus: d_membus   ,
);

```

memunit モジュールの処理待ちとライトバック

最後に、memunit モジュールが処理中は命令を FIFO から取り出すのを止める処理と、LW 命令で読み込んだデータがレジスタにライトバックする処理を実装します。

▼ リスト 3.52: memunit モジュールの処理が終わるのを待つ (core.veryl)

```

// memunitが処理中ではないとき、FIFOから命令を取り出していい
if_fifo_rready = !memu_stall;

```

▼ リスト 3.53: memunit モジュールの結果をライトバックする (core.veryl)

```

let rd_addr: logic<5> = inst_bits[11:7];
let wb_data: UIntX    = if inst_ctrl.is_lui {
    inst_imm
} else if inst_ctrl.is_load {
    memu_rdata
} else {
    alu_result
};

```

memunit モジュールが処理中のとき、`memu_stall` が 1 になっています。そのため、`memu_stall` が 1 のときは、`if_fifo_rready` を 0 にすることで、FIFO からの命令の取り出しを停止します。

ライトバック処理では、命令がロード命令のとき (`inst_ctrl.is_load`)、`alu_result` ではなく `memu_rdata` を `wb_data` に設定します。

ところで、現在のプログラムでは、memunit の処理が終了していないときもライトバックを続けています。レジスタへのライトバックは命令の実行が終了したときのみで良いため、次のようにプログラムを変更します。

▼ リスト 3.54: 命令の実行が終了したときにのみライトバックする (core.veryl)

```

if inst_valid && if_fifo_rready && inst_ctrl.rwb_en {
    regfile[rd_addr] = wb_data;
}

```

▼ リスト 3.55: ライトバックするときのみデバッグ表示する (core.veryl)

```

if if_fifo_rready && inst_ctrl.rwb_en {
    $display(" reg[%d] <= %h", rd_addr, wb_data);
}

```

LW, SW 命令のテスト

LW, SW 命令が正しく動作していることを確認するために、デバッグ出力を次のように変更します。

▼ リスト 3.56: メモリモジュールの状態を出力する (core.veryl)

```
$display(" mem stall : %b", memu_stall);
$display(" mem rdata : %h", memu_rdata);
```

また、ここからのテストは実行するクロック数が多くなるため、ログに何クロック目かを表示することで、ログを読みやすくします。

▼ リスト 3.57: 何クロック目かを出力する (core.veryl)

```
var clock_count: u64;

always_ff {
  if_reset {
    clock_count = 1;
  } else {
    clock_count = clock_count + 1;
    if inst_valid {
      $display("# %d", clock_count);
      $display("%h : %h", inst_pc, inst_bits);
      $display(" itype      : %b", inst_ctrl.itype);
    }
  }
}
```

LW, SW 命令のテストのために、sample.hex を次のように変更します。

▼ リスト 3.58: テスト用のプログラムを記述する (sample.hex)

```
02002503 // lw x10, 0x20(x0)
40000593 // addi x11, x0, 0x400
02b02023 // sw x11, 0x20(x0)
02002603 // lw x12, 0x20(x0)
00000000
00000000
00000000
00000000
00000000
deadbeef // 0x20
```

プログラムは次のようになっています。

▼ 表 3.7: メモリに格納するデータ

アドレス	命令	意味
00000000	lw x10, 0x20(x0)	x10 に、アドレスが 0x20 のデータを読み込む
00000004	addi x11, x0, 0x400	x11 = 0x400
00000008	sw x11, 0x20(x0)	アドレス 0x20 に x11 の値を書き込む
0000000c	lw x12, 0x20(x0)	x12 に、アドレスが 0x20 のデータを読み込む

アドレス `0x20` には、データ `deadbeef` を格納しています。

シミュレータを実行し、結果を確かめます。

▼ リスト 3.59: LW, SW 命令のテスト

```

$ make build
$ make sim
$ obj_dir/sim src/sample.hex 13
#                               3
00000000 : 02002503
  itype   : 000010
  imm     : 00000020
  rs1[ 0] : 00000000
  rs2[ 0] : 00000000
  op1     : 00000000
  op2     : 00000020
  alu res  : 00000020
  mem stall : 1 ← LW命令でストールしている
  mem rdata : 02b02023
(省略)
#                               5
00000000 : 02002503
  itype   : 000010
  imm     : 00000020
  rs1[ 0] : 00000000
  rs2[ 0] : 00000000
  op1     : 00000000
  op2     : 00000020
  alu res  : 00000020
  mem stall : 0 ← LWが終わったので0になった
  mem rdata : deadbeef
  reg[10] <= deadbeef ← 0x20の値が読み込まれた
(省略)
#                               12
0000000c : 02002603
  itype   : 000010
  imm     : 00000020
  rs1[ 0] : 00000000
  rs2[ 0] : 00000000
  op1     : 00000000
  op2     : 00000020
  alu res  : 00000020
  mem stall : 0
  mem rdata : 00000400
  reg[12] <= 00000400 ← 書き込んだ値が読み込まれた

```

3.11.2 LB, LBU, LH, LHU 命令の実装

LB, LBU, SB 命令は 8 ビット単位、LH, LHU, SH 命令は 16 ビット単位でロード/ストアを行う命令です。

まずロード命令を実装します。ロード命令は 32 ビット単位でデータを読み込み、その結果の一部を切り取ることで実装することができます。

まず、何度も記述することになる定数と変数を短い名前 (**W** , **D**) で定義します。

▼ リスト 3.60: W と D の定義 (memunit.veryl)

```
const W: u32 = 32;
let D: UInt32 = membus.rdata;
```

LB, LBU, LH, LHU, LW 命令は、funct3 の値で区別することができます。

▼ 表 3.8: ロード命令の funct3

funct3	命令
000	LB
100	LBU
001	LH
101	LHU
010	LW

funct3 を case 文で分岐し、アドレスの下位ビットを見ることで、命令とアドレスに応じた値を rdata に設定します。

▼ リスト 3.61: rdata をアドレスと読み込みサイズに応じて変更する (memunit.veryl)

```
// loadの結果
rdata = case ctrl.funct3 {
  3'b000 : case addr[1:0] {
    0      : {D[7] repeat W - 8, D[7:0]},
    1      : {D[15] repeat W - 8, D[15:8]},
    2      : {D[23] repeat W - 8, D[23:16]},
    3      : {D[31] repeat W - 8, D[31:24]},
    default: 'x,
  },
  3'b100 : case addr[1:0] {
    0      : {1'b0 repeat W - 8, D[7:0]},
    1      : {1'b0 repeat W - 8, D[15:8]},
    2      : {1'b0 repeat W - 8, D[23:16]},
    3      : {1'b0 repeat W - 8, D[31:24]},
    default: 'x,
  },
  3'b001 : case addr[1] {
    0      : {D[15] repeat W - 16, D[15:0]},
    1      : {D[31] repeat W - 16, D[31:16]},
    default: 'x,
  },
  3'b101 : case addr[1] {
    0      : {1'b0 repeat W - 16, D[15:0]},
    1      : {1'b0 repeat W - 16, D[31:16]},
    default: 'x,
  },
  3'b010 : D,
  default: 'x,
};
```

3.11.3 SB, SH 命令の実装

次に、SB, SH 命令を実装します。

memory モジュールで書き込みマスクをサポートする

memory モジュールは、32 ビット単位の読み書きしかサポートしておらず、一部の書き込みもサポートしていません。本書では、一部のみ書き込む命令を memory モジュールでサポートすることで、SB, SH 命令を実装します。

まず、membus_if インターフェースに、書き込む場所をバイト単位で示す信号 `wmask` を追加します。`wmask` には、書き込む部分を 1、書き込まない部分を 0 で指定します。このような挙動をする値を、書き込みマスクと呼びます。

▼ リスト 3.62: wmask の定義 (membus_if.veryl)

```
var wmask : logic <4>;
```

▼ リスト 3.63: modport master に wmask を追加する (membus_if.veryl)

```
wmask : output,
```

▼ リスト 3.64: modport slave に wmask を追加する (membus_if.veryl)

```
wmask : input ,
```

バイト単位で指定するため、`wmask` の幅は 4 ビットです。

次に、memory モジュールで書き込みマスクをサポートします。

▼ リスト 3.65: 書き込みマスクをサポートする memory モジュール (memory.veryl)

```
import eei::*;

module memory #(
    param MEMORY_WIDTH: u32 = 20, // メモリのサイズ
) (
    clk      : input  clock          ,
    rst      : input  reset          ,
    membus   : modport membus_if::slave,
    FILE_PATH: input  string          , // メモリの初期値が格納されたファイルのパス
) {

    var mem: UInt32 [2 ** MEMORY_WIDTH];

    // Addrをmemのインデックスに変換する関数
    function addr_to_memaddr (
        addr: input Addr          ,
    ) -> logic<MEMORY_WIDTH> {
        return addr[MEMORY_WIDTH - 1 + 2:2];
    }

    // 書き込みマスクをUInt32に展開した値
    var wmask_expand: UInt32;
    for i in 0..32 :wmask_expand_block {
```

```

    assign wmask_expand[i] = wmask_saved[i / 8];
}

initial {
    // memをFILE_PATHに格納されているデータで初期化
    if FILE_PATH != "" {
        $readmemh(FILE_PATH, mem);
    }
}

// 状態
enum State {
    Ready,
    WriteValid,
}
var state: State;

var addr_saved : Addr      ;
var wdata_saved: UInt32    ;
var wmask_saved: logic <4>;
var rdata_saved: UInt32    ;

always_comb {
    membus.ready = state == State::Ready;
}

always_ff {
    if state == State::WriteValid {
        mem[addr_to_memaddr(addr_saved)] = wdata_saved & wmask_expand | rdata_saved & ~wmask_expand;
    }
}

always_ff {
    if_reset {
        state          = State::Ready;
        membus.rvalid = 0;
        membus.rdata  = 0;
        addr_saved    = 0;
        wdata_saved   = 0;
        wmask_saved   = 0;
        rdata_saved   = 0;
    } else {
        case state {
            State::Ready: {
                membus.rvalid = membus.valid & !membus.wen;
                membus.rdata  = mem[addr_to_memaddr(membus.addr)];
                addr_saved    = membus.addr;
                wdata_saved   = membus.wdata;
                wmask_saved   = membus.wmask;
                rdata_saved   = mem[addr_to_memaddr(membus.addr)];
                if membus.valid && membus.wen {
                    state = State::WriteValid;
                }
            }
        }
    }
}

```

```

    }
    }
    State::WriteValid: {
        state = State::Ready;
        membus.rvalid = 1;
    }
}
}
}
}
}
}
}

```

書き込みマスクをサポートする memory モジュールは、次の2つの状態を持ちます。

State::Ready

要求を受け付ける。読み込み要求のとき、次のクロックで結果を返す。書き込み要求のとき、要求の内容をレジスタに保存し、状態を `State::WriteValid` に移動する。

State::WriteValid

書き込みマスク付きの書き込みを行う。状態を `State::Ready` に移動する。

memory モジュールは、書き込み要求が送られてきた場合、名前が `_saved` で終わるレジスタに要求の内容を保存します。また、`rdata_saved` に、指定されたアドレスのデータを保存します。次のクロックで、書き込みマスクを使った書き込みを行い、要求の処理を終了します。

top モジュールの調停処理で、`wmask` も調停するようにします。

▼ リスト 3.66: wmask の設定 (top.veryl)

```

membus.valid = i_membus.valid | d_membus.valid;
if d_membus.valid {
    membus.addr = d_membus.addr;
    membus.wen = d_membus.wen;
    membus.wdata = d_membus.wdata;
    membus.wmask = d_membus.wmask; ←追加
} else {
    membus.addr = i_membus.addr;
    membus.wen = i_membus.wen;
    membus.wdata = i_membus.wdata;
    membus.wmask = i_membus.wmask; ←追加
}

```

memunit モジュールの実装

memory モジュールが書き込みマスクをサポートするようになったので、memunit モジュールで `wmask` を設定します。

`req_wmask` レジスタを作成し、`membus.wmask` と接続します。

▼ リスト 3.67: req_wmask の定義 (memunit.veryl)

```

var req_wmask: logic<4>;

```

▼ リスト 3.68: membus に wmask を設定する (memunit.veryl)

```
membus.wmask = req_wmask;
```

`always_ff` の中で、`req_wmask` の値を設定します。それぞれの命令のとき、`wmask` がどうなるかを確認してください。

▼ リスト 3.69: if_reset で req_wmask を初期化する (memunit.veryl)

```
req_wmask = 0;
```

▼ リスト 3.70: メモリにアクセスする命令のとき、wmask を設定する (memunit.veryl)

```
req_wmask = case ctrl.func3[1:0] {
  2'b00 : 4'b1 << addr[1:0], ← LB, LBUのとき、アドレス下位2ビット分だけ1を左シフトする
  2'b01 : case addr[1:0] { ← LH, LHU命令のとき
    2      : 4'b1100, ←上位2バイトに書き込む
    0      : 4'b0011, ←下位2バイトに書き込む
    default: 'x,
  },
  2'b10 : 4'b1111, ← LW命令のとき、全体に書き込む
  default: 'x,
};
```

3.11.4 LB, LBU, LH, LHU, SB, SH 命令のテスト

簡単なテストを作成し、動作をテストします。

2 つテストを記載するので、正しく動いているか確認してください。

▼ リスト 3.71: src/sample_lbh.hex

```
02000083 // lb x1, 0x20(x0) : x1 = ffffffffef
02104083 // lbu x1, 0x21(x0) : x1 = 000000be
02201083 // lh x1, 0x22(x0) : x1 = ffffdead
02205083 // lhu x1, 0x22(x0) : x1 = 0000dead
00000000
00000000
00000000
00000000
00000000
deadbeef // 0x0
```

▼ リスト 3.72: src/sample_sbsh.hex

```
12300093 // addi x1, x0, 0x123
02101023 // sh x1, 0x20(x0)
02100123 // sb x1, 0x22(x0)
02200103 // lb x2, 0x22(x0) : x2 = 00000023
02001183 // lh x3, 0x20(x0) : x3 = 00000123
```

3.12 ジャンプ命令、分岐命令の実装

まだ、重要な命令を実装できていません。プログラムで if 文やループを実現するためには、ジャンプや分岐をする命令が必要です。RV32I には、仕様書 Volume I の 2.5. Control Transfer Instructions に次の命令が定義されています。

▼表 3.9: ジャンプ命令, 分岐命令

命令	形式	動作
JAL	J 形式	PC+ 即値に無条件ジャンプする。rd に PC+4 を格納する
JALR	I 形式	rs1+ 即値に無条件ジャンプする。rd に PC+4 を格納する
BEQ	B 形式	rs1 と rs2 が等しいとき、PC+ 即値にジャンプする
BNE	B 形式	rs1 と rs2 が異なるとき、PC+ 即値にジャンプする
BLT	B 形式	rs1(符号付き整数) が rs2(符号付き整数) より小さいとき、PC+ 即値にジャンプする
BLTU	B 形式	rs1(符号なし整数) が rs2(符号なし整数) より小さいとき、PC+ 即値にジャンプする
BGE	B 形式	rs1(符号付き整数) が rs2(符号付き整数) より大きいとき、PC+ 即値にジャンプする
BGEU	B 形式	rs1(符号なし整数) が rs2(符号なし整数) より大きいとき、PC+ 即値にジャンプする

ジャンプ命令は、無条件でジャンプするため、無条件ジャンプ (Unconditional Jump) と呼びます。分岐命令は、条件付きで分岐するため、条件分岐 (Conditional Branch) と呼びます。

3.12.1 JAL, JALR 命令

まず、無条件ジャンプを実装します。

JAL(Jump And Link) 命令は、PC+ 即値でジャンプ先を指定します。ここで Link とは、rd レジスタに PC+4 を記録しておくことで、分岐元に戻れるようにしておく操作のことを指しています。即値の幅は 20 ビットです。PC の下位 1 ビットは常に 0 なため、即値を 1 ビット左シフトして符号拡張した値を PC に加算します。(即値の生成については inst_decoder モジュールを確認してください) JAL 命令でジャンプ可能な範囲は、PC \pm 1MiB です。

JALR (Jump And Link Register) 命令は、rs1+ 即値でジャンプ先を指定します。即値は I 形式の即値です。JAL 命令と同様に、rd レジスタに PC+4 を格納します。JALR 命令でジャンプ可能な範囲は、rs1 レジスタの値 \pm 4KiB です。

inst_decoder モジュールは、JAL 命令、JALR 命令を次のようにデコードしています。

- `InstCtrl.is_jump` = 1
- `InstCtrl.is_aluop` = 0

無条件ジャンプであるかどうかは `InstCtrl.is_jump` で確かめることができます。また、`InstCtrl.is_aluop` が 0 なため、ALU は常に加算を行います。加算の対象のデータが、JAL 命令 (J 形式) なら PC と即値、JALR 命令 (I 形式) なら rs1 と即値になっていることを確認してください (リスト 3.35)。

無条件ジャンプの実装

それでは、無条件ジャンプを実装します。まず、ジャンプ命令を実行するとき、ライトバックする値を `inst_pc + 4` にします。

▼ リスト 3.73: pc + 4 を書き込む (core.veryl)

```
let wb_data: UIntX = if inst_ctrl.is_lui {
    inst_imm
} else if inst_ctrl.is_jump {
    inst_pc + 4
} else if inst_ctrl.is_load {
    memu_rdata
} else {
    alu_result
};
```

次に、次にフェッチする命令をジャンプ先の命令に変更します。そのために、フェッチ先の変更が発生したことを表す信号 `control_hazard` と、新しいフェッチ先を示す信号 `control_hazard_pc_next` を作成します。

▼ リスト 3.74: control_hazard と control_hazard_pc_next の定義 (core.veryl)

```
let control_hazard      : logic = inst_valid && inst_ctrl.is_jump;
let control_hazard_pc_next: Addr = alu_result;
```

`control_hazard` を利用して、`if_pc` を更新し、新しく命令をフェッチしなおすようにします。

▼ リスト 3.75: PC を変更する (core.veryl)

```
always_ff {
    if_reset {
        ...
    } else {
        if control_hazard {
            if_pc = control_hazard_pc_next;
            if_is_requested = 0;
            if_fifo_wvalid = 0;
        } else {
            if if_is_requested {
                ...
            }
            // IFのFIFOの制御
            if if_is_requested && i_membus.rvalid {
                ...
            }
        }
    }
}
```

ここで、新しく命令をフェッチしなおすようにしても、ジャンプ命令によって実行されることがなくなった命令が FIFOに残っていることがあることに注意する必要があります。実行しない命

令を実行しないようにするために、ジャンプ命令を実行するときに、FIFO をリセットするようにします。

FIFO に、内容をリセットするための信号 `flush` を追加します。

▼ リスト 3.76: ポートに `flush` を追加する (`fifo.veryl`)

```
flush : input logic ,
```

▼ リスト 3.77: `flush` が 1 のとき、FIFO を空にする (`fifo.veryl`)

```
always_ff {
  if_reset {
    head = 0;
    tail = 0;
  } else {
    if flush {
      head = 0;
      tail = 0;
    } else {
      if wready && wvalid {
        mem[tail] = wdata;
        tail      = tail + 1;
      }
      if rready && rvalid {
        head = head + 1;
      }
    }
  }
}
```

`core` モジュールで、`control_hazard` が 1 のときに、FIFO をリセットするようにします。

▼ リスト 3.78: ジャンプ命令のとき、FIFO をリセットする (`core.veryl`)

```
inst if_fifo: fifo #(
  DATA_TYPE: if_fifo_type,
  WIDTH      : 3
) (
  clk          ,
  rst          ,
  flush : control_hazard, ←追加
  ...
);
```

無条件ジャンプのテスト

簡単なテストを作成し、動作をテストします。

▼ リスト 3.79: `sample_jump.hex`

```
0100006f // 0: jal x0, 0x10 : 0x10にジャンプする
deadbeef // 4:
deadbeef // 8:
deadbeef // c:
```

```

01800093 // 10: addi x1, x0, 0x18
00808067 // 14: jalr x0, 8(x1) : x1+8=0x20にジャンプする
deadbeef // 18:
deadbeef // 1c:
fe1ff06f // 20: jal x0, -0x20 : 0にジャンプする

```

▼ リスト 3.80: テストの実行 (一部省略)

```

$ make build
$ make sim
$ obj_dir/sim src/sample_jump.hex 17
# 4
00000000 : 0100006f
    reg[ 0] <= 00000004 ← rd = PC + 4
# 8
00000010 : 01800093 ← 0x00 → 0x10にジャンプしている
    reg[ 1] <= 00000018
# 9
00000014 : 00808067
    reg[ 0] <= 00000018 ← rd = PC + 4
# 13
00000020 : fe1ff06f ← 0x14 → 0x20にジャンプしている
    reg[ 0] <= 00000024 ← rd = PC + 4
# 17
00000000 : 0100006f ← 0x20 → 0x00にジャンプしている
    reg[ 0] <= 00000004

```

無条件ジャンプを正しく実行できていることを確認することができます。

3.12.2 条件分岐命令

条件分岐命令はすべて B 形式で、PC+ 即値で分岐先を指定します。それぞれの命令は、命令の funct3 フィールドで判別することができます。

▼ 表 3.10: 条件分岐命令と funct3

funct3	命令
000	BEQ
001	BNE
100	BLT
101	BGE
110	BLTU
111	BGEU

条件分岐命令の実装

まず、分岐するかどうかの判定を行うモジュールを作成します。

`src/brunit.veryl` を作成し、次のように記述します。

▼ リスト 3.81: brunit.veryl

```

import eei::*;
import corectrl::*;

module brunit (
    funct3: input  logic<3>,
    op1   : input  UIntX  ,
    op2   : input  UIntX  ,
    take  : output logic  , // 分岐が成立するか否か
) {
    let beq : logic = op1 == op2;
    let blt : logic = $signed(op1) <: $signed(op2);
    let bltu: logic = op1 <: op2;

    always_comb {
        case funct3 {
            3'b000 : take = beq;
            3'b001 : take = !beq;
            3'b100 : take = blt;
            3'b101 : take = !blt;
            3'b110 : take = bltu;
            3'b111 : take = !bltu;
            default: take = 0;
        }
    }
}

```

brunit モジュールは、`funct3` に応じて `take` の条件を切り替えます。分岐が成立するとき、`take` は 1 になります。

brunit モジュールを、core モジュールでインスタンス化します。

▼ リスト 3.82: brunit のインスタンス化 (core.veryl)

```

var brunit_take: logic;

inst bru: brunit (
    funct3: inst_ctrl.funct3,
    op1    ,
    op2    ,
    take   : brunit_take    ,
);

```

命令が B 形式のとき、`op1` は `rs1_data`、`op2` は `rs2_data` になっていることを確認してください (リスト 3.35)。

命令が条件分岐命令で、`brunit_take` が 1 のとき、次の PC を `PC + 即値` にするようにします。

▼ リスト 3.83: 命令が条件分岐命令か判定する関数 (core.veryl)

```

// 命令が分岐命令かどうかを判定する
function inst_is_br (
    ctrl: input InstCtrl,

```

```

) -> logic {
    return ctrl.i_type == InstType::B;
}

```

▼ リスト 3.84: 分岐成立時の PC の設定 (core.veryl)

```

let control_hazard      : logic = inst_valid && (inst_ctrl.is_jump || inst_is_br(inst_ctrl)
>l) && brunit_take);
let control_hazard_pc_next: Addr = if inst_is_br(inst_ctrl) {
    inst_pc + inst_imm
} else {
    alu_result
};

```

`control_hazard` は、命令が無条件ジャンプ命令か、命令が条件分岐命令かつ分岐が成立するときに 1 になります。`control_hazard_pc_next` は、無条件ジャンプ命令のときは `alu_result`、条件分岐命令のときは PC + 即値になります。

条件分岐命令のテスト

条件分岐命令を実行するとき、分岐の成否を表示するようにします。デバッグ表示を行っている `always_ff` ブロック内に、次のプログラムを追加します。

▼ リスト 3.85: デバッグ表示 (core.veryl)

```

if inst_is_br(inst_ctrl) {
    $display(" br take : %b", brunit_take);
}

```

簡単なテストを作成し、動作をテストします。

▼ リスト 3.86: sample_br.hex

```

00100093 // 0: addi x1, x0, 1
10100063 // 4: beq x0, x1, 0x100
00101863 // 8: bne x0, x1, 0x10
deadbeef // c:
deadbeef // 10:
deadbeef // 14:
0000d063 // 18: bge x1, x0, 0

```

▼ リスト 3.87: テストの実行 (一部省略)

```

$ make build
$ make sim
$ obj_dir/sim src/sample_br.hex 15
#                               4
00000000 : 00100093
reg[ 1] <= 00000001 ← x1に1を代入
#                               5
00000004 : 10100063
op1      : 00000000

```

```
op2      : 00000001
br take  : 0 ← x0 != x1なので不成立
#                6
00000008 : 00101863
op1      : 00000000
op2      : 00000001
br take  : 1 ← x0 != x1なので成立
#                10
00000018 : 0000d063 ← 0x08 -> 0x18にジャンプ
br take  : 1 ← x1 > x0なので成立
#                14
00000018 : 0000d063 ← 0x18 -> 0x18にジャンプ
br take  : 1
```

BLT, BLTU, BGEU 命令についてはテストできていませんが、後の章で紹介する riscv-tests でテストします。

これで RV32I の実装は終わりです。お疲れ様でした。



実装していない RV32I の命令について

本章ではメモリフェンス命令, ECALL, EBREAK 命令などを実装していません。これらの命令は後の章で実装します。

第 4 章

Zicsr 拡張の実装

4.1 CSR とは何か？

前の章では、RISC-V の基本整数命令セットである RV32I を実装しました。既に簡単なプログラムを動かすことができますが、例外や割り込み、ページングなどの機能がありません。このような機能は CSR を利用して提供されます。

RISC-V には、CSR(Control and Status Register) というレジスタが 4096 個存在しています。例えば `mtvec` というレジスタは、例外や割り込みが発生したときのジャンプ先のアドレスを格納しています。RISC-V の CPU は、CSR の読み書きによって、制御 (Control) や状態 (Status) の読み取りを行います。

CSR の読み書きを行う命令は、Zicsr 拡張によって定義されています (表 4.1)。本章では、Zicsr に定義されている命令、RV32I に定義されている ECALL 命令、MRET 命令、`mtvec/mepc/mcause` レジスタを実装します。

▼ 表 4.1: Zicsr 拡張に定義されている命令

命令	作用
CSRRW	CSR に rs1 を書き込み、元の CSR の値を rd に書き込む
CSRRWI	CSRRW の rs1 を、即値をゼロ拡張した値に置き換えた動作
CSRRS	CSR と rs1 をビット OR した値を CSR に書き込み、元の CSR の値を rd に書き込む
CSRRSI	CSRRS の rs1 を、即値をゼロ拡張した値に置き換えた動作
CSRRC	CSR と \sim rs1(rs1 のビット NOT) をビット AND した値を CSR に書き込み、元の CSR の値を rd に書き込む
CSRRCI	CSRRC の rs1 を、即値をゼロ拡張した値に置き換えた動作

4.2 CSRR(W|S|C)[I] 命令のデコード

まず、Zicsr に定義されている命令 (表 4.1) をデコードします。

これらの命令の opcode は `SYSTEM (1110011)` です。この値を `eei` パッケージに定義します。

▼ リスト 4.1: opcode 用の定数の定義 (eei.veryl)

```
const OP_SYSTEM: logic<7> = 7'b1110011;
```

次に、`InstCtrl` 構造体に、CSR を制御する命令であることを示す `is_csr` フラグを追加します。

▼ リスト 4.2: is_csr を追加する (corectrl.veryl)

```
// 制御に使うフラグ用の構造体
struct InstCtrl {
    ...
    is_csr : logic      , // CSR命令である ←追加
    ...
}
```

これでデコード処理を書く準備が整いました。inst_decoder モジュールの `InstCtrl` を生成している部分を変更します。

▼ リスト 4.3: OP_SYSTEM と is_csr を追加する (inst_decoder.veryl)

```
ctrl = {case op {
    OP_LUI   : {InstType::U, T, T, F, F, F, F},
    OP_AUIPC : {InstType::U, T, F, F, F, F, F},
    OP_JAL   : {InstType::J, T, F, F, T, F, F},
    OP_JALR  : {InstType::I, T, F, F, T, F, F},
    OP_BRANCH: {InstType::B, F, F, F, F, F, F},
    OP_LOAD  : {InstType::I, T, F, F, F, T, F},
    OP_STORE : {InstType::S, F, F, F, F, F, F},
    OP_OP     : {InstType::R, T, F, T, F, F, F},
    OP_OP_IMM: {InstType::I, T, F, T, F, F, F},
    OP_SYSTEM: {InstType::I, T, F, F, F, F, T}, ←追加
    default  : {InstType::X, F, F, F, F, F, F},
}, f3, f7};
```

上のコードでは、opcode が `OP_SYSTEM` な命令を、I 形式で、レジスタに結果を書き込み、CSR を操作する命令であるということにしています。他の opcode の命令については、CSR を操作しない命令であるということにしています。

CSRRW, CSRRS, CSRRC 命令は、rs1 レジスタのデータを利用します。CSRRWI, CSRRSI, CSRRCI 命令は、命令のビット中の rs1 にあたるビット列 (5 ビット) をゼロ拡張した値を利用します。それぞれの命令は funct3 で区別することができます (表 4.2)。

操作対象の CSR のアドレス (12 ビット) は、命令のビットの上位 12 ビットをそのまま利用します。

▼ 表 4.2: Zicsr に定義されている命令 (funct3 による区別)

funct3	命令
3'b001	CSRRW
3'b101	CSRRWI
3'b010	CSRRS
3'b110	CSRRSI
3'b011	CSRRC
3'b111	CSRRCI

4.3 csrunit モジュールの実装

CSR を操作する命令のデコードができたので、CSR 関連の処理を行う csrunit モジュールを作成します。

4.3.1 csrunit モジュールの作成

`src/csrunit.veryl` を作成し、次のように記述します。

▼ リスト 4.4: csrunit.veryl

```
import eei::*;
import corectrl::*;

module csrunit (
    clk      : input  clock      ,
    rst      : input  reset      ,
    valid    : input  logic      ,
    ctrl     : input  InstCtrl    ,
    csr_addr: input  logic  <12>,
    rs1      : input  UIntX      ,
    rdata    : output UIntX      ,
) {
    // CSRR(W|S|C)[I]命令かどうか
    let is_wsc: logic = ctrl.is_csr && ctrl.funct3[1:0] != 0;
}
```

csrunit モジュールの主要なポートの定義は次のとおりです。

まだ csrunit モジュールには CSR が一つもないため、中身が空になっています。

このままの状態、とりあえず、csrunit モジュールを core モジュールの中でインスタンス化します。

▼ リスト 4.5: csrunit モジュールのインスタンス化 (core.veryl)

```
var csru_rdata: UIntX;

inst csru: csrunit (
    clk      ,
```


▼表 4.3: csrunit のポート定義

ポート名	型	向き	意味
valid	logic	input	命令が供給されているかどうか
ctrl	InstCtrl	input	命令の InstCtrl
csr_addr	logic<12>	input	命令が指定する CSR のアドレス (命令の上位 12 ビット)
rs1	UIntX	input	CSRR(W S C) のとき rs1 の値、 CSRR(W S C)I のとき即値 (5 ビット) をゼロで拡張した値
rdata	UIntX	output	CSRR(W S C)[I] による CSR 読み込みの結果

```

rst
valid : inst_valid
ctrl  : inst_ctrl
csr_addr: inst_bits[31:20],
rs1   : if inst_ctrl.func3[2] == 1 && inst_ctrl.func3[1:0] != 0 {
    {1'b0 repeat XLEN - $bits(rs1_addr), rs1_addr} // rs1を0で拡張する
} else {
    rs1_data
},
rdata: csru_rdata,
);

```

上のコードでは、結果の受け取りのために `csru_rdata` レジスタを作成し、`csrunit` モジュールをインスタンス化しています。

`csr_addr` ポートには命令の上位 12 ビットを設定しています。`rs1` ポートには、即値を利用する命令 (CSRR(W|S|C)I) の場合は `rs1_addr` を 0 で拡張した値を、それ以外の命令の場合は `rs1` のデータを設定しています。

次に、`csrunit` の結果をレジスタにライトバックするようにします。具体的には、`InstCtrl.is_csr` が 1 のとき、`wb_data` が `csru_rdata` になるようにします。

▼リスト 4.6: CSR 命令の結果がライトバックされるようにする (core.verify)

```

let rd_addr: logic<5> = inst_bits[11:7];
let wb_data: UIntX    = if inst_ctrl.is_lui {
    inst_imm
} else if inst_ctrl.is_jump {
    inst_pc + 4
} else if inst_ctrl.is_load {
    memu_rdata
} else if inst_ctrl.is_csr {
    csru_rdata
} else {
    alu_result
};

```

最後に、デバッグ用の表示を追加します。デバッグ表示用の `always_ff` ブロックに次のコードを追加してください。

▼ リスト 4.7: デバッグ用に rdata を表示するようにする (core.veryl)

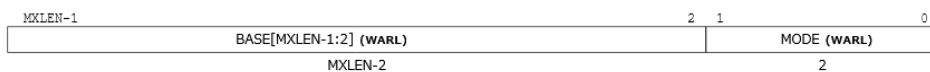
```
if inst_ctrl.is_csr {
    $display("  csr rdata : %h", csru_rdata);
}
```

これらのテストは、csrunit モジュールにレジスタを追加してから行います。

4.3.2 mtvec レジスタの実装

csrunit モジュールには、まだ CSR が定義されていません。1 つ目の CSR として、mtvec レジスタを実装します。

mtvec レジスタとは何か?



▲ 図 4.1: mtvec のエンコーディング*1

mtvec レジスタは、仕様書 Vol II の 3.1.7. Machine Trap-Vector Base-Address Register に定義されています。

mtvec は、MXLEN ビットの WARL なレジスタです。mtvec のアドレスは 12'h305 です。

MXLEN は misa レジスタに定義されていますが、今のところは XLEN と等しいという認識で OK です。WARL は Write Any Values, Reads Legal Values の略です。その名の通り、好きな値を書き込めるが、読み出すときには合法的な値になるという認識で OK です。

mtvec は、トラップ (Trap) が発生したときのジャンプ先 (Trap-Vector) の基準となるアドレスを格納するレジスタです。トラップとは、例外 (Exception)、または割り込み (Interrupt) により、CPU の制御を変更することを言います*2。トラップが発生する時、CPU は CSR を変更した後、mtvec に格納されたアドレスにジャンプします。

例外とは、命令の実行によって引き起こされる異常な状態 (unusual condition) のことです。例えば、不正な命令を実行しようとしたときには Illegal Instruction 例外が発生します。CPU は、例外が発生したときのジャンプ先 (対処方法) を決めておくことで、CPU が異常な状態に陥ったままにならないようにしています。

mtvec は BASE と MODE の 2 つのフィールドで構成されています。MODE はジャンプ先の決め方を指定するためのフィールドですが、簡単のために常に 0 (Direct モード) になるようにします。Direct モードのとき、トラップ時のジャンプ先は $\text{BASE} \ll 2$ になります。

mtvec レジスタを実装する

それでは、mtvec レジスタを実装します。

*1 引用元: The RISC-V Instruction Set Manual Volume II: Privileged Architecture version 20240411 Figure 10. Encoding of mtvec MODE field.

*2 トラップや例外、割り込みは Volume I の 1.6 Exceptions, Traps, and Interrupts に定義されています

まず、CSR のアドレスを表す列挙型を定義します。

▼ リスト 4.8: CsrAddr 型を定義する (csrunit.veryl)

```
// CSRのアドレス
enum CsrAddr: logic<12> {
    MTVEC = 12'h305,
}
```

mtvec レジスタを作成します。MXLEN=XLEN としているので、型は `UIntX` にします。

▼ リスト 4.9: mtvec レジスタの定義 (csrunit.veryl)

```
// CSR
var mtvec: UIntX;
```

mtvec レジスタの MODE フィールドには書き込めないようにする必要があります。これを制御するために mtvec レジスタの書き込みマスク用の定数を定義します。

▼ mtvec レジスタの書き込みマスクの定義 (csrunit.veryl)

```
// wmask
const MTVEC_WMASK: UIntX = 'hffff_fffc;
```

次に、書き込むべきデータ `wdata` の生成と、mtvec レジスタの読み込みをします。

▼ リスト 4.10: レジスタの読み込みと書き込みデータの作成 (csrunit.veryl)

```
var wmask: UIntX; // write mask
var wdata: UIntX; // write data

always_comb {
    // read
    rdata = case csr_addr {
        CsrAddr::MTVEC: mtvec,
        default       : 'x,
    };
    // write
    wmask = case csr_addr {
        CsrAddr::MTVEC: MTVEC_WMASK,
        default       : 0,
    };
    wdata = case ctrl.func3[1:0] {
        2'b01 : rs1,
        2'b10 : rdata | rs1,
        2'b11 : rdata & ~rs1,
        default: 'x,
    } & wmask;
}
```

`always_comb` ブロックで、`rdata` ポートに `csr_addr` に応じて CSR の値を割り当てます。`wdata` には、CSR に書き込むべきデータを割り当てます。CSR に書き込むべきデータは、書き込む命令 (CSR_{RRW}[I], CSR_{RRS}[I], CSR_{RRC}[I]) によって異なります。rs1 には rs1 の値か即値が格納

されているため、これと `rdata` を利用して `wdata` を生成しています。 `funct3` と演算の種類の関係については、表 4.2 を参照してください。

最後に `mtvec` レジスタへの書き込み処理を記述します。`mtvec` への書き込みは、命令が CSR 命令である場合 (`is_wsc`) にのみ行います。

▼ リスト 4.11: CSR への書き込み処理 (csrunit.veryl)

```
always_ff {
    if_reset {
        mtvec = 0;
    } else {
        if valid {
            if is_wsc {
                case csr_addr {
                    CsrAddr::MTVEC: mtvec = wdata;
                    default          : {}
                }
            }
        }
    }
}
```

`mtvec` の初期値は 0 です。`mtvec` に `wdata` を書き込むとき、`MODE` が常に 0 になるようにしています。

4.3.3 CSR のテスト

`mtvec` レジスタの書き込み、読み込みができることをテストします。

プロジェクトのフォルダに `test` ディレクトリを作成してください。 `test/sample_csr.hex` を作成し、次のように記述します。

▼ リスト 4.12: sample_csr.hex

```
305bd0f3 // 0: csrrwi x1, mtvec, 0b10111
30502173 // 4: csrrs  x2, mtvec, x0
```

テストでは、`CSRRWI` 命令で `mtvec` に `'b10111` を書き込んだ後、`CSRRS` 命令で `mtvec` の値を読み込んでいます。`CSRRS` 命令で読み込むとき、`rs1` を `x0`(ゼロレジスタ) にすることで、`mtvec` の値を変更せずに読み込んでいます。

シミュレータを実行し、結果を確かめます。

▼ リスト 4.13: mtvec の読み込み/書き込みテストの実行

```
$ make build
$ make sim
$ ./obj_dir/sim test/sample_csr.hex 5
#
#          4
00000000 : 305bd0f3 ← mtvecに'b10111を書き込む
itype    : 000010
rs1[23]   : 00000000 ← CSRRWIなので、mtvecに'b10111(=23)を書き込む
```

```

csr rdata : 00000000 ← mtvecの初期値(0)が読み込まれている
reg[ 1] <= 00000000
#
# 5
00000004 : 30502173 ← mtvecを読み込む
itype      : 000010
csr rdata : 00000014 ← mtvecに書き込まれた値を読み込んでいる
reg[ 2] <= 00000014 ← 'b10111のMODE部分がマスクされて、'b10100 = 14になっている

```

mtvec の BASE フィールドにのみ書き込みが行われ、**00000014** が読み込まれることが確認できます。

4.4 ECALL 命令の実装

せっかく mtvec レジスタを実装したので、これを使う命令を実装します。

4.4.1 ECALL 命令とは何か？

RV32I には、意図的に例外を発生させる命令として ECALL 命令が定義されています。ECALL 命令を実行すると、現在の権限レベル (Privilege Level) に応じて表 4.4 のような例外が発生します。

権限レベルとは、CPU 上で動く権限 (特権, 機能) を持つソフトウェアを実装するための機能です。例えば OS 上で動くソフトウェアは、セキュリティのために、他のソフトウェアのメモリを侵害できないようにする必要があります。権限レベル機能があると、このような保護を、権限のある OS が権限のないソフトウェアを管理するという風に変現できます。

権限レベルはいくつか定義されていますが、本章では最高の権限レベルである Machine レベル (M-mode) しかないものとします。

▼ 表 4.4: 権限レベルと ECALL による例外

権限レベル	ECALL によって発生する例外
M	Environment call from M-mode
S	Environment call from S-mode
U	Environment call from U-mode

mcause, mepc レジスタ

ECALL 命令を実行すると例外が発生します。例外が発生すると mtvec にジャンプし、例外が発生した時の処理を行います。これだけでもいいのですが、例外が発生した時に、どこで (PC)、どのような例外が発生したのかを知りたいことがあります。これを知るために、RISC-V には、どこで例外が発生したかを格納する mepc レジスタと、例外の発生原因を格納する mcause レジスタが存在しています。

例外が発生すると、CPU は mtvec にジャンプする前に、mepc に現在の PC を、mcause に発

生原因を格納します。これにより、mtvec にジャンプしてから例外に応じた処理を実行することができるようになります。

例外の発生原因は数値で表現されており、Environment call from M-mode 例外には 11 が割り当てられています。

4.4.2 トラップの実装

それでは、ECALL 命令とトラップの仕組みを実装します。

定数の定義

まず、mepc と mcause のアドレスを `CsrAddr` 型に追加します。

▼ リスト 4.14: mepc, mcause のアドレスを追加する (csrunit.veryl)

```
// CSRのアドレス
enum CsrAddr: logic<12> {
    MTVEC = 12'h305,
    MEPC = 12'h341,    ←追加
    MCAUSE = 12'h342, ←追加
}
```

次に、例外の原因を表現する型 `CsrCause` を定義します。今のところ、発生原因は ECALL 命令による Environment Call From M-mode 例外しかありません。

▼ リスト 4.15: CsrCause 型の定義 (csrunit.veryl)

```
enum CsrCause: UIntX {
    ENVIRONMENT_CALL_FROM_M_MODE = 11,
}
```

最後に、mepc, mcause の書き込みマスクを定義します。

mepc に格納されるのは例外が発生した時の命令のアドレスです。命令は 4 バイトに整列して配置されているので、mepc の下位 2 ビットは常に 0 になるようにします。

▼ リスト 4.16: mepc, mcause の書き込みマスクの定義 (csrunit.veryl)

```
const MTVEC_WMASK : UIntX = 'hffff_fffc;
const MEPC_WMASK  : UIntX = 'hffff_fffc; ←追加
const MCAUSE_WMASK: UIntX = 'hffff_ffff; ←追加
```

mepc, mcause レジスタの実装

まず、mepc, mcause レジスタを作成します。サイズは MXLEN(=XLEN) なため、型は UIntX とします。

▼ リスト 4.17: mepc, mcause レジスタの定義 (csrunit.veryl)

```
// CSR
var mtvec : UIntX;
var mepc  : UIntX; ←追加
var mcause: UIntX; ←追加
```

次に、mepc, mcause の読み込みと書き込みマスクの割り当てを実装します。どちらも case 文にアドレスと値のペアを追加するだけです。

▼ リスト 4.18: mepc, mcause の読み込み (csrunit.veryl)

```
rdata = case csr_addr {
  CsrAddr::MTVEC : mtvec,
  CsrAddr::MEPC  : mepc,
  CsrAddr::MCAUSE: mcause,
  default       : 'x,
};
```

▼ リスト 4.19: mepc, mcause の書き込みマスクの設定 (csrunit.veryl)

```
wmask = case csr_addr {
  CsrAddr::MTVEC : MTVEC_WMASK,
  CsrAddr::MEPC  : MEPC_WMASK,
  CsrAddr::MCAUSE: MCAUSE_WMASK,
  default       : 0,
};
```

最後に、mepc, mcause の書き込みを実装します。まず if_reset で値を 0 に初期化し、case 文に mepc, mcause の場合を追加します。

▼ リスト 4.20: mepc, mcause の書き込み (csrunit.veryl)

```
always_ff {
  if_reset {
    mtvec = 0;
    mepc  = 0;
    mcause = 0;
  } else {
    if valid {
      if is_wsc {
        case csr_addr {
          CsrAddr::MTVEC : mtvec = wdata;
          CsrAddr::MEPC  : mepc  = wdata;
          CsrAddr::MCAUSE: mcause = wdata;
          default       : {}
        }
      }
    }
  }
}
```

例外を実装する

いよいよ ECALL 命令とトラップを実装します。まず、csrunit モジュールにポートを追加します。

▼ リスト 4.21: csrunit モジュールにポートを追加する (csrunit.veryl)

```
module csrunit (
  clk      : input  clock      ,
```

```

rst      : input  reset      ,
valid    : input  logic      ,
pc       : input  Addr       , ←追加
ctrl     : input  InstCtrl   ,
rd_addr  : input  logic  <5> , ←追加
csr_addr : input  logic  <12>,
rs1      : input  UIntX      ,
rdata    : output UIntX      ,
raise_trap : output logic    , ←追加
trap_vector: output Addr     , ←追加
) {

```

それぞれの用途は次の通りです。

pc

現在処理している命令のアドレスを受け取ります。例外が発生した時、mepc に PC を格納するために使います。

rd_addr

現在処理している命令の rd のアドレスを受け取ります。現在処理している命令が ECALL 命令かどうかを判定するために使います。

raise_trap

例外が発生する時、値を 1 にします。

trap_vector

例外が発生する時、ジャンプ先のアドレスを出力します。

csrunit モジュールの中身を実装する前に、core モジュールに例外発生時の動作を実装します。csrunit モジュールと接続するための変数を定義し、ポートを接続します。

▼ リスト 4.22: csrunit のポートの定義を変更する ① (core.veryl)

```

var csru_rdata      : UIntX;
var csru_raise_trap : logic; ←追加
var csru_trap_vector: Addr ; ←追加

```

▼ リスト 4.23: csrunit のポートの定義を変更する ② (core.veryl)

```

inst csru: csrunit (
  clk      ,
  rst      ,
  valid    : inst_valid ,
  pc       : inst_pc     , ←追加
  ctrl     : inst_ctrl   ,
  rd_addr  : inst_rd_addr, ←追加
  csr_addr: inst_bits[31:20],
  rs1      : if inst_ctrl.funcnt3[2] == 1 && inst_ctrl.funcnt3[1:0] != 0 {
    {1'b0 repeat XLEN - $bits(rs1_addr), rs1_addr} // rs1を0で拡張する
  } else {
    rs1_data
  },

```



```

    rdata      : csru_rdata,
    raise_trap : csru_raise_trap, ←追加
    trap_vector: csru_trap_vector, ←追加
);

```

次に、トラップするときに、トラップ先にジャンプするようにします。例外が発生する時、`csru_raise_trap` が 1 になり、`csru_trap_vector` がトラップ先になります。

トラップするときの動作には、ジャンプや分岐命令の実装に利用したロジックを利用します。

`control_hazard` の条件に `csru_raise_trap` を追加し、トラップするときに `control_hazard_pc_next` を `csru_trap_vector` に設定します。

▼ リスト 4.24: 例外の発生時にジャンプするようにする (core.veryl)

```

let control_hazard      : logic = inst_valid && (
    csru_raise_trap || ←追加
    inst_ctrl.is_jump ||
    inst_is_br(inst_ctrl) && brunit_take
);
let control_hazard_pc_next: Addr = if csru_raise_trap {
    csru_trap_vector ←トラップするとき、trap_vectorに飛ぶ
} else if inst_is_br(inst_ctrl) {
    inst_pc + inst_imm
} else {
    alu_result
};

```

それでは、`csrunit` モジュールにトラップの処理を実装します。

ECALL 命令は、I 形式、即値は 0, `rs1` と `rd` は 0, `funct3` は 0, `opcode` は `SYSTEM` な命令です。これを判定するためのワイヤを作成します。

▼ リスト 4.25: `ecall` 命令かどうかの判定 (csrunit.veryl)

```

// ECALL命令かどうか
let is_ecall: logic = ctrl.is_csr && csr_addr == 0 && rs1[4:0] == 0 && ctrl.funct3 == 0 && >
>rd_addr == 0;

```

まず、例外が発生するかどうかを示す `raise_expt` と、例外が発生の原因を示す `expt_cause` を作成します。今のところ、例外は ECALL 命令によってのみ発生するため、`expt_cause` は定数になっています。

▼ リスト 4.26: 例外とトラップの判定 (csrunit.veryl)

```

// Exception
let raise_expt: logic = valid && is_ecall;
let expt_cause: UIntX = CsrCause::ENVIRONMENT_CALL_FROM_M_MODE;

// Trap
assign raise_trap = raise_expt;
let trap_cause : UIntX = expt_cause;
assign trap_vector = mtvec;

```

トラップが発生するかどうかを示す `raise_trap` には、例外が発生するかどうかを割り当てます。トラップの原因を示す `trap_cause` には、例外の発生原因を割り当てます。また、トラップ先には `mtvec` を割り当てます。

最後に、トラップ処理を記述します。トラップが発生する時、`mepc` レジスタに `pc` を、`mcause` レジスタにトラップの発生原因を格納します。

▼ リスト 4.27: (csrunit.veryl)

```
always_ff {
    if_reset {
        ...
    } else {
        if valid {
            if raise_trap { ←トラップ時の動作
                mepc = pc;
                mcause = trap_cause;
            } else {
                if is_wsc {
                    ...
                }
            }
        }
    }
}
```

4.4.3 ECALL 命令のテスト

ECALL 命令をテストする前に、デバッグのために `$display` システムタスクで、例外が発生したかどうかと、トラップ先を表示します。

▼ リスト 4.28: デバッグ用の表示を追加する (core.veryl)

```
if inst_ctrl.is_csr {
    $display("  csr rdata : %h", csru_rdata);
    $display("  csr trap  : %b", csru_raise_trap);
    $display("  csr vec   : %h", csru_trap_vector);
}
```

それでは簡単なテストを記述します。

CSRRW 命令で `mtvec` レジスタに値を書き込み、`ecall` 命令で例外を発生させてジャンプします。ジャンプ先では、`mcause` レジスタ、`mepc` レジスタの値を読み取ります。

`test/sample_ecall.hex` を作成し、次のように記述します。

▼ リスト 4.29: sample_ecall.hex

```
30585073 // 0: csrrwi x0, mtvec, 0x10
00000073 // 4: ecall
00000000 // 8:
00000000 // c:
342020f3 // 10: csrrs x1, mcause, x0
34102173 // 14: csrrs x2, mepc, x0
```

シミュレータを実行し、結果を確かめます。

▼リスト 4.30: ECALL 命令のテストの実行

```

$ make build
$ make sim
$ ./obj_dir/sim test/sample_ecall.hex 10
#                               4
00000000 : 30585073 ← CSRRWIでmtvecに書き込み
rs1[16]   : 00000000 ← 0x10(=16)をmtvecに書き込む
csr trap  : 0
csr vec   : 00000000
reg[ 0] <= 00000000
#                               5
00000004 : 00000073
csr trap  : 1 ← ECALL命令により、例外が発生する
csr vec   : 00000010 ←ジャンプ先は0x10
reg[ 0] <= 00000000
#                               9
00000010 : 342020f3
csr rdata : 0000000b ← CSRRSでmcauseを読み込む
reg[ 1] <= 0000000b ← Environment call from M-modeなのでb(=11)
#                               10
00000014 : 34102173
csr rdata : 00000004 ← CSRRSでmepcを読み込む
reg[ 2] <= 00000004 ←例外はアドレス4で発生したので4

```

ECALL 命令によって例外が発生し、mcause と mepc に書き込みが行われてから mtvec にジャンプしていることが確認できました。

ECALL 命令の実行時にレジスタに値がライトバックされてしまっていますが、ECALL 命令の rd は常に 0 番目のレジスタであり、0 番目のレジスタは常に値が 0 になるため問題ありません。

4.5 MRET 命令の実装

MRET 命令^{*3}は、トラップ先からトラップ元に戻るための命令です。具体的には、MRET 命令を実行すると、mepc レジスタに格納されたアドレスにジャンプします^{*4}。

MRET 命令は、例えば、権限のある OS から権限のないユーザー空間に戻るために利用します。

4.5.1 MRET 命令を実装する

まず、csrunit モジュールに供給されている命令が、MRET 命令かどうかを判定するためのワイヤ `is_mret` を作成します。MRET 命令は、上位 12 ビットが `001100000010`、rs1 は 0、funct3 は 0、rd は 0 です。

^{*3} MRET 命令は Volume II の 3.3.2. Trap-Return Instructions に定義されています

^{*4} 他の CSR や権限レベルが実装されている場合は、他にも行うことがあります

▼ リスト 4.31: MRET 命令の判定 (csrunit.veryl)

```
// MRET命令かどうか
let is_mret: logic = ctrl.is_csr && csr_addr == 12'b0011000_00010 && rs1[4:0] == 0 && ctrl.funct3 == 0 && rd_addr == 0;
```

次に、MRET 命令が供給されているときに mepc にジャンプするようにするロジックを作成します。ジャンプするためのロジックは、トラップによってジャンプする仕組みを利用します。

▼ リスト 4.32: MRET 命令によってジャンプさせる (csrunit.veryl)

```
// Trap
assign raise_trap = raise_expt || (valid && is_mret);
let trap_cause : UIntX = expt_cause;
assign trap_vector = if raise_expt {
    mtvec
} else {
    mepc
};
```

トラップが発生しているかどうかの条件 `raise_mret` に `is_mret` を追加し、トラップ先を条件によって変更します。

ここで、`is_mret` のときに `mepc` を割り当ててのではなく `raise_expt` のときに `mtvec` を割り当てています。これは、将来的に MRET 命令によって例外が発生することがあるからです。MRET 命令の判定を優先すると、例外が発生するのに `mepc` にジャンプしてしまいます。

4.5.2 MRET 命令のテスト

MRET 命令が正しく動作するかテストします。

`mepc` に値を設定してから MRET 命令を実行し、`mepc` にジャンプするかどうかを確認します。

▼ リスト 4.33: sample_mret.hex

```
34185073 // 0: csrrwi x0, mepc, 0x10
30200073 // 4: mret
00000000 // 8:
00000000 // c:
00000013 // 10: addi x0, x0, 0
```

▼ リスト 4.34: MRET 命令のテストの実行

```
$ make build
$ make sim
$ ./obj_dir/sim test/sample_mret.hex 9
#                               4
00000000 : 34185073 ← CSRRWIでmepcに書き込み
rs1[16]   : 00000000 ← 0x10(=16)をmepcに書き込む
csr trap  : 0
csr vec   : 00000000
reg[ 0]   <= 00000000
#                               5
```

```
00000004 : 30200073
  csr trap  : 1 ← MRET命令によってmepcにジャンプする
  csr vec   : 00000010 ← 10にジャンプする
#           9
00000010 : 00000013 ← 10にジャンプしている
```

MRET 命令によって mepc にジャンプすることが確認できます。

MRET 命令は、レジスタに値をライトバックしていますが、ECALL 命令と同じく 0 番目のレジスタが指定されるため問題ありません。

第 5 章

riscv-tests によるテスト

前の章で、RV32I の CPU を実装しました。簡単なテストを作成して操作を確かめましたが、まだテストできていない命令が複数あります。そこで、riscv-tests というテストを利用することで、CPU がある程度正しく動いているらしいことを確かめます。

5.1 riscv-tests とは何か？

riscv-tests は、次の URL からソースコードをダウンロードすることができます。

riscv-software-src/riscv-tests : <https://github.com/riscv-software-src/riscv-tests>

riscv-tests は、RISC-V のプロセッサ向けのユニットテストやベンチマークの集合です。命令や機能ごとにテストが用意されており、これを利用することで簡単に実装を確かめることができます。すべての命令のすべての場合を網羅するようなテストではないため、riscv-tests をパスしても、確実に実装が正しいとは言えないことに注意してください。

5.2 riscv-tests のビルド



riscv-tests のビルドが面倒、もしくはよく分からなくなってしまった方へ

<https://github.com/nananapo/riscv-tests-bin/tree/bin4>

完成品を上記の URL においておきます。core/test 以下にコピーしてください。

5.2.1 riscv-tests のビルド

riscv-tests を clone します。

▼ リスト 5.1: riscv-tests の clone

```
$ git clone https://github.com/riscv-software-src/riscv-tests
$ cd riscv-tests
$ git submodule update --init --recursive
```

riscv-tests は、プログラムの実行が `0x80000000` から始まると仮定した設定になっています。しかし、今のところ、CPU はアドレス `0x00000000` から実行を開始するため、リンカにわたす設定ファイル `env/p/link.ld` を変更します。

▼ リスト 5.2: riscv-tests/env/p/link.ld

```
OUTPUT_ARCH( "riscv" )
ENTRY(_start)

SECTIONS
{
    . = 0x00000000; ←先頭を0x00000000に変更する
```

riscv-tests をビルドします。必要なソフトウェアがインストールされていない場合、適宜インストールしてください。

▼ リスト 5.3: riscv-tests のビルド

```
$ cd riscv-testsをcloneしたディレクトリ
$ autoconf
$ ./configure --prefix=core/testへのパス
$ make
$ make install
```

core/test に share ディレクトリが作成されます。

5.2.2 成果物を\$readmemh で読み込める形式に変換する

riscv-tests をビルドすることができましたが、これは `$readmemh` システムタスクで読み込める形式 (以降 HEX 形式と呼びます) ではありません。

CPU でテストを実行できるように、ビルドしたテストのバイナリファイルを HEX 形式に変換します。

まず、バイナリファイルを HEX 形式に変換する Python プログラム `test/bin2hex.py` を作成します。

▼ リスト 5.4: core/test/bin2hex.py

```
import sys

# 使い方を表示する
def print_usage():
    print(sys.argv[1])
    print("Usage:", sys.argv[0], "[bytes per line] [filename]")
    exit()
```

```

# コマンドライン引数を受け取る
args = sys.argv[1:]
if len(args) != 2:
    print_usage()
BYTES_PER_LINE = None
try:
    BYTES_PER_LINE = int(args[0])
except:
    print_usage()
FILE_NAME = args[1]

# バイナリファイルを読み込み
allbytes = []
with open(FILE_NAME, "rb") as f:
    allbytes = f.read()

# 値を文字列に変換する
bytestrs = []
for b in allbytes:
    bytestrs.append(format(b, '02x'))

# 00を足すことでBYTES_PER_LINEの倍数に揃える
bytestrs += ["00"] * (BYTES_PER_LINE - len(bytestrs) % BYTES_PER_LINE)

# 出力
results = []
for i in range(0, len(bytestrs), BYTES_PER_LINE):
    s = ""
    for j in range(BYTES_PER_LINE):
        s += bytestrs[i + BYTES_PER_LINE - j - 1]
    results.append(s)
print("\n".join(results))

```

このプログラムは、第二引数に指定されるバイナリファイルを、第一引数に与えられた数のバイト毎に区切り、16 進数のテキストで出力します。

HEX ファイルに変換する前に、ビルドした成果物を確認する必要があります。例えば `test/share/riscv-tests/isa/rv32ui-p-add` は ELF ファイルです。CPU は ELF を直接に実行する機能を持っていないため、`riscv64-unknown-elf-objcopy` を利用して、ELF ファイルから余計な情報を取り除いたバイナリファイルに変換します。

▼ リスト 5.5: ELF ファイルを変換する

```
$ find share/ -type f -not -name "*.dump" -exec riscv32-unknown-elf-objcopy -O binary {} {}.bin \;
```

`objcopy` で生成された `bin` ファイルを、Python プログラムで HEX ファイルに変換します。

▼ リスト 5.6: バイナリファイルを HEX ファイルに変換する

```
$ find share/ -type f -name "*.bin" -exec sh -c "python3 bin2hex.py 4 {} > {}.hex" \;
```


5.3 どのようにテストが実行されるのか

riscv-tests には複数のテストが用意されていますが、本章では、名前が `rv32ui-p-` から始まる RV32I 向けのテストを利用します。

例えば、ADD 命令のテストである `rv32ui-p-add.dump` を読んでみます。
`rv32ui-p-add.dump` は、`rv32ui-p-add` のダンプファイルです。

▼ リスト 5.7: rv32ui-p-add.dump

Disassembly of section .text.init:

```
00000000 <_start>:
 0:  0500006f          j      50 <reset_vector>

00000004 <trap_vector>:
 4:  34202f73          csrr   t5,mcause ← t5 = mcause
...
18:  00b00f93          li     t6,11
1c:  03ff0063          beq    t5,t6,3c <write_tohost>
...

0000003c <write_tohost>: ← 0x1000にテスト結果を書き込む
3c:  00001f17          auipc  t5,0x1
40:  fc3f2223          sw     gp,-60(t5) # 1000 <tohost>
...

00000050 <reset_vector>:
50:  00000093          li     ra,0
...    ←レジスタ値のゼロ初期化
c8:  00000f93          li     t6,0
...    ←↓mtvecにtrap_vectorのアドレスを書き込む
130: 00000297          auipc  t0,0x0
134: ed428293          addi   t0,t0,-300 # 4 <trap_vector>
138: 30529073          csrw   mtvec,t0
...    ←↓mepcにtest_2のアドレスを書き込む
178: 00000297          auipc  t0,0x0
17c: 01428293          addi   t0,t0,20 # 18c <test_2>
180: 34129073          csrw   mepc,t0
...    ←↓mretを実行し、mepcのアドレス=test_2にジャンプする
188: 30200073          mret

0000018c <test_2>: ← 0 + 0 = 0のテスト
18c: 00200193          li     gp,2 ← gp = 2
190: 00000593          li     a1,0
194: 00000613          li     a2,0
198: 00c58733          add    a4,a1,a2
19c: 00000393          li     t2,0
1a0: 4c771663          bne    a4,t2,66c <fail>
...

0000066c <fail>: ←失敗したときのジャンプ先
...    ←↓gpを1以外の値にする
```

```

674: 00119193      sll    gp,gp,0x1
678: 0011e193      or     gp,gp,1
...
684: 00000073      ecall

00000688 <pass>: ←すべてのテストに成功したときのジャンプ先
...
68c: 00100193      li     gp,1 ← gp = 1
690: 05d00893      li     a7,93
694: 00000513      li     a0,0
698: 00000073      ecall
69c: c0001073      unimp

```

riscv-tests は、基本的に次の流れで実行されます。

1. `_start` : `reset_vector` にジャンプする
2. `reset_vector` : 各種状態を初期化する
3. `test_*` : テストを実行する。命令の結果がおかしかったら `fail` に飛ぶ。最後まで正常に実行できたら `pass` に飛ぶ。
4. `fail, pass` : テストの成否をレジスタに書き込み、`trap_vector` に飛ぶ
5. `trap_vector` : `write_tohost` に飛ぶ
6. `write_tohost` : テスト結果をメモリに書き込む。ここでループする

`_start` から実行を開始し、最終的に `write_tohost` に移動します。テスト結果はメモリの `.tohost` に書き込まれます。`.tohost` のアドレスは、リンカの設定ファイルに記述されています (リスト 5.8)。プログラムのサイズは `0x1000` よりも小さいため、`.tohost` のアドレスは `0x1000` になります。

▼ リスト 5.8: riscv-tests/env/p/link.ld

```

OUTPUT_ARCH( "riscv" )
ENTRY(_start)

SECTIONS
{
    . = 0x00000000;
    .text.init : { *(.text.init) }
    . = ALIGN(0x1000);
    .tohost : { *(.tohost) }
}

```

5.4 テストの終了を検知する

テストを実行する場合、テストが終了したことを検知し、それが成功か失敗かどうかを報告する必要があります。

riscv-tests はテストが終了したことを示すために、`.tohost` に値を書き込みます。この値が 1

のとき、riscv-tests が正常に終了したことを示します。それ以外の場合は、riscv-tests が失敗したことを示します。

riscv-tests が終了したことを検知する処理を top モジュールに記述します。top モジュールでメモリへのアクセスを監視し、`.tohost` に値が書き込まれたら実行を終了します。

▼ リスト 5.9: メモリアクセスを監視して終了を検知する (top.veryl)

```
// riscv-testsの終了を検知する
const RISCVTESTS_TOHOST_ADDR: Addr = 32'h1000;
always_ff {
    if membus.valid && membus.wen == 1 && membus.addr == RISCVTESTS_TOHOST_ADDR {
        if membus.wdata == 1 {
            $display("riscv-tests success!");
        } else {
            $display("riscv-tests failed!");
            $error ("wdata : %h", membus.wdata);
        }
        $finish();
    }
}
```

テストが失敗した場合、つまり 1 以外の値が書き込まれた場合、`$error` システムタスクを実行します。これにより、テスト失敗時のシミュレータの終了コードが 1 になります。

5.5 テストの実行

試しに ADD 命令のテストを実行してみましょう。ADD 命令のテストの HEX ファイルは `test/share/riscv-tests/isa/rv32ui-p-add.bin.hex` です。

シミュレータを実行し、正常に動くことを確認します。

▼ リスト 5.10: ADD 命令の riscv-tests を実行する

```
$ make build
$ make sim
$ ./obj_dir/sim test/share/riscv-tests/isa/rv32ui-p-add.bin.hex 0
# 4
00000000 : 0500006f
# 8
00000050 : 00000093
...
# 593
00000040 : fc3f2223
itype : 000100
imm : ffffffff
rs1[30] : 0000103c
rs2[ 3] : 00000001
op1 : 0000103c
op2 : ffffffff
alu res : 00001000
```

```

mem stall : 1
mem rdata : ff1ff06f
riscv-tests success!
- /home/kanataso/Documents/bluecore/core/src/top.sv:26: Verilog $finish
- /home/kanataso/Documents/bluecore/core/src/top.sv:26: Second verilog $finish, exiting

```

riscv-tests success! と表示され、テストが正常終了しました*1。

5.6 複数のテストを自動で実行する

ADD 命令以外の命令もテストしたいですが、わざわざコマンドを手打ちしたくありません。本書では、自動でテストを実行し、その結果を報告するプログラムを作成します。

test/test.py を作成し、次のように記述します。

▼ リスト 5.11: test.py

```

import argparse
import os
import subprocess

parser = argparse.ArgumentParser()
parser.add_argument("sim_path", help="path to simulator")
parser.add_argument("dir", help="directory includes test")
parser.add_argument("files", nargs='*', help="test hex file names")
parser.add_argument("-r", "--recursive", action='store_true', help="search file recursively")
parser.add_argument("-e", "--extension", default="hex", help="test file extension")
parser.add_argument("-o", "--output_dir", default="results", help="result output directory")
parser.add_argument("-t", "--time_limit", type=float, default=10, help="limit of execution time. >
>set 0 to nolimit")
args = parser.parse_args()

# run test
def test(file_name):
    result_file_path = os.path.join(args.output_dir, file_name.replace(os.sep, "_") + ".txt")
    cmd = args.sim_path + " " + file_name + " 0"
    success = False
    with open(result_file_path, "w") as f:
        no = f.fileno()
        p = subprocess.Popen(cmd, shell=True, stdout=no, stderr=no)
        try:
            p.wait(None if args.time_limit == 0 else args.time_limit)
            success = p.returncode == 0
        except: pass
    finally:
        p.terminate()

```

*1 実行が終了しない場合はどこかしらにバグがあります。rv32ui-p-add.dump と実行ログを見比べて、頑張って原因を探してください...

```

        p.kill()
    print(("PASS" if success else "FAIL") + " : " + file_name)
    return (file_name, success)

# search files
def dir_walk(dir):
    for entry in os.scandir(dir):
        if entry.is_dir():
            if args.recursive:
                for e in dir_walk(entry.path):
                    yield e
            continue
        if entry.is_file():
            if not entry.name.endswith(args.extension):
                continue
            if len(args.files) == 0:
                yield entry.path
            for f in args.files:
                if entry.name.find(f) != -1:
                    yield entry.path
                break

if __name__ == '__main__':
    os.makedirs(args.output_dir, exist_ok=True)

    res_strs = []
    res_statuses = []

    for hexpath in dir_walk(args.dir):
        f, s = test(os.path.abspath(hexpath))
        res_strs.append(("PASS" if s else "FAIL") + " : " + f)
        res_statuses.append(s)

    res_strs = sorted(res_strs)
    statusText = "Test Result : " + str(sum(res_statuses)) + " / " + str(len(res_statuses))

    with open(os.path.join(args.output_dir, "result.txt"), "w", encoding='utf-8') as f:
        f.write(statusText + "\n")
        f.write("\n".join(res_strs))

    print(statusText)

    if sum(res_statuses) != len(res_statuses):
        exit(1)

```

この Python プログラムは、第 2 引数で指定したディレクトリに存在する、第 3 引数で指定した文字列を名前に含むファイルを、第 1 引数で指定したシミュレータで実行し、その結果を報告します。

今回は RV32I のテストを実行したいので、riscv-tests の RV32I 向けのテストの接頭辞である `rv32ui-p` 引数に指定します。

この Python プログラムには、次のオプションの引数が存在します。

-r

第 2 引数で指定されたディレクトリの中にあるディレクトリも走査するようにします。デフォルトでは走査しません。

-e 拡張子

指定した拡張子のファイルのみを対象にテストします。HEX ファイルをテストしたい場合は、`-e hex` にします。デフォルトでは `hex` が指定されています。

-o ディレクトリ

指定したディレクトリにテスト結果を格納します。デフォルトでは `result` ディレクトリに格納します。

-t 時間

テストに時間制限を設けます。0 を指定すると時間制限はなくなります。デフォルト値は 10(秒) です。

それでは、RV32I のテストを実行しましょう。

▼ リスト 5.12: rv32ui-p から始まるテストを実行する

```
$ python3 test.py ../obj_dir/sim share rv32ui-p- -r
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-lh.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-sb.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-sltiu.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-sh.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-bltu.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-or.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-sra.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-xor.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-addi.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-srai.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-srli.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-auipc.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-slli.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-slti.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-lb.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-lw.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-bge.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-sub.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-xori.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-sw.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-beq.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-fence_i.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-jal.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-and.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-lui.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-bgeu.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-slt.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-sll.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-jalr.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-add.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-simple.bin.hex
```

```
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-andi.bin.hex
FAIL : ~/core/test/share/riscv-tests/isa/rv32ui-p-ma_data.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-lhu.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-lbu.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-sltu.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-ori.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-bltn.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-bne.bin.hex
PASS : ~/core/test/share/riscv-tests/isa/rv32ui-p-srl.bin.hex
Test Result : 39 / 40
```

rv32ui-p-から始まる 40 個のテストの内、39 個のテストにパスしました。テストの詳細な結果は results ディレクトリに格納されています。

rv32ui-p-ma_data は、ロードストアするサイズにアラインされていないアドレスへのロードストア命令のテストです。これについては後の章で例外として対処するため、今は無視します。

第 6 章

RV64I の実装

これまでに、RISC-V の 32 ビットの基本整数命令セットである RV32I の CPU を実装しました。RISC-V には 64 ビットの基本整数命令セットとして RV64I が定義されています。本章では、RV32I の CPU を RV64I にアップグレードします。

では、具体的に RV32I と RV64I は何が違うのでしょうか？

まず、RV64I では XLEN が 32 ビットから 64 ビットに変更され、レジスタの幅や各種演算命令の演算の幅が 64 ビットになります。それに伴い、32 ビット幅での演算を行う命令、64 ビット幅でロードストアを行う命令が追加されます (表 6.1)。また、演算の幅が 64 ビットに広がるだけでなく、動作が少し変わる命令が存在します (表 6.2)。

▼ 表 6.1: RV64I で追加される命令

命令	動作
ADD[I]W	32 ビット単位で加算を行う。結果は符号拡張する
SUBW	32 ビット単位で減算を行う。結果は符号拡張する
SLL[I]W	0 ~ 31 ビット左論理シフトする
SRL[I]W	0 ~ 31 ビット右論理シフトする
SRA[I]W	0 ~ 31 ビット右算術シフトする
LWU	メモリから 32 ビット読み込む。結果はゼロで拡張する
LD	メモリから 64 ビット読み込む
SD	メモリに 64 ビット書き込む

▼ 表 6.2: RV64I で変更される命令

命令	動作
SLL[I]	0 ~ 63 ビット左論理シフトする
SRL[I]	0 ~ 63 ビット右論理シフトする
SRA[I]	0 ~ 63 ビット右算術シフトする
LUI	32 ビットの即値を生成する。結果は符号拡張する
AUIPC	32 ビットの即値を符号拡張したものに pc を足し合わせる
LW	メモリから 32 ビット読み込む。結果は符号拡張する

実装のテストには riscv-tests を利用します。RV64I 向けのテストは `rv64i-p-` から始まるテストです。命令を実装するたびにテストを実行することで、命令が正しく実行できていることを確認します。

6.1 XLEN を変更する

6.1.1 SLL[I], SRL[I], SRA[I] 命令の対応

6.1.2 LUI, AUIPC 命令の対応

6.1.3 メモリの幅を広げる

ロードストア命令を実装するにあたって、メモリの幅を広げます。現在のメモリの幅は 32 ビットですが、このままだと 64 ビットでロードストアを行う場合に最低 2 回のメモリアクセスが必要になってしまいます。これを 1 回のメモリアクセスで済ませるために、メモリ幅を 32 ビットから 64 ビットに広げます。

プログラム

命令フェッチ部では、64 ビットの読み出しデータの上位 32 ビット、下位 32 ビットを PC の下位 3 ビットで選択します。PC[2:0] が 0 のときは下位 32 ビット、4 のときは上位 32 ビットになります。

プログラム

メモリ命令を処理する部分では、LW 命令に新たに rdata の選択処理を追加します。LB[U], LH[U] については上位 32 ビットの場合について追加します。ストア命令では、マスクを変更し、アドレスに合わせて wdata を変更します。

プログラム

6.1.4 LW 命令の対応

LW 命令は、符号拡張する

6.1.5 CSR の対応

6.2 ADDW, ADDIW, SUBW 命令の実装

32 ビット単位で足し算、引き算をする命令が追加されています。これに対応するために ALU を変更します。

結果は符号拡張する必要があります。

6.3 SLL[I]W, SRL[I]W, SRA[I]W 命令の実装

32 ビット単位に対してシフトする命令が追加されています。これに対応するために ALU を変更します。

6.4 LWU, LD, SD 命令の実装

LWU 命令は、LHU, LBU 命令と同様に 0 拡張すればよいです。LD 命令は、メモリの rdata をそのまま結果に格納します。SD 命令は、マスクをすべて 1 で埋めて、wdata をレジスタの値をそのままにします。

第 7 章

CPU のパイプライン処理化

TODO

第 8 章

CPU を合成する

TangMega138K と PYNQ-Z1
TODO

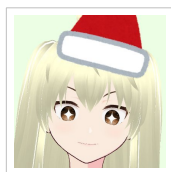
あとがき / おわりに

いかがだったでしょうか。質問は GitHub の issue をお願いします。

本書は「Veryl で作る RISC-V CPU 基本編」の第 I 部のみを発行したものです。本書の pdf, web 版は無料で配布されており、<https://github.com/nananapo/veryl-riscv-book> でダウンロード, 閲覧することができます。

続きが気になったり、誤植を見つけた場合は、GitHub をご確認ください。

著者紹介



kanataso (kanapipopipo@X, nananapo@GitHub)

いつの間にか自作 CPU の沼に沈んでいました。

自ら外堀を埋めてしまい、もう抜け出せそうにありません。

計算機と法律に興味があります

Veryl で作る RISC-V CPU

基本編 (の第 I 部)

2024 年 11 月 3 日 ver 1.0 (技術書典 17)

著 者 kanataso
発行者 kanataso
連絡先 kanapipopipo@X
印刷所 日光企画

© 2024 ミーミミ研究室