

# Veryl で作る CPU

— 基本編 —

[著] 阿部奏太

<https://cpu.kanataso.net/>

## ■免責

本書は情報の提供のみを目的としています。

本書の内容を実行・適用・運用したことで何が起きようとも、それは実行・適用・運用した人自身の責任であり、著者や関係者はいかなる責任も負いません。

## ■商標

本書に登場するシステム名や製品名は、関係各社の商標または登録商標です。

また本書では、™、®、©などのマークは省略しています。

# まえがき

本書は「Veryl で作る CPU 基本編」の第 II 部と第 III 部です。本書に第 I 部は含まれていませんが、Web 版にすべて無料で公開しています。

本書では、第 I 部で実装した RV64I の 5 段パイプラインの CPU に次の機能を実装します。

- 乗除算 (M 拡張)
- 不可分操作 (A 拡張)
- 圧縮命令 (C 拡張)
- 例外
- メモリマップド I/O
- 特権レベル (M-mode、S-mode、U-mode)
- 割り込み (ACLINT)
- ページング (Sv39)
- PLIC

実装する CPU は、最終的に OS を実行できる程度の機能を持つことになります。本書の最後では Linux を実行できることを確認します。

## 本書のソースコード / 問い合わせ先

本書で利用するソースコードは、以下のサポートページから入手できます。質問やお問い合わせ方法についてもサポートページを確認してください。

- <https://github.com/nananapo/veryl-riscv-book/wiki/techbookfest18-support-page>

## 凡例

プログラムコードの差分を表示する場合は、追加されたコードを太字で、削除されたコードを取り消し線で表します。ただし、リスト内のコードが全て新しく追加されるときは太字を利用しません。コードを置き換えるときは太字で示し、削除されたコードを示さない場合もあります。

```
print("Hello, world!\n");           ←取り消し線は削除したコード  
print("Hello, " +name+"!\n");          ←太字は追加したコード
```

長い行が右端で折り返されると、折り返されたことを表す小さな記号がつきます (pdf 版のみ)。

ターミナル画面は、次のように表示します。行頭の「\$」はプロンプトを表し、ユーザが入力するコマンドには下線を引いています。

\$ echo Hello ←行頭の「\$」はプロンプト、それ以後がユーザ入力

プログラムコードやターミナル画面は、...などの複数の点で省略することができます。

# 目次

## まえがき

i

## 第1部 RV64IMAC の実装

1

### 第1章 M 拡張の実装

2

1.1	概要	2
1.2	命令のデコード	4
1.3	muldivunit モジュールの実装	5
1.3.1	muldivunit モジュールを作成する	5
1.3.2	EX ステージを変更する	6
1.4	符号無しの乗算器の実装	8
1.4.1	mulunit モジュールを実装する	8
1.4.2	mulunit モジュールをインスタンス化する	10
1.5	MULHU 命令の実装	11
1.6	MUL、MULH 命令の実装	11
1.6.1	符号付き乗算を符号無し乗算器で実現する	11
1.6.2	符号付き乗算を実装する	12
1.6.3	MULHSU 命令の実装	13
1.6.4	MULW 命令の実装	14
1.7	符号無し除算の実装	16
1.7.1	divunit モジュールを実装する	16
1.7.2	divunit モジュールをインスタンス化する	19
1.8	DIVU、REMU 命令の実装	19
1.9	DIV、REM 命令の実装	20
1.9.1	符号付き除算を符号無し除算器で実現する	20
1.9.2	符号付き除算を実装する	20
1.10	DIVW、DIVUW、REMW、REMUW 命令の実装	22

### 第2章 例外の実装

24

2.1	例外とは何か？	24
2.2	例外情報の伝達	25
2.2.1	Environment call from M-mode 例外を IF ステージで処理する	25
2.2.2	mtval レジスタを実装する	27
2.3	Breakpoint 例外の実装	29
2.4	Illegal instruction 例外の実装	30

---

2.4.1	不正な命令ビット列で例外を起こす	30
2.4.2	読み込み専用の CSR への書き込みで例外を起こす	32
2.5	命令アドレスのミスアライン例外	35
2.6	ロードストア命令のミスアライン例外	36
<b>第3章</b>	<b>Memory-mapped I/O の実装</b>	<b>38</b>
3.1	Memory-mapped I/O とは何か？	38
3.2	定数の定義	39
3.3	mmio_controller モジュールの作成	42
3.4	RAM の接続	46
3.4.1	mmio_controller モジュールに RAM を追加する	46
3.4.2	RAM と mmio_controller モジュールを接続する	48
3.4.3	PC の初期値の変更	50
3.5	ROM の実装	51
3.5.1	mmio_controller モジュールに ROM を追加する	51
3.5.2	ROM の初期値のパラメータを作成する	53
3.5.3	ROM と mmio_controller モジュールを接続する	54
3.5.4	ROM から RAM にジャンプする	56
3.6	デバッグ用の入出力デバイスの実装	56
3.6.1	デバイスのアドレスを設定する	57
3.6.2	mmio_controller モジュールにデバイスを追加する	57
3.6.3	出力を実装する	59
3.6.4	出力をテストする	60
3.6.5	riscv-tests に対応する	63
3.6.6	入力を実装する	65
3.6.7	入力をテストする	67
<b>第4章</b>	<b>A 拡張の実装</b>	<b>69</b>
4.1	アトミック操作	69
4.1.1	アトミック操作とは何か？	69
4.1.2	Zaamo 拡張	70
4.1.3	Zalrsc 拡張	70
4.1.4	命令の順序	71
4.2	命令のデコード	72
4.2.1	is_amo フラグを実装する	73
4.2.2	アドレスを変更する	74
4.2.3	ライトバックする条件を変更する	75
4.3	amountit モジュールの作成	75
4.3.1	インターフェースを作成する	75
4.3.2	amountit モジュールの作成	76

---

4.4	Zalrsc 拡張の実装	81
4.4.1	LR.W、LR.D 命令を実装する	81
4.4.2	SC.W、SC.D 命令を実装する	83
4.5	Zaamo 拡張の実装	85
<b>第 5 章 C 拡張の実装</b>		<b>89</b>
5.1	概要	89
5.2	IALIGN の変更	90
5.3	実装方針	91
5.4	命令フェッチモジュールの実装	92
5.4.1	インターフェースを作成する	92
5.4.2	core モジュールの IF ステージを削除する	93
5.4.3	inst_fetcher モジュールを作成する	94
5.4.4	inst_fetcher モジュールと core モジュールを接続する	98
5.5	16 ビット境界に配置された 32 ビット幅の命令のサポート	99
5.6	RVC 命令の変換	101
5.6.1	RVC 命令フラグの実装	101
5.6.2	32 ビット幅の命令に変換する	103
5.6.3	RVC 命令を発行する	108
<b>第 II 部 特権/割り込みの実装</b>		<b>111</b>
<b>第 6 章 M-mode の実装 (1. CSR の実装)</b>		<b>112</b>
6.1	概要	112
6.1.1	特権レベルとは何か？	112
6.1.2	特権レベルの実装順序	113
6.1.3	XLEN の定義	114
6.2	misa レジスタ (Machine ISA)	114
6.3	mimpid レジスタ (Machine Implementation ID)	115
6.4	mhartid レジスタ (Hart ID)	116
6.5	mstatus レジスタ (Machine Status)	116
6.6	ハードウェアパフォーマンスマニタ	118
6.6.1	mcycle レジスタ	118
6.6.2	minstret レジスタ	119
6.7	mscratch レジスタ (Machine Scratch)	120
<b>第 7 章 M-mode の実装 (2. 割り込みの実装)</b>		<b>122</b>
7.1	概要	122
7.1.1	割り込みとは何か？	122

---

7.1.2	RISC-V の割り込み . . . . .	122
7.1.3	割り込みの優先順位 . . . . .	123
7.1.4	割り込みの原因 (cause) . . . . .	124
7.1.5	ACLINT (Advanced Core Local Interruptor) . . . . .	124
7.2	ACLINT モジュールの作成 . . . . .	125
7.2.1	インターフェースを作成する . . . . .	125
7.2.2	aclint_memory モジュールを作成する . . . . .	126
7.2.3	mmio_controller モジュールに ACLINT を追加する . . . . .	126
7.2.4	ACLINT と mmio_controller、csrunit モジュールを接続する . . . . .	128
7.3	ソフトウェア割り込みの実装 (MSWI) . . . . .	129
7.3.1	MSIP レジスタを実装する . . . . .	130
7.3.2	mip、mie レジスタを実装する . . . . .	131
7.3.3	mstatus の MIE、MPIE ビットを実装する . . . . .	133
7.3.4	割り込み処理の実装 . . . . .	133
7.3.5	ソフトウェア割り込みをテストする . . . . .	135
7.4	mtvec の Vectored モードの実装 . . . . .	136
7.5	タイマ割り込みの実装 (MTIMER) . . . . .	137
7.5.1	タイマ割り込み . . . . .	137
7.5.2	MTIME、MTIMECMP レジスタを実装する . . . . .	138
7.5.3	mip.MTIP、割り込み原因を設定する . . . . .	139
7.5.4	タイマ割り込みをテストする . . . . .	140
7.6	WFI 命令の実装 . . . . .	141
7.7	time、instret、cycle レジスタの実装 . . . . .	141
<b>第 8 章</b>	<b>U-mode の実装</b>	<b>143</b>
8.1	misa.Extensions の変更 . . . . .	143
8.2	mstatus.UXL の実装 . . . . .	143
8.3	mstatus.TW の実装 . . . . .	144
8.4	mstatus.MPP の実装 . . . . .	144
8.5	CSR のアクセス権限の確認 . . . . .	146
8.6	mcOUNTEREN レジスタの実装 . . . . .	147
8.7	MRET 命令の実行を制限する . . . . .	148
8.8	ECALL 命令の cause を変更する . . . . .	149
8.9	割り込み条件の変更 . . . . .	150
<b>第 9 章</b>	<b>S-mode の実装 (1. CSR の実装)</b>	<b>151</b>
9.1	misa.Extensions、mstatus.SXL、mstatus.MPP の実装 . . . . .	152
9.2	scounteren レジスタの実装 . . . . .	152
9.3	sstatus レジスタの実装 . . . . .	154
9.4	トラップの委譲 . . . . .	155

---

9.4.1	トラップの委譲 . . . . .	155
9.4.2	トラップに関連するレジスタを作成する . . . . .	156
9.4.3	stvec レジスタの実装 . . . . .	157
9.4.4	トラップで sepc、scause、stval レジスタを変更する . . . . .	158
9.4.5	mstatus の SIE、SPIE、SPP ビットを実装する . . . . .	158
9.4.6	SRET 命令を実装する . . . . .	159
9.4.7	SEI、SSI、STI を実装する . . . . .	161
9.4.8	割り込み条件、トラップの動作を変更する . . . . .	164
9.5	ソフトウェア割り込みの実装 (SSWI) . . . . .	165
<b>第 10 章 S-mode の実装 (2. 仮想記憶システム)</b>		<b>167</b>
10.1	概要 . . . . .	167
10.1.1	仮想記憶システム . . . . .	167
10.1.2	ページング方式 . . . . .	167
10.1.3	RISC-V の仮想記憶システム . . . . .	168
10.1.4	satp レジスタ、アドレス変換プロセス . . . . .	168
10.1.5	実装順序 . . . . .	169
10.2	メモリで発生する例外の実装 . . . . .	170
10.2.1	例外を伝達する . . . . .	170
10.2.2	ページフォルトが発生した正確なアドレスを特定する . . . . .	176
10.3	satp レジスタの作成 . . . . .	177
10.4	mstatus の MXR、SUM、MPRV ビットの実装 . . . . .	178
10.5	アドレス変換モジュール (PTW) の実装 . . . . .	178
10.5.1	CSR のインターフェースを実装する . . . . .	179
10.5.2	Bare だけに対応するアドレス変換モジュールを実装する . . . . .	180
10.5.3	ptw モジュールをインスタンス化する . . . . .	183
10.6	Sv39 の実装 . . . . .	186
10.6.1	定数の定義 . . . . .	186
10.6.2	PTE の定義 . . . . .	187
10.6.3	ptw モジュールの実装 . . . . .	189
10.7	SFENCE.VMA 命令の実装 . . . . .	193
10.7.1	SFENCE.VMA 命令をデコードする . . . . .	193
10.7.2	特権レベルの確認、mstatus.TVM を実装する . . . . .	193
10.8	パイプラインをフラッシュする . . . . .	194
10.8.1	CSR の変更 . . . . .	194
10.8.2	FENCE.I 命令の実装 . . . . .	195
<b>第 11 章 PLIC の実装</b>		<b>196</b>
<b>第 12 章 Linux を動かす</b>		<b>197</b>

あとがき

198

## 第Ⅰ部

# RV64IMAC の実装

# 第 1 章

## M 拡張の実装

### 1.1 概要

「第 I 部 RV32I / RV64I の実装」では RV64I の CPU を実装しました。「第 II 部 RV64IMAC の実装」では、次のような機能を実装します。

- 乗算、除算、剰余演算命令 (M 拡張)
- 不可分操作命令 (A 拡張)
- 圧縮命令 (C 拡張)
- 例外
- Memory-mapped I/O

本章では積、商、剰余を求める命令を実装します。RISC-V の乗算、除算、剰余演算を行う命令は M 拡張に定義されており、M 拡張を実装した RV64I の ISA のことを **RV64IM** と表記します。

M 拡張には、XLEN が **32** のときは表 1.1 の命令が定義されています。XLEN が **64** のときは表 1.2 の命令が定義されています。

▼表 1.1: M 拡張の命令 (XLEN=32)

命令	動作
MUL	rs1(符号付き) $\times$ rs2(符号付き) の結果 (64 ビット) の下位 32 ビットを求める
MULH	rs1(符号付き) $\times$ rs2(符号付き) の結果 (64 ビット) の上位 32 ビットを求める
MULHU	rs1(符号無し) $\times$ rs2(符号無し) の結果 (64 ビット) の上位 32 ビットを求める
MULHSU	rs1(符号付き) $\times$ rs2(符号無し) の結果 (64 ビット) の上位 32 ビットを求める
DIV	rs1(符号付き) $\div$ rs2(符号付き) を求める
DIVU	rs1(符号無し) $\div$ rs2(符号無し) を求める
REM	rs1(符号付き) $\% \div$ rs2(符号付き) を求める
REMU	rs1(符号無し) $\% \div$ rs2(符号無し) を求める

Veryl には積、商、剰余を求める演算子 **\***、**/**、**%** が定義されており、これを利用することで

▼表1.2: M拡張の命令 (XLEN=64)

命令	動作
MUL	$rs1(\text{符号付き}) \times rs2(\text{符号付き})$ の結果 (128ビット) の下位 64ビットを求める
MULW	$rs1[31:0](\text{符号付き}) \times rs2[31:0](\text{符号付き})$ の結果 (64ビット) の下位 32ビットを求める 結果は符号拡張する
MULH	$rs1(\text{符号付き}) \times rs2(\text{符号付き})$ の結果 (128ビット) の上位 64ビットを求める
MULHU	$rs1(\text{符号無し}) \times rs2(\text{符号無し})$ の結果 (128ビット) の上位 64ビットを求める
MULHSU	$rs1(\text{符号付き}) \times rs2(\text{符号無し})$ の結果 (128ビット) の上位 64ビットを求める
DIV	$rs1(\text{符号付き}) / rs2(\text{符号付き})$ を求める
DIVW	$rs1[31:0](\text{符号付き}) / rs2[31:0](\text{符号付き})$ を求める 結果は符号拡張する
DIVU	$rs1(\text{符号無し}) / rs2(\text{符号無し})$ を求める
DIVWU	$rs1[31:0](\text{符号無し}) / rs2[31:0](\text{符号無し})$ を求める 結果は符号拡張する
REM	$rs1(\text{符号付き}) \% rs2(\text{符号付き})$ を求める
REMW	$rs1[31:0](\text{符号付き}) \% rs2[31:0](\text{符号付き})$ を求める 結果は符号拡張する
REMU	$rs1(\text{符号無し}) \% rs2(\text{符号無し})$ を求める
REMUW	$rs1[31:0](\text{符号無し}) \% rs2[31:0](\text{符号無し})$ を求める 結果は符号拡張する

簡単に計算を実装できます (リスト 1.1)。

▼リスト1.1: 演算子による実装例

```

1 assign mul = op1 * op2;
2 assign div = op1 / op2;
3 assign rem = op1 % op2;

```

例えば乗算回路を FPGA 上に実装する場合、通常は合成系によって FPGA に搭載されている乗算器が自動的に利用されます<sup>\*1</sup>。これにより、低遅延、低リソースコストで効率的な乗算回路を自動的に実現できます。しかし、32ビットや 64ビットの乗算を実装する際、FPGA 上の乗算器の数が不足すると、LUT を用いた大規模な乗算回路が構築されることがあります。このような大規模な回路は FPGA のリソースの使用量や遅延に大きな影響を与えるため好ましくありません。除算や剰余演算でも同じ問題<sup>\*2</sup>が生じることがあります。

\*、/、% 演算子がどのような回路に合成されるかは、合成系が全体の実装を考慮して自動的に決定するため、その挙動をコントロールするのは難しいです。そこで本章では、\*、/、% 演算子を使用せず、足し算やシフト演算などの基本的な論理だけを用いて同等の演算を実装します。

基本編では積、商、剰余を効率よく<sup>\*3</sup>求める実装は検討せず、できるだけ単純な方法で実装し

<sup>\*1</sup> 手動で何をどのように利用するかを選択することもできます。既に用意された回路 (IP) を使うこともできますが、本書は自作することを主軸としているため利用しません。

<sup>\*2</sup> そもそも除算器が搭載されていない場合があります。

<sup>\*3</sup> 「効率」は、計算に要する時間やスループット、回路面積のことです。効率的に計算する方法については応用編で検討します。

ます。

## 1.2 命令のデコード

まず、M拡張の命令をデコードします。M拡張の命令はすべてR形式であり、レジスタの値同士の演算を行います。funct7は7'b0000001です。MUL、MULH、MULHSU、MULHU、DIV、DIVU、REM、REMU命令のopcodeは7'b0110011(OP)で、MULW、DIVW、DIVUW、REMW、REMUW命令のopcodeは7'b0111011(OP-32)です。

それぞれの命令はfunct3で区別します(表1.3)。乗算命令のfunct3はMSBが0、除算と剰余演算命令は1になっています。

▼表1.3: M拡張の命令の区別

命令	funct3
MUL、MULW	000
MULH	001
MULHU	010
MULHSU	011
DIV、DIVW	100
DIVU、DIVWU	101
REM、REMW	110
REMU、REMUW	111

InstCtrl構造体に、M拡張の命令であることを示すis\_muldivフラグを追加します(リスト1.2)。

▼リスト1.2: is\_muldivフラグを追加する(corectrl.veryl)

```

1 // 制御に使うフラグ用の構造体
2 struct InstCtrl {
3     itype      : InstType   , // 命令の形式
4     rwb_en    : logic      , // レジスタに書き込むかどうか
5     is_lui    : logic      , // LUI命令である
6     is_aluop  : logic      , // ALUを利用する命令である
7     is_muldiv: logic      , // M拡張の命令である
8     is_op32   : logic      , // OP-32またはOP-IMM-32である
9     is_jump   : logic      , // ジャンプ命令である
10    is_load   : logic      , // ロード命令である
11    is_csr    : logic      , // CSR命令である
12    funct3   : logic <3>, // 命令のfunct3フィールド
13    funct7   : logic <7>, // 命令のfunct7フィールド
14 }
```

inst\_decoderモジュールのInstCtrlを生成している部分を変更します。opcodeがOPかOP-32の場合はfunct7の値によってis\_muldivを設定します(リスト1.3)。その他

の opcode の `is_muldiv` は `F` に設定してください。

▼リスト 1.3: `is_muldiv` を設定する (`inst_decoder.veryl`) (一部)

```

1  OP_OP: {
2      InstType::R, T, F, T, f7 == 7'b0000001, F, F, F, F
3  },
4  OP_OP_IMM: {
5      InstType::I, T, F, T, F, F, F, F, F
6  },
7  OP_OP_32: {
8      InstType::R, T, F, T, f7 == 7'b0000001, T, F, F, F
9  },

```

## 1.3 muldivunit モジュールの実装

### 1.3.1 muldivunit モジュールを作成する

M拡張の計算を処理するモジュールを作成し、M拡張の命令が ALU の結果ではなくモジュールの結果を利用するように変更します。

`src/muldivunit.veryl` を作成し、次のように記述します (リスト 1.4)。

▼リスト 1.4: `muldivunit.veryl`

```

1 import eei::*;

2 module muldivunit (
3     clk : input  clock  ,
4     rst : input  reset  ,
5     ready : output logic ,
6     valid : input  logic ,
7     funct3: input  logic<3>,
8     op1  : input  UIntX ,
9     op2  : input  UIntX ,
10    rvalid: output logic ,
11    result: output UIntX ,
12 ) {
13
14     enum State {
15         Idle,
16         WaitValid,
17         Finish,
18     }
19
20     var state: State;
21
22     // saved_data
23     var funct3_saved: logic<3>;
24
25

```

```

26  always_comb {
27      ready  = state == State::Idle;
28      rvalid = state == State::Finish;
29  }
30
31  always_ff {
32      if_reset {
33          state      = State::Idle;
34          result     = 0;
35          funct3_saved = 0;
36      } else {
37          case state {
38              State::Idle: if ready && valid {
39                  state      = State::WaitValid;
40                  funct3_saved = funct3;
41              }
42              State::WaitValid: state = State::Finish;
43              State::Finish   : state = State::Idle;
44              default        : {}
45          }
46      }
47  }
48 }

```

muldivunit モジュールは `ready` が 1 のときに計算のリクエストを受け付けます。`valid` が 1 なら計算を開始し、計算が終了したら `rvalid` を 1 、計算結果を `result` に設定します。

まだ計算処理を実装しておらず、`result` は常に 0 を返します。次の計算を開始するまで `result` の値を維持します。

### 1.3.2 EXステージを変更する

M拡張の命令が EXステージにあるとき、ALUの結果の代わりに muldivunit モジュールの結果を利用するように変更します。

まず、muldivunit モジュールをインスタンス化します（リスト 1.5）。

#### ▼リスト 1.5: muldivunit モジュールをインスタンス化する (core.veryl)

```

1  let exs_muldiv_valid : logic = exs_valid && exs_ctrl.is_muldiv && !exs_data_hazard && !exs_m
2  >uldiv_is_requested;
3  var exs_muldiv_ready : logic;
4  var exs_muldiv_rvalid: logic;
5  var exs_muldiv_result: UIntX;
6
7  inst mdu: muldivunit (
8      clk           ,
9      rst           ,
10     valid : exs_muldiv_valid ,
11     ready : exs_muldiv_ready ,
12     funct3: exs_ctrl.funct3 ,
13

```

```

12     op1  : exs_op1      ,
13     op2  : exs_op2      ,
14     rvalid: exs_muldiv_rvalid,
15     result: exs_muldiv_result,
16 );

```

muldivunit モジュールで計算を開始するのは、EX ステージに命令が存在し (`exs_valid`)、命令が M 拡張の命令であり (`exs_ctrl.is_muldiv`)、データハザードが発生しておらず (`!exs_data_hazard`)、既に計算を要求していない (`!exs_muldiv_is_requested`) 場合です。

`!exs_muldiv_is_requested` 変数を定義し、ステージの遷移条件と muldivunit に計算を要求したかの状態によって値を更新します (リスト 1.6)。

#### ▼ リスト 1.6: `exs_muldiv_is_requested` 変数 (core.veryl)

```

1  var exs_muldiv_is_requested: logic;
2
3  always_ff {
4      if_reset {
5          exs_muldiv_is_requested = 0;
6      } else {
7          // 次のステージに遷移
8          if exq_rvalid && exq_rready {
9              exs_muldiv_is_requested = 0;
10         } else {
11             // muldivunitにリクエストしたか判定する
12             if exs_muldiv_valid && exs_muldiv_ready {
13                 exs_muldiv_is_requested = 1;
14             }
15         }
16     }
17 }

```

muldivunit モジュールは ALU のように 1 クロックの間に入力から出力を生成しないため、計算中は EX ステージをストールさせる必要があります。そのために `exs_muldiv_stall` 変数を定義して、ストールの条件に追加します (リスト 1.7、リスト 1.8)。また、M 拡張の命令の場合は MEM ステージに渡す `alu_result` の値を muldivunit モジュールの結果に設定します (リスト 1.8)。

#### ▼ リスト 1.7: EX ステージのストール条件の変更 (core.veryl)

```

1  var exs_muldiv_rvalidated: logic;
2  let exs_muldiv_stall  : logic = exs_ctrl.is_muldiv && !exs_muldiv_rvalid && !exs_muldiv_rva>
>lided;
3
4  always_ff {
5      if_reset {
6          exs_muldiv_rvalidated = 0;
7      } else {
8          // 次のステージに遷移
9          if exq_rvalid && exq_rready {
10              exs_muldiv_rvalidated = 0;
11          }
12      }
13  }

```

```

11     } else {
12         // muldivunitの処理が完了していたら1にする
13         exs_muldiv_rvalided |= exs_muldiv_rvalid;
14     }
15 }
16 }
```

▼リスト 1.8: EXステージのストール条件の変更とM拡張の命令の結果の設定 (core.veryl)

```

1 let exs_stall: logic = exs_data_hazard || exs_muldiv_stall;
2
3 always_comb {
4     // EX -> MEM
5     exq_rready      = memq_wready && !exs_stall;
6     memq_wvalid      = exq_rvalid && !exs_stall;
7     memq_wdata.addr  = exq_rdata.addr;
8     memq_wdata.bits   = exq_rdata.bits;
9     memq_wdata.ctrl    = exq_rdata.ctrl;
10    memq_wdata.imm     = exq_rdata.imm;
11    memq_wdata.rs1_addr = exs_rs1_addr;
12    memq_wdata.rs1_data = exs_rs1_data;
13    memq_wdata.rs2_data = exs_rs2_data;
14    memq_wdata.alu_result = if exs_ctrl.is_muldiv ? exs_muldiv_result : exs_alu_result;
15    memq_wdata.br_taken   = exs_ctrl.is_jump || inst_is_br(exs_ctrl) && exs_brunit_take;
16    memq_wdata.jump_addr  = if inst_is_br(exs_ctrl) ? exs_pc + exs_imm : exs_alu_result & ~
17    >1;
18 }
```

muldivunit モジュールは計算が完了したクロックでしか `rvalid` を 1 にしないため、既に計算が完了したことを見出す `exs_muldiv_rvalided` 変数で完了状態を管理します。これにより、M拡張の命令によってストールする条件は、命令が M拡張の命令であり (`exs_ctrl.is_muldiv`)、現在のクロックで計算が完了しておらず (`!exs_muldiv_rvalid`)、以前のクロックでも計算が完了していない (`!exs_muldiv_rvalided`) 場合になります。

## 1.4 符号無しの乗算器の実装

### 1.4.1 mulunit モジュールを実装する

`WIDTH` ビットの符号無しの値同士の積を計算する乗算器を実装します。

`src/muldivunit.veryl` の中に mulunit モジュールを作成します (リスト 1.9)。

▼リスト 1.9: muldivunit.veryl

```

1 module mulunit #(
2     param WIDTH: u32 = 0,
3 ) (
4     clk    : input  clock      ,
5     rst    : input  reset      ,
```

```
6     valid : input  logic      ,
7     op1   : input  logic<WIDTH>  ,
8     op2   : input  logic<WIDTH>  ,
9     rvalid: output logic      ,
10    result: output logic<WIDTH * 2>,
11  ) {
12     enum State {
13         Idle,
14         AddLoop,
15         Finish,
16     }
17
18     var state: State;
19
20     var op1zext: logic<WIDTH * 2>;
21     var op2zext: logic<WIDTH * 2>;
22
23     always_comb {
24         rvalid = state == State::Finish;
25     }
26
27     var add_count: u32;
28
29     always_ff {
30         if_reset {
31             state      = State::Idle;
32             result    = 0;
33             add_count = 0;
34             op1zext   = 0;
35             op2zext   = 0;
36         } else {
37             case state {
38                 State::Idle: if valid {
39                     state      = State::AddLoop;
40                     result    = 0;
41                     add_count = 0;
42                     op1zext   = {1'b0 repeat WIDTH, op1};
43                     op2zext   = {1'b0 repeat WIDTH, op2};
44                 }
45                 State::AddLoop: if add_count == WIDTH {
46                     state = State::Finish;
47                 } else {
48                     if op2zext[add_count] {
49                         result += op1zext;
50                     }
51                     op1zext  <<= 1;
52                     add_count += 1;
53                 }
54                 State::Finish: state = State::Idle;
55                 default    : {}
56             }
57         }
58     }
}
```

59 }

mulunit モジュールは `op1 * op2` を計算するモジュールです。`valid` が 1 になったら計算を開始し、計算が完了したら `rvalid` を 1、`result` を `WIDTH * 2` ビットの計算結果に設定します。

積は `WIDTH` 回の足し算を `WIDTH` クロックかけて行って求めていきます(図 1.1)。計算を開始すると入力をゼロで `WIDTH * 2` ビットに拡張し、`result` を 0 でリセットします。

`State::AddLoop` では、次の操作を `WIDTH` 回行います。`i` 回目では次の操作を行います。

1. `op2[i-1]` が 1 なら `result` に `op1` を足す
2. `op1` を 1 ビット左シフトする
3. カウンタをインクリメントする

$$\begin{array}{r}
 1010 \text{ op1 (4bit)} \\
 \times 0101 \text{ op2 (4bit)} \\
 \hline
 1010 = \text{op2} \\
 0000 = (\text{op2} \ll 1) * 0 \\
 1010 = \text{op2} \ll 2 \\
 + 0000 = (\text{op2} \ll 3) * 0 \\
 \hline
 00110010 \text{ result (8bit)}
 \end{array}$$

▲図 1.1: 符号無し 4 ビットの乗算

### 1.4.2 mulunit モジュールをインスタンス化する

mulunit モジュールを muldivunit モジュールでインスタンス化します(リスト 1.10)。まだ結果は利用しません。

▼リスト 1.10: mulunit モジュールをインスタンス化する (muldivunit.veryl)

```

1 // multiply unit
2 const MUL_OP_WIDTH : u32 = XLEN;
3 const MUL_RES_WIDTH: u32 = MUL_OP_WIDTH * 2;
4
5 let is_mul    : logic          = if state == State::Idle ? !funct3[2] : !funct3_saved >[2];
6 var mu_rvalid: logic          ;

```

```

7  var mu_result: logic<MUL_RES_WIDTH>;
8
9  inst mu: mulunit #(
10    WIDTH: MUL_OP_WIDTH,
11  ) (
12    clk
13    ,
14    rst
15    ,
16    valid : ready && valid && is_mul,
17    op1   : op1
18    ,
19    op2   : op2
20    ,
21    rvalid: mu_rvalid
22    ,
23    result: mu_result
24    ,
25  );

```

## 1.5 MULHU命令の実装

MULHU命令は、2つの符号無しのXLENビットの値の乗算を実行し、デスティネーションレジスタに結果(XLEN \* 2ビット)の上位XLENビットを書き込む命令です。funct3の下位2ビットによってmulunitモジュールの結果を選択するようにします(リスト1.11)。

### ▼リスト1.11: MULHUモジュールの結果を取得する(muldivunit.veryl)

```

1  State::WaitValid: if is_mul && mu_rvalid {
2    state = State::Finish;
3    result = case funct3_saved[1:0] {
4      2'b11 : mu_result[XLEN+:XLEN], // MULHU
5      default: 0,
6    };
7  }

```

riscv-testsのrv64um-p-mulhuを実行し、成功することを確認してください。

## 1.6 MUL、MULH命令の実装

### 1.6.1 符号付き乗算を符号無し乗算器で実現する

MUL、MULH命令は、2つの符号付きのXLENビットの値の乗算を実行し、デスティネーションレジスタにそれぞれ結果の下位XLENビット、上位XLENビットを書き込む命令です。

本章ではmulunitモジュールを使って、次のように符号付き乗算を実現します。

1. 符号付きのXLENビットの値を符号無しの値(絶対値)に変換する
2. 符号無しで積を計算する
3. 計算結果の符号を修正する

絶対値で計算することで符号ビットを考慮する必要がなくなり、既に実装してある符号無しの乗算器を変更せずに符号付きの乗算を実現できます。

## 1.6.2 符号付き乗算を実装する

**WIDTH** ビットの符号付きの値を **WIDTH** ビットの符号無しの絶対値に変換する `abs` 関数を作成します (リスト 1.12)。`abs` 関数は、値の MSB が **1** ならビットを反転して **1** を足すことで符号を反転しています。最小値  $-2^{**(\text{WIDTH} - 1)}$  の絶対値も求められることを確認してください。

### ▼リスト 1.12: `abs` 関数を実装する (muldivunit.veryl)

```

1  function abs::<WIDTH: u32> (
2      value: input logic<WIDTH>,
3  ) -> logic<WIDTH> {
4      return if value[msb] ? ~value + 1 : value;
5  }
```

`abs` 関数を利用して、MUL、MULH 命令のときに `mulunit` に渡す値を絶対値に設定します (リスト 1.13、リスト 1.14)。

### ▼リスト 1.13: `op1` と `op2` を生成する (muldivunit.veryl)

```

1  let mu_op1: logic<MUL_OP_WIDTH> = case funct3[1:0] {
2      2'b00, 2'b01: abs::<XLEN>(op1), // MUL, MULH
3      2'b11      : op1, // MULHU
4      default     : 0,
5  };
6  let mu_op2: logic<MUL_OP_WIDTH> = case funct3[1:0] {
7      2'b00, 2'b01: abs::<XLEN>(op2), // MUL, MULH
8      2'b11      : op2, // MULHU
9      default     : 0,
10 }
```

### ▼リスト 1.14: `mulunit` に渡す値を変更する (muldivunit.veryl)

```

1  inst mu: mulunit #(
2      WIDTH: MUL_OP_WIDTH,
3  ) (
4      clk           ,
5      rst           ,
6      valid : ready && valid && is_mul,
7      op1 : mu_op1           ,
8      op2 : mu_op2           ,
9      rvalid: mu_rvalid      ,
10     result: mu_result      ,
11 );
```

計算結果の符号は `op1` と `op2` の符号が異なる場合に負になります。後で符号の情報を利用するために、`muldivunit` モジュールが要求を受け入れる時に符号を保存します (リスト 1.15、リスト 1.16、リスト 1.17)。

## ▼リスト 1.15: 符号を保存する変数を作成する (muldivunit.veryl)

```

1 // saved_data
2 var funct3_saved : logic<3>;
3 var op1sign_saved: logic  ;
4 var op2sign_saved: logic  ;

```

## ▼リスト 1.16: 変数のリセット (muldivunit.veryl)

```

1 always_ff {
2     if_reset {
3         state      = State::Idle;
4         result     = 0;
5         funct3_saved = 0;
6         op1sign_saved = 0;
7         op2sign_saved = 0;
8     } else {

```

## ▼リスト 1.17: 符号を変数に保存する (muldivunit.veryl)

```

1 case state {
2     State::Idle: if ready && valid {
3         state      = State::WaitValid;
4         funct3_saved = funct3;
5         op1sign_saved = op1[msb];
6         op2sign_saved = op2[msb];
7     }

```

保存した符号を利用して計算結果の符号を復元します（リスト 1.18）。

## ▼リスト 1.18: 計算結果の符号を復元する (muldivunit.veryl)

```

1 State::WaitValid: if is_mul && mu_rvalid {
2     let res_signed: logic<MUL_RES_WIDTH> = if op1sign_saved != op2sign_saved ? ~mu_result +>
3     1 : mu_result;
4     state      = State::Finish;
5     result     = case funct3_saved[1:0] {
6         2'b00 : res_signed[XLEN - 1:0], // MUL
7         2'b01 : res_signed[XLEN+:XLEN], // MULH
8         2'b11 : mu_result[XLEN+:XLEN], // MULHU
9         default: 0,
10    };
}

```

riscv-tests の `rv64um-p-mul` と `rv64um-p-mulh` を実行し、成功することを確認してください。

### 1.6.3 MULHSU 命令の実装

MULHSU 命令は、符号付きの XLEN ビットの rs1 と符号無しの XLEN ビットの rs2 の乗算を実行し、デスティネーションレジスタに結果の上位 XLEN ビットを書き込む命令です。計算結果は符号付きの値になります。

MULHSU 命令も、MUL、MULH 命令と同様に符号無しの乗算器で実現します。

`op1` を絶対値に変換し、`op2` はそのままに設定します（リスト 1.19）。

▼ リスト 1.19: MULHSU 命令用に `op1`、`op2` を設定する (muldivunit.veryl)

```

1  let mu_op1: logic<MUL_OP_WIDTH> = case funct3[1:0] {
2      2'b00, 2'b01, 2'b10: abs::<XLEN>(op1), // MUL, MULH, MULHSU
3      2'b11             : op1, // MULHU
4      default           : 0,
5  };
6  let mu_op2: logic<MUL_OP_WIDTH> = case funct3[1:0] {
7      2'b00, 2'b01: abs::<XLEN>(op2), // MUL, MULH
8      2'b11, 2'b10: op2, // MULHU, MULHSU
9      default     : 0,
10 };

```

計算結果は `op1` の符号にします（リスト 1.20）。

▼ リスト 1.20: 計算結果の符号を復元する (muldivunit.veryl)

```

1  State::WaitValid: if is_mul && mu_rvalid {
2      let res_signed: logic<MUL_RES_WIDTH> = if op1sign_saved != op2sign_saved ? ~mu_result +>
> 1 : mu_result;
3      let res_mulhsu: logic<MUL_RES_WIDTH> = if op1sign_saved == 1 ? ~mu_result + 1 : mu_resu>
> lt;
4      state      = State::Finish;
5      result     = case funct3_saved[1:0] {
6          2'b00 : res_signed[XLEN - 1:0], // MUL
7          2'b01 : res_signed[XLEN+:XLEN], // MULH
8          2'b10 : res_mulhsu[XLEN+:XLEN], // MULHSU
9          2'b11 : mu_result[XLEN+:XLEN], // MULHU
10         default: 0,
11     };
12 }

```

riscv-tests の `rv64um-p-mulhsu` を実行し、成功することを確認してください。

## 1.6.4 MULW 命令の実装

MULW 命令は、2 つの符号付きの 32 ビットの値の乗算を実行し、デスティネーションレジスターに結果の下位 32 ビットを符号拡張した値を書き込む命令です。

32 ビット演算の命令であることを判定するために、muldivunit モジュールに `is_op32` ポートを作成します（リスト 1.21、リスト 1.22）。

▼ リスト 1.21: `is_op32` ポートを追加する (muldivunit.veryl)

```

1  module muldivunit (
2      clk      : input  clock   ,
3      rst      : input  reset   ,
4      ready    : output logic   ,
5      valid    : input  logic   ,
6      funct3  : input  logic<3>,
7      is_op32: input  logic   ,

```

```

8  op1    : input  UIntX  ,
9  op2    : input  UIntX  ,
10 rvalid : output logic  ,
11 result : output UIntX  ,
12 ) {
```

## ▼リスト1.22: is\_op32ポートに値を割り当てる(core.veryl)

```

1  inst mdu: muldivunit (
2    clk           ,
3    rst           ,
4    valid : exs_muldiv_valid ,
5    ready : exs_muldiv_ready ,
6    funct3 : exs_ctrl.funct3 ,
7    is_op32: exs_ctrl.is_op32 ,
8    op1    : exs_op1  ,
9    op2    : exs_op2  ,
10   rvalid : exs_muldiv_rvalid,
11   result : exs_muldiv_result,
12 );
```

muldivunitモジュールが要求を受け入れる時に `is_op32` を保存します（リスト1.23、リスト1.24、リスト1.25）。

## ▼リスト1.23: is\_op32を保存する変数を作成する(muldivunit.veryl)

```

1 // saved_data
2 var funct3_saved : logic<3>;
3 var is_op32_saved: logic  ;
4 var op1sign_saved: logic  ;
5 var op2sign_saved: logic  ;
```

## ▼リスト1.24: 変数のリセット(muldivunit.veryl)

```

1 always_ff {
2   if_reset {
3     state      = State::Idle;
4     result     = 0;
5     funct3_saved = 0;
6     is_op32_saved = 0;
7     op1sign_saved = 0;
8     op2sign_saved = 0;
9   } else {
```

## ▼リスト1.25: is\_op32を変数に保存する(muldivunit.veryl)

```

1 State::Idle: if ready && valid {
2   state      = State::WaitValid;
3   funct3_saved = funct3;
4   is_op32_saved = is_op32;
5   op1sign_saved = op1[msb];
6   op2sign_saved = op2[msb];
7 }
```

mulunit モジュールの `op1` と `op2` に、64 ビットの値の下位 32 ビットを符号拡張した値を割り当てます。符号拡張を行う `sext` 関数を作成し、`mu_op1`、`mu_op2` の割り当てに利用します（リスト 1.26、リスト 1.27）。

▼ リスト 1.26: 符号拡張する関数を作成する (muldivunit.veryl)

```

1  function sext::<WIDTH_IN: u32, WIDTH_OUT: u32> (
2      value: input logic<WIDTH_IN>,
3  ) -> logic<WIDTH_OUT> {
4      return {value[msb] repeat WIDTH_OUT - WIDTH_IN, value};
5  }

```

▼ リスト 1.27: MULW 命令用に op1、op2 を設定する (muldivunit.veryl)

```

1  let mu_op1: logic<MUL_OP_WIDTH> = case funct3[1:0] {
2      2'b00, 2'b01, 2'b10: abs::<XLEN>(if is_op32 ? sext::<32, XLEN>(op1[31:0]) : op1), // MUL
3      2'b11 : op1, // MULHU
4      default : 0,
5  };
6  let mu_op2: logic<MUL_OP_WIDTH> = case funct3[1:0] {
7      2'b00, 2'b01: abs::<XLEN>(if is_op32 ? sext::<32, XLEN>(op2[31:0]) : op2), // MUL, MULH
8      2'b11, 2'b10: op2, // MULHU, MULHSU
9      default : 0,
10 }

```

最後に、計算結果を符号拡張した値に設定します（リスト 1.28）。

▼ リスト 1.28: 計算結果を符号拡張する (muldivunit.veryl)

```

1  State::WaitValid: if is_mul && mu_rvalid {
2      let res_signed: logic<MUL_RES_WIDTH> = if op1sign_saved != op2sign_saved ? ~mu_result +>
3          1 : mu_result;
4      let res_mulhsu: logic<MUL_RES_WIDTH> = if op1sign_saved == 1 ? ~mu_result + 1 : mu_resu>
5          lt;
6      state = State::Finish;
7      result = case funct3_saved[1:0] {
        2'b00 : if is_op32_saved ? sext::<32, 64>(res_signed[31:0]) : res_signed[XLEN - 1:>
        0], // MUL, MULW
        2'b01 : res_signed[XLEN:XLEN], // MULH
    }

```

riscv-tests の `rv64um-p-mulw` を実行し、成功することを確認してください。

## 1.7 符号無し除算の実装

### 1.7.1 divunit モジュールを実装する

`WIDTH` ビットの除算を計算する除算器を実装します。

`src/muldivunit.veryl` の中に divunit モジュールを作成します（リスト 1.29）。

## ▼リスト 1.29: muldivunit.veryl

```
1 module divunit #(
2     param WIDTH: u32 = 0,
3 ) (
4     clk      : input  clock      ,
5     rst      : input  reset      ,
6     valid    : input  logic      ,
7     dividend : input  logic<WIDTH>,
8     divisor  : input  logic<WIDTH>,
9     rvalid   : output logic      ,
10    quotient : output logic<WIDTH>,
11    remainder: output logic<WIDTH>,
12 ) {
13     enum State {
14         Idle,
15         ZeroCheck,
16         SubLoop,
17         Finish,
18     }
19
20     var state: State;
21
22     var dividend_saved: logic<WIDTH * 2>;
23     var divisor_saved : logic<WIDTH * 2>;
24
25     always_comb {
26         rvalid    = state == State::Finish;
27         remainder = dividend_saved[WIDTH - 1:0];
28     }
29
30     var sub_count: u32;
31
32     always_ff {
33         if_reset {
34             state      = State::Idle;
35             quotient   = 0;
36             sub_count  = 0;
37             dividend_saved = 0;
38             divisor_saved = 0;
39         } else {
40             case state {
41                 State::Idle: if valid {
42                     state      = State::ZeroCheck;
43                     dividend_saved = {1'b0 repeat WIDTH, dividend};
44                     divisor_saved = {1'b0, divisor, 1'b0 repeat WIDTH - 1};
45                     quotient   = 0;
46                     sub_count  = 0;
47                 }
48                 State::ZeroCheck: if divisor_saved == 0 {
49                     state      = State::Finish;
50                     quotient = '1;
51                 } else {
52                     state = State::SubLoop;
53                 }
54             }
55         }
56     }
57 }
```

```

53
54     }
55     State::SubLoop: if sub_count == WIDTH {
56         state = State::Finish;
57     } else {
58         if dividend_saved >= divisor_saved {
59             dividend_saved -= divisor_saved;
60             quotient      = (quotient << 1) + 1;
61         } else {
62             quotient <= 1;
63         }
64         divisor_saved >>= 1;
65         sub_count      += 1;
66     }
67     State::Finish: state = State::Idle;
68     default      : {}
69 }
70 }
71 }

```

divunit モジュールは被除数 ( `dividend` ) と除数 ( `divisor` ) の商 ( `quotient` ) と剰余 ( `remainder` ) を計算するモジュールです。 `valid` が 1 になったら計算を開始し、計算が完了したら `rvalid` を 1 に設定します。

商と剰余は `WIDTH` 回の引き算を `WIDTH` クロックかけて行って求めています。計算を開始すると被除数を 0 で `WIDTH * 2` ビットに拡張し、除数を `WIDTH-1` ビット左シフトします。また、商を 0 でリセットします。

`State::SubLoop` では、次の操作を `WIDTH` 回行います。

1. 被除数が除数よりも大きいなら、被除数から除数を引き、商の LSB を 1 にする
2. 商を 1 ビット左シフトする
3. 除数を 1 ビット右シフトする
4. カウンタをインクリメントする

RISC-V では、除数が 0 だったり結果がオーバーフローするような L ビットの除算の結果は表 1.4 のようになると定められています。このうち divunit モジュールは符号無しの除算 (DIVU、REMU 命令) のゼロ除算だけを対処しています。

▼表 1.4: 除算の例外的な動作と結果

操作	ゼロ除算	オーバーフロー
符号付き除算	-1	$-2^{**L-1}$
符号付き剰余	被除数	0
符号無し除算	$2^{**L-1}$	発生しない
符号無し剰余	被除数	発生しない

## 1.7.2 divunitモジュールをインスタンス化する

divunitモジュールを muldivunitモジュールでインスタンス化します(リスト1.30)。まだ結果は利用しません。

### ▼リスト1.30: divunitモジュールをインスタンス化する(muldivunit.veryl)

```

1 // divider unit
2 const DIV_WIDTH: u32 = XLEN;
3
4 var du_rvalid    : logic          ;
5 var du_quotient : logic<DIV_WIDTH>;
6 var du_remainder: logic<DIV_WIDTH>;
7
8 inst du: divunit #(
9     WIDTH: DIV_WIDTH,
10 ) (
11     clk
12     ,
13     rst
14     ,
15     valid    : ready && valid && !is_mul,
16     dividend : op1
17     ,
18     divisor  : op2
19     ,
20     rvalid   : du_rvalid
21     ,
22     quotient : du_quotient
23     ,
24     remainder: du_remainder
25     ,
26 );

```

## 1.8 DIVU、REMU命令の実装

DIVU、REMU命令は、符号無しのXLENビットのrs1(被除数)と符号無しのXLENビットのrs2(除数)の商、剰余を計算し、デスティネーションレジスタにそれぞれ結果を書き込む命令です。

muldivunitモジュールで、divunitモジュールの処理が終わったら結果をresultレジスタに割り当てるようにします(リスト1.31)。

### ▼リスト1.31: divunitモジュールの結果をresultに割り当てる(muldivunit.veryl)

```

1 State::WaitValid: if is_mul && mu_rvalid {
2     ...
3 } else if !is_mul && du_rvalid {
4     result = case funct3_saved[1:0] {
5         2'b01  : du_quotient, // DIVU
6         2'b11  : du_remainder, // REMU
7         default: 0,
8     };
9     state = State::Finish;
10 }

```

riscv-testsのrv64um-p-divu、rv64um-p-remuを実行し、成功することを確認してください。

## 1.9 DIV、REM命令の実装

### 1.9.1 符号付き除算を符号無し除算器で実現する

DIV、REM命令は、それぞれ DIVU、REMU命令の動作を符号付きに変えた命令です。本章では、符号付き乗算と同じように値を絶対値に変換して計算することで符号付き除算を実現します。

RISC-Vの符号付き除算の結果は0の方向に丸められた整数になり、剩余演算の結果は被除数と同じ符号になります。符号付き剩余の絶対値は符号無し剩余の結果と一致するため、絶対値で計算してから符号を戻すことで、符号無し除算器だけで符号付きの剩余演算を実現できます。

### 1.9.2 符号付き除算を実装する

abs関数を利用して、DIV、REM命令のときにdivunitモジュールに渡す値を絶対値に設定します（リスト1.32 リスト1.33）。

#### ▼リスト1.32: 除数と被除数を生成する (muldivunit.veryl)

```

1  function generate_div_op (
2      funct3: input logic<3> ,
3      value : input logic<XLEN>,
4  ) -> logic<DIV_WIDTH> {
5      return case funct3[1:0] {
6          2'b00, 2'b10: abs::<DIV_WIDTH>(value), // DIV, REM
7          2'b01, 2'b11: value, // DIVU, REMU
8          default      : 0,
9      };
10 }
11
12 let du_dividend: logic<DIV_WIDTH> = generate_div_op(funct3, op1);
13 let du_divisor : logic<DIV_WIDTH> = generate_div_op(funct3, op2);

```

#### ▼リスト1.33: divunitに渡す値を変更する (muldivunit.veryl)

```

1  inst du: divunit #(
2      WIDTH: DIV_WIDTH,
3  ) (
4      clk
5      ,
6      rst
7      ,
8      valid   : ready && valid && !is_mul && !du_signed_error,
9      dividend : du_dividend
10     ,
11     divisor  : du_divisor
12     ,
13     rvalid   : du_rvalid
14     ,
15     quotient : du_quotient
16     ,
17     remainder: du_remainder
18 );

```

表1.4にあるように、符号付き演算は結果がオーバーフローする場合とゼロで割る場合の結果が定められています。その場合には、divunitモジュールで除算を実行せず、muldivunitで計算結果を直接生成するようにします（リスト1.34 リスト1.35）。符号付き演算かどうかを `funct3` の

LSBで確認し、例外的な処理ではない場合にのみ divunitモジュールで計算を開始するようにしています。

▼リスト1.34: 符号付き除算がオーバーフローするか、ゼロ除算かどうかを判定する (muldivunit.veryl)

```

1  var du_signed_overflow: logic;
2  var du_signed_divzero : logic;
3  var du_signed_error   : logic;
4
5  always_comb {
6      du_signed_overflow = !funct3[0] && op1[msb] == 1 && op1[msb - 1:0] == 0 && &op2;
7      du_signed_divzero = !funct3[0] && op2 == 0;
8      du_signed_error   = du_signed_overflow || du_signed_divzero;
9  }

```

▼リスト1.35: 符号付き除算の例外的な結果を処理する (muldivunit.veryl)

```

1  State::Idle: if ready && valid {
2      funct3_saved  = funct3;
3      is_op32_saved = is_op32;
4      op1sign_saved = op1[msb];
5      op2sign_saved = op2[msb];
6      if is_mul {
7          state = State::WaitValid;
8      } else {
9          if du_signed_overflow {
10              state = State::Finish;
11              result = if funct3[1] ? 0 : {1'b1, 1'b0 repeat XLEN - 1}; // REM : DIV
12          } else if du_signed_divzero {
13              state = State::Finish;
14              result = if funct3[1] ? op1 : '1; // REM : DIV
15          } else {
16              state = State::WaitValid;
17          }
18      }
19  }

```

計算が終了したら、商と剰余の符号を復元します。商の符号は除数と被除数の符号が異なる場合に負になります。剰余の符号は被除数の符号にします（リスト1.36）。

▼リスト1.36: 計算結果の符号を復元する (muldivunit.veryl)

```

1  } else if !is_mul && du_rvalid {
2      let quo_signed: logic<DIV_WIDTH> = if op1sign_saved != op2sign_saved ? ~du_quotient + 1
3      : du_quotient;
4      let rem_signed: logic<DIV_WIDTH> = if op1sign_saved == 1 ? ~du_remainder + 1 : du_remainder;
5      result      = case funct3_saved[1:0] {
6          2'b00 : quo_signed[XLEN - 1:0], // DIV
7          2'b01 : du_quotient[XLEN - 1:0], // DIVU
8          2'b10 : rem_signed[XLEN - 1:0], // REM
9          2'b11 : du_remainder[XLEN - 1:0], // REMU
10         default: 0,
11     };

```

```

11     state = State::Finish;
12 }
```

riscv-tests の `rv64um-p-div`、`rv64um-p-rem` を実行し、成功することを確認してください。

## 1.10 DIVW、DIVUW、REMW、REMUW 命令の実装

DIVW、DIVUW、REMW、REMUW 命令は、それぞれ DIV、DIVU、REM、REMU 命令の動作を 32 ビット同士の演算に変えた命令です。32 ビットの結果を XLEN ビットに符号拡張した値をデスティネーションレジスタに書き込みます。

`generate_div_op` 関数に `is_op32` フラグを追加して、`is_op32` が 1 なら値を `DIV_WIDTH` ビットに拡張したものに変更します（リスト 1.37）。

▼リスト 1.37: 除数、被除数を 32 ビットの値にする (muldivunit.veryl)

```

1  function generate_div_op (
2      is_op32: input logic      ,
3      funct3 : input logic<3>  ,
4      value   : input logic<XLEN>,
5  ) -> logic<DIV_WIDTH> {
6      return case funct3[1:0] {
7          2'b00, 2'b10: abs::<DIV_WIDTH>(if is_op32 ? sext::<32, DIV_WIDTH>(value[31:0]) : va>
>lue), // DIV, REM
8          2'b01, 2'b11: if is_op32 ? {1'b0 repeat DIV_WIDTH - 32, value[31:0]} : value, // DI>
>VU, REMU
9          default     : 0,
10     };
11 }
12
13 let du_dividend: logic<DIV_WIDTH> = generate_div_op(is_op32, funct3, op1);
14 let du_divisor : logic<DIV_WIDTH> = generate_div_op(is_op32, funct3, op2);
```

符号付き除算のオーバーフローとゼロ除算の判定を `is_op32` で変更します（リスト 1.38）。

▼リスト 1.38: 32 ビット演算のときの例外的な処理に対応する (muldivunit.veryl)

```

1  always_comb {
2      if is_op32 {
3          du_signed_overflow = !funct3[0] && op1[31] == 1 && op1[31:0] == 0 && &op2[31:0];
4          du_signed_divzero = !funct3[0] && op2[31:0] == 0;
5      } else {
6          du_signed_overflow = !funct3[0] && op1[msb] == 1 && op1[msb - 1:0] == 0 && &op2;
7          du_signed_divzero = !funct3[0] && op2 == 0;
8      }
9      du_signed_error = du_signed_overflow || du_signed_divzero;
10 }
```

最後に、32 ビットの結果を XLEN ビットに符号拡張します（リスト 1.39）。符号付き、符号無し

演算のどちらも32ビットの結果を符号拡張したものが結果になります。

▼リスト1.39: 32ビット演算のとき、結果を符号拡張する (muldivunit.veril)

```
1 } else if !is_mul && du_rvalid {
2     let quo_signed: logic<DIV_WIDTH> = if op1sign_saved != op2sign_saved ? ~du_quotient + 1
3     : du_quotient;
4     let rem_signed: logic<DIV_WIDTH> = if op1sign_saved == 1 ? ~du_remainder + 1 : du_rema
5     inder;
6     let resultX : UIntX = case funct3_saved[1:0] {
7         2'b00 : quo_signed[XLEN - 1:0], // DIV
8         2'b01 : du_quotient[XLEN - 1:0], // DIVU
9         2'b10 : rem_signed[XLEN - 1:0], // REM
10        2'b11 : du_remainder[XLEN - 1:0], // REMU
11        default: 0,
12    };
13    state = State::Finish;
14    result = if is_op32_saved ? sext::<32, 64>(resultX[31:0]) : resultX;
15 }
```

riscv-testsのrv64um-p-から始まるテストを実行し、成功することを確認してください。

これでM拡張を実装できました。

# 第 2 章

## 例外の実装

### 2.1 例外とは何か？

CPU がソフトウェアを実行するとき、処理を中断したり終了しなければならないような異常な状態<sup>\*1</sup>が発生することがあります。例えば、実行環境 (EEI) がサポートしていない、または実行を禁止しているような違法 (illegal)<sup>\*2</sup>な命令を実行しようとする場合です。このとき、CPU はどのような動作をすればいいのでしょうか？

RISC-V では、命令によって引き起こされる異常な状態のことを**例外 (Exception)** と呼び、例外が発生した場合には**トラップ (Trap)** を引き起こします。トラップとは例外、または割り込み (Interrupt)<sup>\*3</sup>によって CPU の状態、制御を変更することです。具体的には PC をトラップベクタ (trap vector) に移動したり、CSR を変更します。

本書では既に ECALL 命令の実行によって発生する Environment call from M-mode 例外を実装しており、例外が発生したら次のように動作します。

1. mcause レジスタにトラップの発生原因を示す値 ( 11 ) を書き込む
2. mepc レジスタに PC の値を書き込む
3. PC を mtvec レジスタの値に設定する

本章では、例外発生時に例外に固有の情報を書き込む mtval レジスタと、現在の実装で発生する可能性がある例外を実装します。本書ではこれ以降、トラップの発生原因を示す値のことを cause と呼びます。

<sup>\*1</sup> 異常な状態 (unusual condition)。予期しない (unexpected) 事象と呼ぶ場合もあります。

<sup>\*2</sup> 不正と呼ぶこともあります。逆に実行できる命令のことを合法 (legal) な命令と呼びます

<sup>\*3</sup> 割り込みは第 7 章「M-mode の実装 (2. 割り込みの実装)」で実装します。

## 2.2 例外情報の伝達

### 2.2.1 Environment call from M-mode 例外を IF ステージで処理する

今のところ、ECALL 命令による例外は MEM(CSR) ステージの csrunit モジュールで例外判定、処理されています。ECALL 命令によって例外が発生するかは命令が ECALL であるかどうかだけを判定すれば分かるため、命令をデコードする時点、つまり ID ステージで判定できます。

本章で実装する例外には MEM ステージよりも前で発生する例外があるため、ID ステージから順に次のステージに例外の有無、cause を受け渡していく仕組みを実装します。

まず、例外が発生するかどうか ( `valid` )、例外の cause( `cause` ) をまとめた `ExceptionInfo` 構造体を定義します ( リスト 2.1 )。

#### ▼ リスト 2.1: `ExceptionInfo` 構造体を定義する (corectrl.veryl)

```

1 // 例外の情報を保存するための型
2 struct ExceptionInfo {
3     valid: logic ,
4     cause: CsrCause,
5 }
```

EX ステージ、MEM ステージの FIFO のデータ型に構造体を追加します ( リスト 2.2、リスト 2.3 )。

#### ▼ リスト 2.2: EX ステージの FIFO に `ExceptionInfo` を追加する (core.veryl)

```

1 struct exq_type {
2     addr: Addr ,
3     bits: Inst ,
4     ctrl: InstCtrl ,
5     imm : UIntX ,
6     expt: ExceptionInfo,
7 }
```

#### ▼ リスト 2.3: MEM ステージの FIFO に `ExceptionInfo` を追加する (core.veryl)

```

1 struct memq_type {
2     addr      : Addr ,
3     bits      : Inst ,
4     ctrl      : InstCtrl ,
5     imm       : UIntX ,
6     expt      : ExceptionInfo ,
7     alu_result: UIntX ,
8     rs1_addr  : logic <5>,
```

ID ステージから EX ステージに命令を渡すとき、命令が ECALL 命令なら例外が発生することを伝えます ( リスト 2.4 )。

## ▼リスト 2.4: ID ステージで ECALL 命令を判定する (core.veryl)

```

1  always_comb {
2      // ID -> EX
3      if_fifo_rready = exq_wready;
4      exq_wvalid     = if_fifo_rvalid;
5      exq_wdata.addr = if_fifo_rdata.addr;
6      exq_wdata.bits = if_fifo_rdata.bits;
7      exq_wdata.ctrl = ids_ctrl;
8      exq_wdata.imm  = ids_imm;
9      // exception
10     exq_wdata.expt.valid = ids_inst_bits == 32'h00000073; // ECALL
11     exq_wdata.expt.cause = CsrCause::ENVIRONMENT_CALL_FROM_M_MODE;
12 }

```

EX ステージで例外は発生しないので、例外情報をそのまま MEM ステージに渡します（リスト 2.5）。

## ▼リスト 2.5: EX ステージから MEM ステージに例外情報を渡す (core.veryl)

```

1  always_comb {
2      // EX -> MEM
3      exq_rready          = memq_wready && !exs_stall;
4      ...
5      memq_wdata.jump_addr = if inst_is_br(exs_ctrl) ? exs_pc + exs_imm : exs_alu_result & ~
>1;
6      memq_wdata.expt      = exq_rdata.expt;
7 }

```

csrunit モジュールを変更します。 `expt_info` ポートを追加して、MEM ステージ以前の例外情報を受け取ります（リスト 2.6、リスト 2.7、リスト 2.8）。

## ▼リスト 2.6: csrunit モジュールに例外情報を受け取るためのポートを追加する (csrunit.veryl)

```

1 module csrunit (
2     clk      : input  clock      ,
3     rst      : input  reset      ,
4     valid    : input  logic      ,
5     pc       : input  Addr       ,
6     ctrl     : input  InstCtrl  ,
7     expt_info : input  ExceptionInfo  ,
8     rd_addr  : input  logic <5> ,

```

## ▼リスト 2.7: MEM ステージの例外情報の変数を作成する (core.veryl)

```

1 ////////////////////////////////////////////////////////////////// MEM Stage //////////////////////////////////////////////////////////////////
2 var mems_is_new    : logic      ;
3 let mems_valid     : logic      = memq_rvalid;
4 let mems_pc        : Addr       = memq_rdata.addr;
5 let mems_inst_bits: Inst       = memq_rdata.bits;
6 let mems_ctrl      : InstCtrl  = memq_rdata.ctrl;
7 let mems_expt     : ExceptionInfo = memq_rdata.expt;
8 let mems_rd_addr  : logic <5> = mems_inst_bits[11:7];

```

## ▼リスト 2.8: csrunit モジュールに例外情報を供給する (core.veryl)

```

1  inst csrunit: csrunit (
2    clk
3    ,
4    rst
5    ,
6    valid : mems_valid
7    ,
8    pc : mems_pc
9    ,
10   ctrl : mems_ctrl
11   ,
12   expt_info: mems_expt
13   ,
14   rd_addr : mems_rd_addr
15   ,

```

ECALL 命令かどうかを判定する `is_ecall` 変数を削除して、例外の発生条件、例外の種類を示す値を変更します（リスト 2.9、リスト 2.10）。

## ▼リスト 2.9: csrunit モジュールでの ECALL 命令の判定を削除する (csrunit.veryl)

```

1  // CSRR(W|S|C)[I]命令かどうか
2  let is_wsc: logic = ctrl.is_csr && ctrl.funct3[1:0] != 0;
3  // ECALL命令かどうか
4  let is_ecall: logic = ctrl.is_csr && csr_addr == 0 && rs1[4:0] == 0 && ctrl.funct3 == 0 &&
5  rd_addr == 0;

```

## ▼リスト 2.10: ExceptionInfo を使って例外を起こす (csrunit.veryl)

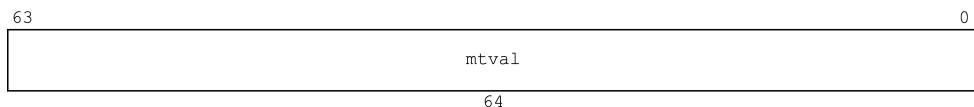
```

1  // Exception
2  let raise_expt: logic = valid && expt_info.valid;
3  let expt_cause: UIntX = expt_info.cause;

```

## 2.2.2 mtval レジスタを実装する

例外が発生すると、CPU はトラップベクタにジャンプして例外を処理します。mcause レジスタを読むことでどの例外が発生したかを判別できますが、その例外の詳しい情報を知りたいことがあります。



▲図 2.1: mtval レジスタ

RISC-V には、例外が発生したときのソフトウェアによるハンドリングを補助するために、MXLEN ビットの mtval レジスタが定義されています（図 2.1）。例外が発生したとき、CPU は mtval レジスタに例外に固有の情報を書き込みます。これ以降、例外に固有の情報のことを tval と呼びます。

ExceptionInfo 構造体に例外に固有の情報を示す `value` を追加します（リスト 2.11）。

## ▼リスト 2.11: tval を ExceptionInfo に追加する (corectrl.veryl)

```

1  struct ExceptionInfo {
2      valid: logic ,
3      cause: CsrCause,
4      value: UIntX ,
5  }
```

ECALL 命令は mtval に書き込むような情報がないので 0 に設定します (リスト 2.12)。

## ▼リスト 2.12: ECALL 命令の tval を設定する (corectrl.veryl)

```

1  // exception
2  exq_wdata.expt.valid = ids_inst_bits == 32'h00000073; // ECALL
3  exq_wdata.expt.cause = CsrCause::ENVIRONMENT_CALL_FROM_M_MODE;
4  exq_wdata.expt.value = 0;
```

CsrAddr 型に mtval レジスタのアドレスを追加します (リスト 2.13)。

## ▼リスト 2.13: mtval のアドレスを定義する (eei.veryl)

```

1  enum CsrAddr: logic<12> {
2      MTVEC = 12'h305,
3      MEPC = 12'h341,
4      MCAUSE = 12'h342,
5      MTVAL = 12'h343,
6      LED = 12'h800,
7  }
```

mtval レジスタを実装して、書き込み、読み込みできるようにします (リスト 2.14、リスト 2.15、リスト 2.16、リスト 2.17、リスト 2.18)。

## ▼リスト 2.14: mtval の書き込みマスクを定義する (csrunit.veryl)

```
1  const MTVAL_WMASK : UIntX = 'hffff_ffff_ffff_ffff;
```

## ▼リスト 2.15: mtval 変数を作成する (csrunit.veryl)

```

1  var mtvec : UIntX;
2  var mepc : UIntX;
3  var mcause: UIntX;
4  var mtval : UIntX;
```

## ▼リスト 2.16: mtval の読み込みデータ、書き込みマスクを設定する (csrunit.veryl)

```

1  always_comb {
2      // read
3      rdata = case csr_addr {
4          ...
5          CsrAddr::MTVAL : mtval,
6          ...
7      };
8      // write
9      wmask = case csr_addr {
```

```

10 ...
11     CsrAddr::MTVAL : MTVAL_WMASK,
12 ...
13 };

```

## ▼リスト 2.17: mtval 変数をリセットする (csrunit.veryl)

```

1 always_ff {
2     if_reset {
3         mtvec  = 0;
4         mepc   = 0;
5         mcause = 0;
6         mtval = 0;
7         led    = 0;

```

## ▼リスト 2.18: mtval に書き込めるようにする (csrunit.veryl)

```

1 } else {
2     if is_wsc {
3         case csr_addr {
4             ...
5                 CsrAddr::MTVAL : mtval = wdata;
6             ...
7         }
8     }
9 }

```

例外が発生するとき、mtval レジスタに `expt_info.value` を書き込むようにします（リスト 2.19、リスト 2.20）。

## ▼リスト 2.19: tval を変数に割り当てる (csrunit.veryl)

```

1 let raise_expt : logic = valid && expt_info.valid;
2 let expt_cause : UIntX = expt_info.cause;
3 let expt_value : UIntX = expt_info.value;

```

## ▼リスト 2.20: 例外が発生するとき、mtval に tval を書き込む (csrunit.veryl)

```

1 if valid {
2     if raise_trap {
3         if raise_expt {
4             mepc  = pc;
5             mcause = trap_cause;
6             mtval = expt_value;
7         }
}

```

## 2.3 Breakpoint 例外の実装

Breakpoint 例外は、EBREAK 命令によって引き起こされる例外です。EBREAK 命令はデバッガがプログラムを中断させる場合などに利用されます。EBREAK 命令は ECALL 命令と同様に

例外を発生させるだけで、ほかに操作を行いません。cause は 3 で、tval は例外が発生した命令のアドレスになります。

CsrCause 型に Breakpoint 例外の cause を追加します (リスト 2.21)。

▼ リスト 2.21: Breakpoint 例外の cause を定義する (eei.veryl)

```
1 enum CsrCause: UIntX {
2     BREAKPOINT = 3,
3     ENVIRONMENT_CALL_FROM_M_MODE = 11,
4 }
```

ID ステージで EBREAK 命令を判定して、tval に PC を設定します (リスト 2.22)。

▼ リスト 2.22: ID ステージで EBREAK 命令を判定する (core.veryl)

```
1 exq_wdata.expt = 0;
2 if ids_inst_bits == 32'h00000073 {
3     // ECALL
4     exq_wdata.expt.valid = 1;
5     exq_wdata.expt.cause = CsrCause::ENVIRONMENT_CALL_FROM_M_MODE;
6     exq_wdata.expt.value = 0;
7 } else if ids_inst_bits == 32'h00100073 {
8     // EBREAK
9     exq_wdata.expt.valid = 1;
10    exq_wdata.expt.cause = CsrCause::BREAKPOINT;
11    exq_wdata.expt.value = ids_pc;
12 }
```

## 2.4 Illegal instruction 例外の実装

Illegal instruction 例外は、現在の環境で実行できない命令を実行しようとしたときに発生する例外です。cause は 2 で、tval は例外が発生した命令のビット列になります。

本章では、EEI が認識できない不正な命令ビット列を実行しようとした場合と、読み込み専用の CSR に書き込もうとした場合の 2 つの状況で例外を発生させます。

### 2.4.1 不正な命令ビット列で例外を起こす

CPU に実装していない命令、つまりデコードできない命令を実行しようとするとき、Illegal instruction 例外が発生します。

今のところ opcode が未知の命令は何もしない命令として実行し、それ以外の命令については何も対処していません。ここで、inst\_decoder モジュールを、未知の命令であることを報告するように変更します。

inst\_decoder モジュールに、命令が有効かどうかを示す valid ポートを追加します (リスト 2.23、リスト 2.24)。

## ▼リスト 2.23: valid ポートを追加する (inst\_decoder.veryl)

```

1 module inst_decoder (
2     bits : input Inst      ,
3     valid: output logic   ,
4     ctrl : output InstCtrl,
5     imm  : output UIntX   ,
6 ) {

```

## ▼リスト 2.24: inst\_decoder モジュールの valid ポートと変数を接続する (core.veryl)

```

1 let ids_valid      : logic    = if_fifo_rvalid;
2 let ids_pc        : Addr     = if_fifo_rdata.addr;
3 let ids_inst_bits : Inst     = if_fifo_rdata.bits;
4 var ids_inst_valid: logic   ;
5 var ids_ctrl      : InstCtrl;
6 var ids_imm       : UIntX   ;
7
8 inst decoder: inst_decoder (
9     bits : ids_inst_bits ,
10    valid: ids_inst_valid,
11    ctrl : ids_ctrl      ,
12    imm  : ids_imm       ,
13 );

```

今のところ実装してある命令を有効な命令として判定する処理を always\_comb ブロックに記述します (リスト 2.25)。

## ▼リスト 2.25: 命令の有効判定を行う (inst\_decoder.veryl)

```

1 valid = case op {
2     OP_LUI, OP_AUIPC, OP_JAL, OP_JALR: T,
3     OP_BRANCH                  : f3 != 3'b010 && f3 != 3'b011,
4     OP_LOAD                    : f3 != 3'b111,
5     OP_STORE                   : f3[2] == 1'b0,
6     OP_OP                      : case f7 {
7         7'b0000000              : T, // RV32I
8         7'b0100000              : f3 == 3'b000 || f3 == 3'b101, // SUB, SRA
9         7'b0000001              : T, // RV32M
10        default                : F,
11    },
12    OP_OP_IMM: case f3 {
13        3'b001    : f7[6:1] == 6'b000000, // SLLI (RV64I)
14        3'b101    : f7[6:1] == 6'b000000 || f7[6:1] == 6'b010000, // SRLI, SRAI (RV64I)
15        default   : T,
16    },
17    OP_OP_32 : case f7 {
18        7'b0000001: f3 == 3'b000 || f3[2] == 1'b1, // RV64M
19        7'b0000000: f3 == 3'b000 || f3 == 3'b001 || f3 == 3'b101, // ADDW, SLLW, SRLW
20        7'b0100000: f3 == 3'b000 || f3 == 3'b101, // SUBW, SRAW
21        default   : F,
22    },
23    OP_OP_IMM_32: case f3 {
24        3'b000    : T, // ADDIW

```

```

25      3'b001      : f7 == 7'b0000000, // SLLIW
26      3'b101      : f7 == 7'b0000000 || f7 == 7'b0100000, // SRLIW, SRAIW
27      default     : F,
28  },
29  OP_SYSTEM: f3 != 3'b000 && f3 != 3'b100 || // CSRR(W|S|C)[I]
30      bits == 32'h00000073 || // ECALL
31      bits == 32'h00100073 || // EBREAK
32      bits == 32'h30200073, // MRET
33  OP_MISC_MEM: T, // FENCE
34  default     : F,
35 };

```

rv32i-tests でメモリ読み書きの順序を保証する FENCE 命令<sup>\*4</sup>を使用しているため、opcode が OP-MISC である命令を合法な命令として取り扱っています。OP-MISC の opcode( 7'b0001111 ) を eei パッケージに定義してください (リスト 2.26)。

▼ リスト 2.26: OP-MISC のビット列を定義する (eei.veryl)

```
1  const OP_MISC_MEM : logic<7> = 7'b0001111;
```

CsrCause 型に Illegal instruction 例外の cause を追加します (リスト 2.27)。

▼ リスト 2.27: Illegal instruction 例外の cause を定義する (eei.veryl)

```

1  enum CsrCause: UIntX {
2      ILLEGAL_INSTRUCTION = 2,
3      BREAKPOINT = 3,
4      ENVIRONMENT_CALL_FROM_M_MODE = 11,
5  }

```

valid フラグを利用して、ID ステージで Illegal instruction 例外を発生させます (リスト 2.28)。tval には、命令を右に詰めてゼロで拡張した値を設定します。

▼ リスト 2.28: 不正な命令のとき、例外を発生させる (core.veryl)

```

1  exq_wdata.expt = 0;
2  if !ids_inst_valid {
3      // illegal instruction
4      exq_wdata.expt.valid = 1;
5      exq_wdata.expt.cause = CsrCause::ILLEGAL_INSTRUCTION;
6      exq_wdata.expt.value = {1'b0 repeat XLEN - ILEN, ids_inst_bits};
7  } else if ids_inst_bits == 32'h00000073 {

```

## 2.4.2 読み込み専用の CSR への書き込みで例外を起こす

RISC-V の CSR には読み込み専用のレジスタが存在しており、アドレスの上位 2 ビットが 2'b11 の CSR が読み込み専用として定義されています。読み込み専用の CSR に書き込みを行おうとすると Illegal instruction 例外が発生します。

<sup>\*4</sup> 基本編で実装する CPU はロードストア命令を直列に実行するため順序を保証する必要がありません。そのため FENCE 命令は何もしない命令として扱います。

CSR に値が書き込まれるのは次のいずれかの場合です。読み書き可能なレジスタ内の読み込み専用のフィールドへの書き込みは例外を引き起しません。

1. CSRRW、CSRRWI 命令である
2. CSRRS 命令で rs1 が 0 番目のレジスタ以外である
3. CSRRSI 命令で即値が **0** 以外である
4. CSRRC 命令で rs1 が 0 番目のレジスタ以外である
5. CSRRCI 命令で即値が **0** 以外である

ソースレジスタの値が **0** だとしても、0 番目のレジスタではない場合には CSR に書き込むと判断します。CSR に書き込むかどうかを正しく判定するために、csrunit モジュールの **rs1** ポートを **rs1\_addr** と **rs1\_data** に分解します（リスト 2.30、リスト 2.29、リスト 2.31）。また、cause を設定するために csrunit モジュールに命令のビット列を供給します。

#### ▼リスト 2.29: csrunit モジュールのポート定義を変更する (csrunit.veryl)

```

1 module csrunit (
2     clk      : input  clock      ,
3     rst      : input  reset      ,
4     valid    : input  logic      ,
5     pc       : input  Addr       ,
6     inst_bits : input  Inst      ,
7     ctrl     : input  InstCtrl  ,
8     expt_info : input  ExceptionInfo ,
9     rd_addr  : input  logic      <5> ,
10    csr_addr : input  logic      <12>,
11    rs1_addr : input  logic      <5> ,
12    rs1_data : input  UIntX     ,
13    rdata    : output UIntX     ,
14    raise_trap : output logic   ,
15    trap_vector: output Addr   ,
16    led      : output UIntX     ,
17 ) {
```

#### ▼リスト 2.30: csrunit モジュールのポート定義を変更する (core.veryl)

```

1 inst csru: csrunit (
2     clk      ,
3     rst      ,
4     valid   : mems_valid ,
5     pc       : mems_pc   ,
6     inst_bits : mems_inst_bits ,
7     ctrl     : mems_ctrl  ,
8     expt_info : mems_expt ,
9     rd_addr  : mems_rd_addr ,
10    csr_addr : mems_inst_bits[31:20],
11    rs1_addr : memq_rdata.rs1_addr ,
12    rs1_data : memq_rdata.rs1_data ,
13    rdata    : csru_rdata   ,
14    raise_trap : csru_raise_trap ,
15    trap_vector: csru_trap_vector ,
```

```

16     led      ,
17 );

```

▼リスト 2.31: rs1 の変更に対応する<sup>5</sup> (csrunit.veryl)

```

1 let wsource: UIntX = if ctrl.funct3[2] ? {1'b0 repeat XLEN - 5, rs1_addr} : rs1_data;
2 wdata   = case ctrl.funct3[1:0] {
3     2'b01  : wsource,
4     2'b10  : rdata | wsource,
5     2'b11  : rdata & ~wsource,
6     default: 'x,
7 } & wmask | (rdata & ~wmask);

```

命令の funct3 と rs1 のアドレスを利用して、書き込み先が読み込み専用レジスタかどうかを判定します<sup>6</sup>(リスト 2.32)。また、命令のビット列を利用できるようになったので、MRET 命令の判定を命令のビット列の比較に書き換えています。

▼リスト 2.32: 読み込み専用 CSR への書き込みが発生するか判定する (csrunit.veryl)

```

1 // CSRR(W|S|C)[I]命令かどうか
2 let is_wsc: logic = ctrl.is_csr && ctrl.funct3[1:0] != 0;
3 // MRET命令かどうか
4 let is_mret: logic = inst_bits == 32'h30200073;
5
6 // Check CSR access
7 let will_not_write_csr : logic = (ctrl.funct3[1:0] == 2 || ctrl.funct3[1:0] == 3) && rs>
8 >1_addr == 0; // set/clear with source = 0
9     let expt_write_READONLY_csr: logic = is_wsc && !will_not_write_csr && csr_addr[11:10] == 2'b>
>11; // attempt to write read-only CSR

```

例外が発生するとき、cause と tval を設定します(リスト 2.33)。

▼リスト 2.33: 読み込み専用 CSR の書き込みで例外を発生させる (csrunit.veryl)

```

1 let raise_expt: logic = valid && (expt_info.valid || expt_write_READONLY_csr);
2 let expt_cause: UIntX = switch {
3     expt_info.valid      : expt_info.cause,
4     expt_WRITE_READONLY_csr: CsrCause::ILLEGAL_INSTRUCTION,
5     default              : 0,
6 };
7 let expt_value: UIntX = switch {
8     expt_info.valid      : expt_info.value,
9     expt_cause == CsrCause::ILLEGAL_INSTRUCTION: {1'b0 repeat XLEN - $bits(Inst), inst_bits}>
>,
10    default              : 0
11 };

```

この変更により、レジスタにライトバックするようにデコードされた命令が csrunit モジュールでトラップを起こすようになりました。トラップが発生するときに WB ステージでライトバック

<sup>5</sup> 基本編 第1部の初版の wdata の生成ロジックに間違いがあったので訂正しております。

<sup>6</sup> ID ステージで判定することもできます。

しないように変更します（リスト 2.34、リスト 2.35、リスト 2.36）。

▼リスト 2.34: トランプが発生したかを示す logic を wbq\_type に追加する (core.veryl)

```
1 struct wbq_type {
2     ...
3     csr_rdata : UIntX    ,
4     raise_trap: logic    ,
5 }
```

▼リスト 2.35: トランプが発生したかを WB ステージに伝える (core.veryl)

```
1 wbq_wdata.raise_trap = csru_raise_trap;
```

▼リスト 2.36: トランプが発生しているとき、レジスタにデータを書き込まないようにする (core.veryl)

```
1 always_ff {
2     if wbs_valid && wbs_ctrl.rwb_en && !wbq_rdata.raise_trap {
3         regfile[wbs_rd_addr] = wbs_wb_data;
4     }
5 }
```

## 2.5 命令アドレスのミスマッチ例外

RISC-V では、命令アドレスが IALIGN ビット境界に整列されていない場合に Instruction address misaligned 例外が発生します。cause は `0` で、tval は命令のアドレスになります。

第5章「C拡張の実装」で実装する C拡張が実装されていない場合、IALIGN は `32` と定義されています。C拡張が定義されている場合は `16` になります。

IALIGN ビット境界に整列されていない命令アドレスになるのはジャンプ命令、分岐命令を実行する場合です<sup>7</sup>。PC の遷移先が整列されていない場合に例外が発生します。分岐命令の場合、分岐が成立する場合にしか例外は発生しません。

`CsrCause` 型に Instruction address misaligned 例外の cause を追加します（リスト 2.37）。

▼リスト 2.37: Instruction address misaligned 例外の cause を定義する (eei.veryl)

```
1 enum CsrCause: UIntX {
2     INSTRUCTION_ADDRESS_MISALIGNED = 0,
3     ILLEGAL_INSTRUCTION = 2,
4     BREAKPOINT = 3,
5     ENVIRONMENT_CALL_FROM_M_MODE = 11,
6 }
```

EX ステージでアドレスを確認して例外を判定します（リスト 2.38）。tval は遷移先のアドレスになることに注意してください。

<sup>7</sup> `mepr`、`mtvec` は IALIGN ビットに整列されたアドレスしか書き込めないため、遷移先のアドレスは常に整列されています。

## ▼リスト 2.38: EX ステージで Instruction address misaligned 例外の判定を行う (core.veryl)

```

1      memq_wdata.jump_addr = if inst_is_br(exs_ctrl) ? exs_pc + exs_imm : exs_alu_result & ~
2      >1;
3      // exception
4      let instruction_address_misaligned: logic = memq_wdata.br_taken && memq_wdata.jump_addr[>
5      >1:0] != 2'b00;
6      memq_wdata.expt              = exq_rdata.expt;
7      if !memq_rdata.expt.valid {
8          if instruction_address_misaligned {
9              memq_wdata.expt.valid = 1;
10             memq_wdata.expt.cause = CsrCause::INSTRUCTION_ADDRESS_MISALIGNED;
11             memq_wdata.expt.value = memq_wdata.jump_addr;
12         }
13     }

```

## 2.6 ロードストア命令のミスアライン例外

RISC-V では、ロード、ストア命令でアクセスするメモリのアドレスが、ロード、ストアするビット幅に整列されていない場合に、それぞれ Load address misaligned 例外、Store/AMO address misaligned 例外が発生します<sup>\*8</sup>。例えば LW 命令は 4 バイトに整列されたアドレス、LD 命令は 8 バイトに整列されたアドレスにしかアクセスできません。cause はそれぞれ 4、6 で、tval はアクセスするメモリのアドレスになります。

CsrCause 型に例外の cause を追加します (リスト 2.39)。

## ▼リスト 2.39: 例外の cause を定義する (eei.veryl)

```

1 enum CsrCause: UIntX {
2     INSTRUCTION_ADDRESS_MISALIGNED = 0,
3     ILLEGAL_INSTRUCTION = 2,
4     BREAKPOINT = 3,
5     LOAD_ADDRESS_MISALIGNED = 4,
6     STORE_AMO_ADDRESS_MISALIGNED = 6,
7     ENVIRONMENT_CALL_FROM_M_MODE = 11,
8 }

```

EX ステージでアドレスを確認して例外を判定します (リスト 2.40)。

## ▼リスト 2.40: EX ステージで例外の判定を行う (core.veryl)

```

1      let instruction_address_misaligned: logic = memq_wdata.br_taken && memq_wdata.jump_addr[>
2      >1:0] != 2'b00;
3      let loadstore_address_misaligned : logic = inst_is_memop(exs_ctrl) && case exs_ctrl.fun
4      >ct3[1:0] {
5          2'b00 : 0, // B

```

\*8 例外を発生させず、そのようなメモリアクセスをサポートすることもできます。本書では CPU を単純に実装するため例外とします。

```

4      2'b01  : exs_alu_result[0] != 1'b0, // H
5      2'b10  : exs_alu_result[1:0] != 2'b0, // W
6      2'b11  : exs_alu_result[2:0] != 3'b0, // D
7      default: 0,
8  };
9  memq_wdata.expt = exq_rdata.expt;
10 if !memq_rdata.expt.valid {
11     if instruction_address_misaligned {
12         memq_wdata.expt.valid = 1;
13         memq_wdata.expt.cause = CsrCause::INSTRUCTION_ADDRESS_MISALIGNED;
14         memq_wdata.expt.value = memq_wdata.jump_addr;
15     } else if loadstore_address_misaligned {
16         memq_wdata.expt.valid = 1;
17         memq_wdata.expt.cause = if exs_ctrl.is_load ? CsrCause::LOAD_ADDRESS_MISALIGNED :
18 : CsrCause::STORE_AMO_ADDRESS_MISALIGNED;
19         memq_wdata.expt.value = exs_alu_result;
20     }
21 }

```

例外が発生するときに memunit モジュールが動作しないようにします (リスト 2.41)。

▼リスト 2.41: 例外が発生するとき、memunit の valid を 0 にする (core.veryl)

```

1  inst memu: memunit (
2      clk
3      ,
4      rst
5      ,
6      valid : mems_valid && !mems_expt.valid,
7      is_new: mems_is_new
8      ,
9      ctrl : mems_ctrl
10     ,
11     addr : memq_rdata.alu_result
12     ,
13     rs2 : memq_rdata.rs2_data
14     ,
15     rdata : memu_rdata
16     ,
17     stall : memu_stall
18     ,
19     membus: d_membus
20 );

```

## 第3章

# Memory-mapped I/O の実装

### 3.1

### Memory-mapped I/O とは何か？

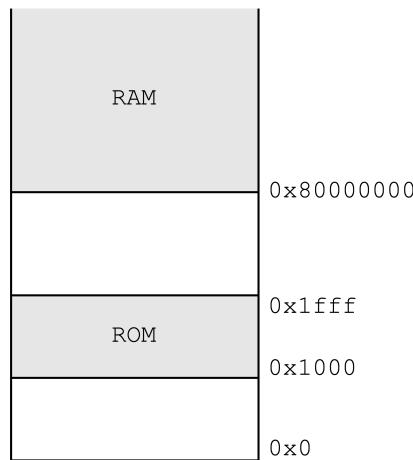
これまでの実装では、CPU に内蔵された 1 つの大きなメモリ空間、1 つのメモリデバイス (memory モジュール) に命令データを格納、実行し、データのロードストア命令も同じメモリに対して実行してきました。

一般に流通するコンピュータは複数のデバイスに接続されています。CPU が起動すると、読み込み専用の小さなメモリ (ROM) に格納されたプログラムから命令の実行を開始します。プログラムは周辺デバイスの初期化などを行ったあと、動かしたいアプリケーションの命令やデータを RAM に展開して、制御をアプリケーションに移します。

CPU がデバイスにアクセスする方法には CSR やメモリ空間を経由する方法があります。一般的な方法はメモリ空間を通じてデバイスにアクセスする方法であり、この方式のことをメモリマップド IO (Memory-mapped I/O, MMIO) と呼びます。メモリ空間の一部を、デバイスにアクセスするための空間として扱うことを、メモリ (またはアドレス) にマップすると呼びます。RAM と ROM もメモリデバイスであり、異なるアドレスにマップされています。

本章では CPU のメモリ部分を RAM (Random Access Memory)<sup>\*1</sup> と ROM (Read Only Memory) に分割し、アクセスするアドレスに応じてアクセスするデバイスを切り替える機能を実装します。また、デバッグ用の入出力デバイス (64 ビットのレジスタ) も追加します。デバイスとメモリ空間の対応は図図 3.1 のように設定します。図図 3.1 のようにメモリがどのように配置されているかを示す図のことをメモリマップ (Memory map) と呼びます。あるメモリ空間の先頭アドレスのことをベースアドレス (base address) と呼ぶことがあります。

<sup>\*1</sup> 本章では実際の RAM デバイスへのアクセスを実装せず memory モジュールで代用します。FPGA に合成するときに実際のデバイスへのアクセスに置き換えます。



▲図 3.1: メモリマップ

## 3.2 定数の定義

eei パッケージに定義しているメモリの定数を RAM 用の定数に変更します。また、新しく RAM のベースアドレス、メモリバスのデータ幅、ROM のメモリマップを示す定数を定義してください (リスト 3.1)。デバッグ入出力デバイス (レジスタ) の位置は、top モジュールのポートで定義します (リスト 3.9)。

### ▼リスト 3.1: メモリマップの定義 (eei.veryl)

```

1 // メモリバスのデータ幅
2 const MEMBUS_DATA_WIDTH: u32 = 64;
3 // メモリのアドレス幅
4 const MEM_ADDR_WIDTH: u32 = 16;
5
6 // RAM
7 const RAM_ADDR_WIDTH: u32 = 16;
8 const RAM_DATA_WIDTH: u32 = 64;
9 const MMAP_RAM_BEGIN: Addr = 'h8000_0000 as Addr;
10
11 // ROM
12 const ROM_ADDR_WIDTH: u32 = 9;
13 const ROM_DATA_WIDTH: u32 = 64;
14 const MMAP_ROM_BEGIN: Addr = 'h1000 as Addr;
15 const MMAP_ROM_END : Addr = MMAP_ROM_BEGIN + 'h3ff as Addr;

```

`MEM_DATA_WIDTH`、`MEM_ADDR_WIDTH` を使っている部分を `MEMBUS_DATA_WIDTH`、`XLEN` に置き換えます。 `MEMBUS_DATA_WIDTH` と `XLEN` を使う membus\_if インターフェースに別名 `Membus` をつけ

て利用します（リスト 3.2 リスト 3.3）。

▼リスト 3.2: 定数名を変更する (membus\_if.veryl)

```
1 alias interface Membus = membus_if::<eei::MEMBUS_DATA_WIDTH, eei::XLEN>;
```

▼リスト 3.3: Membus に置き換える (core.veryl)

```
1 module core (
2     clk      : input  clock                      ,
3     rst      : input  reset                      ,
4     i_membus: modport membus_if::<ILEN, XLEN>::master,
5     d_membus: modport Membus::master           ,
6     led      : output  UIntX                   ,
7 ) {
```

▼リスト 3.4: Membus に置き換える (memunit.veryl)

```
1 membus: modport Membus::master, // メモリとのinterface
```

▼リスト 3.5: 定数名を変更する (memunit.veryl)

```
1 var req_wen  : logic          ;
2 var req_addr : Addr          ;
3 var req_wdata: logic<MEMBUS_DATA_WIDTH>    ;
4 var req_wmask: logic<MEMBUS_DATA_WIDTH / 8>;
5
6 const W    : u32           = XLEN;
7 let D    : logic<MEMBUS_DATA_WIDTH> = membus.rdata;
8 let sext: logic           = ctrl.funct3[2] == 1'b0;
```

top モジュールでインスタンス化している membus\_if インターフェースのジェネリックパラメータを変更します（リスト 3.6）。

▼リスト 3.6: ジェネリックパラメータを変更する / Membus に置き換える (top.veryl)

```
1 inst membus  : membus_if::<RAM_DATA_WIDTH, RAM_ADDR_WIDTH>;
2 inst i_membus: membus_if::<ILEN, XLEN>; // 命令フェッチ用
3 inst d_membus: Membus; // ロードストア命令用
```

addr\_to\_memaddr 関数をジェネリック関数にして、呼び出すときに RAM のパラメータを使用するように変更します（リスト 3.7、リスト 3.8、）。

▼リスト 3.7: addr\_to\_memaddr 関数をジェネリック関数に変更する (top.veryl)

```
1 // アドレスをデータ単位でのアドレスに変換する
2 function addr_to_memaddr::<DATA_WIDTH: u32, ADDR_WIDTH: u32> (
3     addr: input logic<XLEN>,
4 ) -> logic<ADDR_WIDTH> {
5     return addr[$clog2(DATA_WIDTH / 8)+:ADDR_WIDTH];
6 }
```

## ▼リスト 3.8: ジェネリックパラメータを指定する (top.veryl)

```

1  membus.valid = i_membus.valid | d_membus.valid;
2  if d_membus.valid {
3      membus.addr  = addr_to_memaddr::<RAM_DATA_WIDTH, RAM_ADDR_WIDTH>(d_membus.addr);
4      membus.wen   = d_membus.wen;
5      membus.wdata = d_membus.wdata;
6      membus.wmask = d_membus.wmask;
7  } else {
8      membus.addr  = addr_to_memaddr::<RAM_DATA_WIDTH, RAM_ADDR_WIDTH>(i_membus.addr);
9      membus.wen   = 0; // 命令フェッチは常に読み込み
10     membus.wdata = 'x;
11     membus.wmask = 'x;
12 }
```

メモリに読み込む HEX ファイルを指定するパラメータの名前を変更します ( リスト 3.9、リスト 3.10 )。

## ▼リスト 3.9: パラメータ名を変更する (top.veryl)

```

1 module top #(
2     param RAM_FILEPATH_IS_ENV: bit      = 1
3     param RAM_FILEPATH      : string = "RAM_FILE_PATH",
4 ) (
5     clk          : input clock,
6     rst          : input reset,
7     MMAP_DBG_ADDR: input Addr ,
```

## ▼リスト 3.10: パラメータ名を変更する (top.veryl)

```

1 inst ram: memory::<RAM_DATA_WIDTH, RAM_ADDR_WIDTH> #(
2     FILEPATH_IS_ENV: RAM_FILEPATH_IS_ENV,
3     FILEPATH      : RAM_FILEPATH      ,
4 ) (
```

シミュレータ用の C++ プログラムも変更します ( リスト 3.11、リスト 3.12、リスト 3.13 )。

## ▼リスト 3.11: 引数の名称を変える (tb\_verilator.cpp)

```

1 if (argc < 2) {
2     std::cout << "Usage: " << argv[0] << " RAM_FILE_PATH [CYCLE]" << std::endl;
3     return 1;
4 }
```

## ▼リスト 3.12: 環境変数名を変える (tb\_verilator.cpp)

```

1 // 環境変数でメモリの初期化用ファイルを指定する
2 const char* original_env = getenv("RAM_FILE_PATH");
3 setenv("RAM_FILE_PATH", memory_file_path.c_str(), 1);
```

## ▼リスト 3.13: 環境変数名を変える (tb\_verilator.cpp)

```

1 // 環境変数を元に戻す
2 if (original_env != nullptr){
```

```
3     setenv("RAM_FILE_PATH", original_env, 1);
4 }
```

### 3.3 mmio\_controller モジュールの作成

アクセスするアドレスに応じてアクセス先のデバイスを切り替えるモジュールを実装します。

`src/mmio_controller.veryl` を作成し、次のように記述します（リスト 3.14）。

▼ リスト 3.14: mmio\_controller.veryl

```
1 import eei::*;

2

3 module mmio_controller (
4     clk      : input  clock      ,
5     rst      : input  reset      ,
6     req_core: modport Membus::slave,
7 ) {

8

9     enum Device {
10         UNKNOWN,
11     }
12
13     inst req_saved: Membus;
14
15     var last_device : Device;
16     var is_requested: logic ;
17
18     // masterを0でリセットする
19     function reset_membus_master (
20         master: modport Membus::master_output,
21     ) {
22         master.valid = 0;
23         master.addr  = 0;
24         master.wen   = 0;
25         master.wdata  = 0;
26         master.wmask  = 0;
27     }
28
29     // すべてのデバイスのmasterをリセットする
30     function reset_all_device_masters () {}
31
32     // アドレスからデバイスを取得する
33     function get_device (
34         addr: input Addr,
35     ) -> Device {
36         return Device::UNKNOWN;
37     }
38
39     // デバイスのmasterにreqの情報を割り当てる
```

```
40  function assign_device_master (
41      req: modport Membus::all_input,
42  ) {}
43
44  // デバイスのrvalid、rdataをreqに割り当てる
45  function assign_device_slave (
46      device: input Device,
47      req : modport Membus::response,
48  ) {
49      req.rvalid = 1;
50      req.rdata  = 0;
51  }
52
53  // デバイスのreadyを取得する
54  function get_device_ready (
55      device: input Device,
56  ) -> logic {
57      return 1;
58  }
59
60  // デバイスのrvalidを取得する
61  function get_device_rvalid (
62      device: input Device,
63  ) -> logic {
64      return 1;
65  }
66
67  // req_coreの割り当てる
68  always_comb {
69      req_core.ready  = 0;
70      req_core.rvalid = 0;
71      req_core.rdata  = 0;
72
73      if req_saved.valid {
74          if is_requested {
75              // 結果を返す
76              assign_device_slave(last_device, req_core);
77              req_core.ready      = get_device_rvalid(last_device);
78          }
79      } else {
80          req_core.ready = 1;
81      }
82  }
83
84  // デバイスのmasterの割り当てる
85  always_comb {
86      reset_all_device_masters();
87      if req_saved.valid {
88          if is_requested {
89              if get_device_rvalid(last_device) {
90                  // 新しく要求を受け入れる
91                  if req_core.ready && req_core.valid {
92                      assign_device_master(req_core);
```

```
93         }
94     }
95 } else {
96     // デバイスにreq_savedを割り当てる
97     assign_device_master(req_saved);
98 }
99 } else {
100    // 新しく要求を受け入れる
101    if req_core.ready && req_core.valid {
102        assign_device_master(req_core);
103    }
104 }
105 }
106
107 // 新しく要求を受け入れる
108 function accept_request () {
109     req_saved.valid = req_core.ready && req_core.valid;
110     if req_core.ready && req_core.valid {
111         last_device = get_device(req_core.addr);
112         is_requested = get_device_ready(last_device);
113         // reqを保存
114         req_saved.addr = req_core.addr;
115         req_saved.wen = req_core.wen;
116         req_saved.wdata = req_core.wdata;
117         req_saved.wmask = req_core.wmask;
118     }
119 }
120
121 function on_clock () {
122     if req_saved.valid {
123         if is_requested {
124             if get_device_rvalid(last_device) {
125                 accept_request();
126             }
127         } else {
128             is_requested = get_device_ready(last_device);
129         }
130     } else {
131         accept_request();
132     }
133 }
134
135 function on_reset () {
136     last_device = Device::UNKNOWN;
137     is_requested = 0;
138     reset_membus_master(req_saved);
139 }
140
141 always_ff {
142     if_reset {
143         on_reset();
144     } else {
145         on_clock();
```

```
146     }
147 }
148 }
```

mmio\_controller モジュールの関数の引数に membus\_if インターフェースを使うために、新しい modport を宣言します（リスト 3.15）。

▼ リスト 3.15: modport 宣言を追加する (membus\_if.veryl)

```
1 modport all_input {
2     ..input
3 }
4
5 modport response {
6     rvalid: output,
7     rdata : output,
8 }
9
10 modport slave_output {
11     ready: output,
12     ..same(response)
13 }
14
15 modport master_output {
16     valid: output,
17     addr : output,
18     wen  : output,
19     wdata: output,
20     wmask: output,
21 }
```

mmio\_controller モジュールは `req_core` からメモリアクセス要求を受け付け、アクセス対象のモジュールからの結果を返すモジュールです。

`Device` 型は実装しているデバイスを表現するための列挙型です（リスト 3.16）。まだデバイスを接続していないので、不明なデバイス（`Device::UNKNOWN`）だけ定義しています。

▼ リスト 3.16: Device 型の定義 (mmio\_controller.veryl)

```
1 enum Device {
2     UNKNOWN,
3 }
```

`reset_membus_master`、`reset_all_device_masters` 関数はインターフェースの値の割り当てを `0` でリセットするためのユーティリティ関数です。名前が `get_device_`、`assign_device` から始まる関数は、デバイスの状態を取得したり、インターフェースに値を割り当てる関数です。`get_device` 関数はアドレスに対応する `Device` を取得する関数です。

`always_comb`、`always_ff` ブロックはこれらの関数を利用してメモリアクセスを制御します。

`always_ff` ブロックは、メモリアクセス要求の処理中ではない場合とメモリアクセスが終わった場合にメモリアクセス要求を受け入れます。要求を受け入れるとき、`req_core` の値を `req_saved` に

保存します。

always\_comb ブロックはデバイスにアクセスし `req_core` に結果を返します。`is_requested` は、メモリアクセス要求を処理している場合に既にデバイスが要求を受け入れたかを示すフラグです。新しく要求を受け入れるときと `is_requested` が 0 のときにデバイスに要求を割り当て、`is_requested` が 1 かつ `rvalid` が 1 のときに結果を返します。

まだアクセス先のデバイスを実装していないため、常に 0 を読み込み、`ready` と `rvalid` は常に 1 にして、書き込みは無視します。

## 3.4 RAM の接続

### 3.4.1 mmio\_controller モジュールに RAM を追加する

`mmio_controller` モジュールに RAM とのインターフェースを実装します。

`Device` 型に RAM を追加して、アドレスに RAM をマップします (リスト 3.17、リスト 3.18)。

▼ リスト 3.17: Device 型に RAM を追加する (`mmio_controller.veryl`)

```
1 enum Device {
2     UNKNOWN,
3     RAM,
4 }
```

▼ リスト 3.18: `get_device` 関数で RAM の範囲を定義する (`mmio_controller.veryl`)

```
1 function get_device (
2     addr: input Addr,
3 ) -> Device {
4     if addr >= MMAP_RAM_BEGIN {
5         return Device::RAM;
6     }
7     return Device::UNKNOWN;
8 }
```

RAM とのインターフェースを追加し、`reset_all_device_masters` 関数に要求をリセットするコードを追加します (リスト 3.19、リスト 3.20)。

▼ リスト 3.19: RAM とのインターフェースを追加する (`mmio_controller.veryl`)

```
1 module mmio_controller (
2     clk      : input  clock      ,
3     rst      : input  reset      ,
4     req_core : modport Membus::slave ,
5     ram_membus: modport Membus::master,
6 ) {
```

## ▼リスト 3.20: インターフェースの要求部分をリセットする (mmio\_controller.veryl)

```

1  function reset_all_device_masters () {
2      reset_membus_master(ram_membus);
3  }
```

ready 、 rvalid を取得する関数に RAM を登録します (リスト 3.21、リスト 3.22)。

## ▼リスト 3.21: インターフェースの ready を返す (mmio\_controller.veryl)

```

1  function get_device_ready (
2      device: input Device,
3  ) -> logic {
4      case device {
5          Device::RAM: return ram_membus.ready;
6          default : {}
7      }
8      return 1;
9  }
```

## ▼リスト 3.22: インターフェースの rvalid を返す (mmio\_controller.veryl)

```

1  function get_device_rvalid (
2      device: input Device,
3  ) -> logic {
4      case device {
5          Device::RAM: return ram_membus.rvalid;
6          default : {}
7      }
8      return 1;
9  }
```

RAM の rvalid 、 rdata を req\_core に割り当てます (リスト 3.23)。

## ▼リスト 3.23: RAM へのアクセス結果を req に割り当てる (mmio\_controller.veryl)

```

1  function assign_device_slave (
2      device: input Device ,
3      req : modport Membus::response,
4  ) {
5      req.rvalid = 1;
6      req.rdata = 0;
7      case device {
8          Device::RAM: req <> ram_membus;
9          default : {}
10     }
11 }
```

RAM のインターフェースに要求を割り当てます (リスト 3.24)。ここで RAM のベースアドレスを引いたアドレスを割り当てることで、 MMAP\_RAM\_BEGIN が 0 になるようにしています。

## ▼リスト 3.24: RAM に req を割り当ててアクセス要求する (mmio\_controller.veryl)

```

1  function assign_device_master (
2      req: modport Membus::all_input,
3  ) {
4      case get_device(req.addr) {
5          Device::RAM: {
6              ram_membus      < req;
7              ram_membus.addr -= MMAP_RAM_BEGIN;
8          }
9          default: {}
10     }
11 }

```

### 3.4.2 RAM と mmio\_controller モジュールを接続する

top モジュールに mmio\_controller モジュールをインスタンス化し、RAM と mmio\_controller モジュール、mmio\_controller モジュールと core モジュールを接続します。

RAM と mmio\_controller モジュールを接続するインターフェース (`mmio_ram_membus`)、core モジュールと mmio\_controller モジュールを接続するインターフェース (`mmio_membus`) を定義し、`membus` を `ram_membus` に改名します (リスト 3.25、リスト 3.26)。

## ▼リスト 3.25: インターフェースの定義 / インスタンス名を変更する (top.veryl)

```

1  inst mmio_membus      : Membus;
2  inst mmio_ram_membus: Membus;
3  inst ram_membus      : membus_if::<RAM_DATA_WIDTH, RAM_ADDR_WIDTH>;

```

## ▼リスト 3.26: ポート名を変更する (top.veryl)

```

1  inst ram: memory::<RAM_DATA_WIDTH, RAM_ADDR_WIDTH> #(
2      FILEPATH_IS_ENV: RAM_FILEPATH_IS_ENV,
3      FILEPATH        : RAM_FILEPATH        ,
4  ) (
5      clk           ,
6      rst           ,
7      membust: ram_membus,
8  );

```

core モジュールから RAM へのメモリアクセスを調停する処理を、core モジュールから mmio\_controller モジュールへのアクセスを調停する処理に変更します (リスト 3.27)。

## ▼リスト 3.27: 調停する対象を mmio\_membus に変更する (top.veryl)

```

1  // mmio_controllerへのメモリアクセスを調停する
2  always_ff {
3      if_reset {
4          memarb_last_i      = 0;
5          memarb_last_iaddr = 0;
6      } else {
7          if mmio_membus.ready {
8              memarb_last_i      = !d_membus.valid;

```

```

9          memarb_last_iaddr = i_membus.addr;
10         }
11     }
12 }
13
14 always_comb {
15     i_membus.ready  = mmio_membus.ready && !d_membus.valid;
16     i_membus.rvalid = mmio_membus.rvalid && memarb_last_i;
17     i_membus.rdata  = if memarb_last_iaddr[2] == 0 ? mmio_membus.rdata[31:0] : mmio_membus.>
18     >rdata[63:32];
19
20     d_membus.ready  = mmio_membus.ready;
21     d_membus.rvalid = mmio_membus.rvalid && !memarb_last_i;
22     d_membus.rdata  = mmio_membus.rdata;
23
24     mmio_membus.valid = i_membus.valid | d_membus.valid;
25     if d_membus.valid {
26         mmio_membus.addr  = d_membus.addr;
27         mmio_membus.wen   = d_membus.wen;
28         mmio_membus.wdata = d_membus.wdata;
29         mmio_membus.wmask = d_membus.wmask;
30     } else {
31         mmio_membus.addr  = i_membus.addr;
32         mmio_membus.wen   = 0; // 命令フェッチは常に読み込み
33         mmio_membus.wdata = 'x;
34         mmio_membus.wmask = 'x;
35     }
}

```

mmio\_controller をインスタンス化し、RAM と接続します。(リスト 3.28、リスト 3.29)。RAM のアドレスへの変換は調停処理から接続部分に移動しています。

▼リスト 3.28: mmio\_controller モジュールをインスタンス化する (top.veryl)

```

1 inst mmioc: mmio_controller (
2     clk           ,
3     rst           ,
4     req_core : mmio_membus ,
5     ram_membus: mmio_ram_membus,
6 );

```

▼リスト 3.29: mmio\_controller モジュールと RAM を接続する (top.veryl)

```

1 always_comb {
2     // mmio <> RAM
3     ram_membus.valid      = mmio_ram_membus.valid;
4     mmio_ram_membus.ready = ram_membus.ready;
5     ram_membus.addr       = addr_to_memaddr::<RAM_DATA_WIDTH, RAM_ADDR_WIDTH>(mmio_ram_memb>
6     >us.addr);
7     ram_membus.wen        = mmio_ram_membus.wen;
8     ram_membus.wdata       = mmio_ram_membus.wdata;
9     ram_membus.wmask       = mmio_ram_membus.wmask;
10    mmio_ram_membus.rvalid = ram_membus.rvalid;

```

```

10     mmio_ram_membus.rdata = ram_membus.rdata;
11 }
```

### 3.4.3 PC の初期値の変更

PC の初期値を `MMAP_RAM_BEGIN` にすることで、RAM のベースアドレスからプログラムの実行を開始するように変更します。eei パッケージに `INITIAL_PC` を定義し、PC のリセット時に利用します（リスト 3.30、リスト 3.31）。

▼リスト 3.30: PC の初期値を定義する (eei.veryl)

```

1 // pc on reset
2 const INITIAL_PC: Addr = MMAP_RAM_BEGIN;
```

▼リスト 3.31: PC の初期値を設定する (core.veryl)

```

1 always_ff {
2     if_reset {
3         if_pc      = INITIAL_PC;
4         if_is_requested = 0;
5         if_pc_requested = 0;
6         if_fifo_wvalid = 0;
7         if_fifo_wdata  = 0;
8     } else {
```

riscv-tests を実行して RAM にアクセスできているか確認します。今のところ riscv-tests はアドレス `0` から配置されるようにリンクしているため、riscv-tests の `env/p/link.ld` を変更します（リスト 3.32）。

▼リスト 3.32: プログラムの先頭のアドレスを変更する (riscv-tests/env/p/link.ld)

```

1 OUTPUT_ARCH( "riscv" )
2 ENTRY(_start)
3
4 SECTIONS
5 {
6     . = 0x00000000; ←先頭を0x80000000に変更する（戻す）
```

riscv-tests をビルドしなおし、成果物を `test` ディレクトリに配置してください。ビルドしなおしたので、HEX ファイルを再度生成します（リスト 3.33）。

▼リスト 3.33:

```

$ cd test
$ find share/ -type f -not -name "*.dump" -exec riscv64-unknown-elf-objcopy -O binary {} {}.bin \
>;
$ find share/ -type f -name "*.bin" -exec sh -c "python3 bin2hex.py 8 {} > {}.hex" \;}
```

riscv-tests の終了判定用のアドレスを `MMAP_RAM_BEGIN` 基準のアドレスに変更します（リスト 3.34）。

## ▼リスト 3.34: .tohost のアドレスを変更する (top.veryl)

```

1  #[ifdef(TEST_MODE)]
2  always_ff {
3      let RISCVTESTS_TOHOST_ADDR: Addr = MMAP_RAM_BEGIN + 'h1000 as Addr;
4      if d_membus.valid && d_membus.ready && d_membus.wen == 1 && d_membus.addr == RISCVTESTS>
5      >_TOHOST_ADDR && d_membus.wdata[lsb] == 1'b1 {
6          test_success = d_membus.wdata == 1;
7          if d_membus.wdata == 1 {
8              $display("riscv-tests success!");
9          } else {
10              $display("riscv-tests failed!");
11              $error ("wdata : %h", d_membus.wdata);
12          }
13      }
14  }

```

riscv-tests を実行し、RAM にアクセスできてテストに成功することを確認してください。

## 3.5 ROM の実装

### 3.5.1 mmio\_controller モジュールに ROM を追加する

mmio\_controller モジュールに ROM とのインターフェースを実装します。

Device 型に ROM を追加して、アドレスに ROM をマップします（リスト 3.35、リスト 3.36）。

## ▼リスト 3.35: Device 型に ROM を変更する (mmio\_controller.veryl)

```

1  enum Device {
2      UNKNOWN,
3      RAM,
4      ROM,
5  }

```

## ▼リスト 3.36: get\_device 関数で ROM の範囲を定義する (mmio\_controller.veryl)

```

1  function Device get_device (
2      Addr: input Addr,
3  ) -> Device {
4      if MMAP_ROM_BEGIN <= Addr && Addr <= MMAP_ROM_END {
5          return Device::ROM;
6      }
7      if Addr >= MMAP_RAM_BEGIN {
8          return Device::RAM;
9      }
10     return Device::UNKNOWN;
11 }

```

ROM とのインターフェースを追加します（リスト 3.37、リスト 3.38）。`reset_all_device_masters` 関数でインターフェースをリセットします。

▼リスト 3.37: ROM とのインターフェースを追加する (mmio\_controller.veryl)

```
1 module mmio_controller (
2     clk      : input  clock      ,
3     rst      : input  reset      ,
4     req_core : modport Membus::slave ,
5     ram_membus: modport Membus::master,
6     rom_membus: modport Membus::master,
7 ) {
```

▼リスト 3.38: インターフェースの要求部分をリセットする (mmio\_controller.veryl)

```
1 function reset_all_device_masters () {
2     reset_membus_master(ram_membus);
3     reset_membus_master(rom_membus);
4 }
```

`ready`、`rvalid` を取得する関数に ROM を登録します（リスト 3.39、リスト 3.40）。

▼リスト 3.39: インターフェースの `ready` を返す (mmio\_controller.veryl)

```
1 case device {
2     Device::RAM: return ram_membus.ready;
3     Device::ROM: return rom_membus.ready;
4     default     : {}
5 }
```

▼リスト 3.40: インターフェースの `rvalid` を返す (mmio\_controller.veryl)

```
1 case device {
2     Device::RAM: return ram_membus.rvalid;
3     Device::ROM: return rom_membus.rvalid;
4     default     : {}
5 }
```

ROM の `rvalid`、`rdata` を `req_core` に割り当てます（リスト 3.41）。

▼リスト 3.41: `assign_device_slave` 関数で ROM の結果を `req` に割り当てる (mmio\_controller.veryl)

```
1 case device {
2     Device::RAM: req <> ram_membus;
3     Device::ROM: req <> rom_membus;
4     default     : {}
5 }
```

ROM のインターフェースに要求を割り当てます（リスト 3.42）。RAM と同じようにメモリマップのベースアドレスを引いたアドレスを割り当てます。

## ▼リスト 3.42: get\_device 関数で ROM に req を割り当ててアクセス要求する (mmio\_controller.veryl)

```

1  case get_device(req.addr) {
2      Device::RAM: {
3          ram_membus      <=> req;
4          ram_membus.addr -= MMAP_RAM_BEGIN;
5      }
6      Device::ROM: {
7          rom_membus      <=> req;
8          rom_membus.addr -= MMAP_ROM_BEGIN;
9      }
10     default: {}
11 }

```

## 3.5.2 ROM の初期値のパラメータを作成する

top モジュールに ROM の初期値を指定するパラメータを定義します ( リスト 3.43 )。

## ▼リスト 3.43: パラメータを定義する (top.veryl)

```

1 module top #(
2     param RAM_FILEPATH_IS_ENV: bit      = 1
3     param RAM_FILEPATH      : string = "RAM_FILE_PATH",
4     param ROM_FILEPATH_IS_ENV: bit      = 1
5     param ROM_FILEPATH      : string = "ROM_FILE_PATH",
6 ) (

```

RAM と同じように、シミュレータ用のプログラムで ROM の HEX ファイルのパスを指定するようにします。1 番目の引数を ROM 用の HEX ファイルのパスに変更し、環境変数 `ROM_FILE_PATH` をその値に設定します ( リスト 3.44、リスト 3.45、リスト 3.46、リスト 3.47、リスト 3.48 )。

## ▼リスト 3.44: 引数の名称を変える (tb\_verilator.cpp)

```

1  if (argc < 3) {
2      std::cout << "Usage: " << argv[0] << " ROM_FILE_PATH RAM_FILE_PATH [CYCLE]" << std::endl;
3      return 1;
4  }

```

## ▼リスト 3.45: ROM の HEX ファイルのパスを生成する (tb\_verilator.cpp)

```

1 // メモリの初期値を格納しているファイル名
2 std::string rom_file_path = argv[1];
3 std::string ram_file_path = argv[2];
4 try {
5     // 絶対パスに変換する
6     rom_file_path = fs::absolute(rom_file_path).string();
7     ram_file_path = fs::absolute(ram_file_path).string();
8 } catch (const std::exception& e) {
9     std::cerr << "Invalid memory file path : " << e.what() << std::endl;
10    return 1;
11 }

```

## ▼リスト 3.46: 引数の数が変わったのでインデックスを変更する (tb\_verilator.cpp)

```

1  unsigned long long cycles = 0;
2  if (argc >= 4) {
3      std::string cycles_string = argv[3];
4      try {
5          cycles = stoull(cycles_string);
6      } catch (const std::exception& e) {
7          std::cerr << "Invalid number: " << argv[3] << std::endl;
8          return 1;
9      }
10 }

```

## ▼リスト 3.47: 環境変数を変更する (tb\_verilator.cpp)

```

1  const char* original_env_rom = getenv("ROM_FILE_PATH");
2  const char* original_env_ram = getenv("RAM_FILE_PATH");
3  setenv("ROM_FILE_PATH", rom_file_path.c_str(), 1);
4  setenv("RAM_FILE_PATH", ram_file_path.c_str(), 1);

```

## ▼リスト 3.48: 環境変数を元に戻す (tb\_verilator.cpp)

```

1  if (original_env_rom != nullptr){
2      setenv("ROM_FILE_PATH", original_env_rom, 1);
3  }
4  if (original_env_ram != nullptr){
5      setenv("RAM_FILE_PATH", original_env_ram, 1);
6  }

```

テストを実行するための Python プログラムで ROM の HEX ファイルを指定できるようにします（リスト 3.49、リスト 3.50、リスト 3.51）。デフォルト値はカレントディレクトリの `bootrom.hex` にしておきます。

## ▼リスト 3.49: 引数--rom を追加する (test/test.py)

```

1  parser.add_argument("--rom", default="bootrom.hex", help="hex file of rom")

```

## ▼リスト 3.50: シミュレータに ROM の HEX ファイルのパスを渡す (test/test.py)

```

1  def test(romhex, file_name):
2      result_file_path = os.path.join(args.output_dir, file_name.replace(os.sep, "_") + ".txt")
3      cmd = f"{args.sim_path} {romhex} {file_name} 0"
4      success = False

```

## ▼リスト 3.51: test 関数に ROM の HEX ファイルのパスを渡す (test/test.py)

```

1  for hexpath in dir_walk(args.dir):
2      f, s = test(os.path.abspath(args.rom), os.path.abspath(hexpath))
3      res_strs.append(("PASS" if s else "FAIL") + " : " + f)
4      res_statuses.append(s)

```

### 3.5.3 ROM と mmio\_controller モジュールを接続する

ROM をインスタンス化して mmio\_controller モジュールと接続します。

ROM と mmio\_controller モジュールを接続するインターフェース (`mmio_rom_membus`)、ROM のインターフェース (`rom_membus`) を定義します (リスト 3.52)。

▼ リスト 3.52: ROM のインターフェースの定義 (top.veryl)

```

1  inst mmio_membus : Membus;
2  inst mmio_ram_membus: Membus;
3  inst mmio_rom_membus: Membus;
4  inst ram_membus : membus_if:<RAM_DATA_WIDTH, RAM_ADDR_WIDTH>;
5  inst rom_membus : membus_if:<ROM_DATA_WIDTH, ROM_ADDR_WIDTH>;

```

ROM をインスタンス化します (リスト 3.53)。パラメータには top モジュールのパラメータを割り当てます。

▼ リスト 3.53: ROM をインスタンス化する (top.veryl)

```

1  inst rom: memory:<ROM_DATA_WIDTH, ROM_ADDR_WIDTH> #(
2    FILEPATH_IS_ENV: ROM_FILEPATH_IS_ENV,
3    FILEPATH      : ROM_FILEPATH      ,
4  ) (
5    clk          ,
6    rst          ,
7    membus: rom_membus,
8  );

```

mmio\_controller モジュールに `rom_membus` を接続します (リスト 3.54)。

▼ リスト 3.54: ROM のインターフェースを接続する (top.veryl)

```

1  inst mmioc: mmio_controller (
2    clk          ,
3    rst          ,
4    req_core   : mmio_membus   ,
5    ram_membus: mmio_ram_membus,
6    rom_membus: mmio_rom_membus,
7  );

```

mmio\_controller モジュールと ROM を接続します。アドレスの変換のために `addr_to_memaddr` 関数を使用しています (リスト 3.55)。

▼ リスト 3.55: mmio\_controller モジュールと ROM を接続する (top.veryl)

```

1  always_comb {
2    // mmio <-> ROM
3    rom_membus.valid      = mmio_rom_membus.valid;
4    mmio_rom_membus.ready  = rom_membus.ready;
5    rom_membus.addr       = addr_to_memaddr:<ROM_DATA_WIDTH, ROM_ADDR_WIDTH>(mmio_rom_membus.addr);
6    rom_membus.wen        = 0;
7    rom_membus.wdata      = 0;
8    rom_membus.wmask      = 0;
9    mmio_rom_membus.rvalid = rom_membus.rvalid;
10   mmio_rom_membus.rdata  = rom_membus.rdata;

```

11 }

### 3.5.4 ROM から RAM にジャンプする

PC の初期値を ROM のベースアドレスに変更し、ROM から RAM にジャンプする仕組みを実現します。

一般的に CPU の電源をつけると、CPU は ROM のようなメモリデバイスに入ったソフトウェアから実行を開始します。そのソフトウェアは次に実行するソフトウェアを外部記憶装置から読み取り、RAM にソフトウェアを適切にコピー、配置して実行します。

本章では RAM、ROM ともに `$readmemh` システムタスクで初期化するように実装しているので、RAM のベースアドレスにジャンプするだけのプログラムを ROM に設定します。

ROM に設定するための HEX ファイルを作成します（リスト 3.56）。

▼リスト 3.56: RAM の開始アドレスにジャンプするプログラム (bootrom.hex)

```
1 00409093080000b7 // 0: lui x1, 0x08000 4: slli x1, x1, 4
2 0000000000008067 // 8: jalr x0, 0(x1) c:
3 0000000000000000 // zero
4
```

PC の初期値を ROM のベースアドレスに変更します（リスト 3.57）。

▼リスト 3.57: PC の初期値の変更 (eei.veryl)

```
1 const INITIAL_PC: Addr = MMAP_ROM_BEGIN;
```

riscv-tests を実行し、ROM( `0x1000` ) から実行を開始して RAM( `0x80000000` ) にジャンプしてテストを開始していることを確かめてください。

## 3.6 デバッグ用の入出力デバイスの実装

CPU が文字を送信したり受信するためのデバッグ用の入出力デバイスを実装します。今のところ riscv-tests の結果を受け取るためのアドレスを RAM のベースアドレス + `0x1000` にしていますが、この処理もデバイスに実装します。

本章では、デバッグ用の入出力デバイスに次のような 64 ビットレジスタを実装します。

**上位 20 ビットが `20'h01010` な値を書き込み**

下位 8 ビットを文字として解釈し `$write` システムタスクで出力します。

**上位 20 ビットが `20'h01010` ではない LSB が 1 な値を書き込み**

今までの riscv-tests の終了判定処理を行います。

**読み込み**

C++ プログラムの関数を利用して 1 文字入力を受け取ります。有効な入力の場合は上位 20

ビットが `20'h01010`、無効な入力の場合は `0` になります。

### 3.6.1 デバイスのアドレスを設定する

リスト 3.9 でデバイスのアドレスをポートで設定できるようにしたので、`tb_verilator.cpp` で環境変数の値をデバイスのアドレスに設定するようにします。

環境変数 `DBG_ADDR` を読み込み、`DBG_ADDR` ポートに設定します（リスト 3.58）。

#### ▼リスト 3.58: `DBG_ADDR` ポートに環境変数の値を設定する (`tb_verilator.cpp`)

```

1 // デバッグ用の入出力デバイスのアドレスを取得する
2 const char* dbg_addr_c = getenv("DBG_ADDR");
3 const unsigned long long DBG_ADDR = dbg_addr_c == nullptr ? 0 : std::strtoull(dbg_addr_c, nu>
>llptr, 0);
4
5 // top
6 Vcore_top *dut = new Vcore_top();
7 dut->MMAP_DBG_ADDR = DBG_ADDR;

```

### 3.6.2 `mmio_controller` モジュールにデバイスを追加する

`mmio_controller` モジュールにデバイスを追加します。

`Device` 型に `Device::DEBUG` を追加します（リスト 3.59）。

#### ▼リスト 3.59: `Device` 型にデバッグ用の入出力デバイスを追加する (`mmio_controller.veryl`)

```

1 enum Device {
2     UNKNOWN,
3     RAM,
4     ROM,
5     DEBUG,
6 }

```

ポートにインターフェースとデバイスのアドレスを追加します（リスト 3.60、リスト 3.61）。

#### ▼リスト 3.60: `DBG_ADDR`、インターフェースを追加する (`mmio_controller.veryl`)

```

1 module mmio_controller (
2     clk      : input  clock      ,
3     rst      : input  reset      ,
4     DBG_ADDR : input  Addr      ,
5     req_core : modport Membus::slave ,
6     ram_membus: modport Membus::master,
7     rom_membus: modport Membus::master,
8     dbg_membus: modport Membus::master,
9 ) {

```

#### ▼リスト 3.61: インターフェースの要求部分をリセットする (`mmio_controller.veryl`)

```

1     function reset_all_device_masters () {
2         reset_membus_master(ram_membus);
3         reset_membus_master(rom_membus);

```

```

4     reset_membus_master(dbg_membus);
5 }
```

デバイスの位置を設定します。最初にチェックすることで、他のデバイスとアドレスを被らせたとしてもデバッグ用の入出力デバイスを優先します（リスト 3.62）。

▼リスト 3.62: `get_device` 関数でデバイスの範囲を定義する (mmio\_controller.veryl)

```

1  function get_device (
2      addr: input Addr,
3  ) -> Device {
4      if DBG_ADDR <= addr && addr <= DBG_ADDR + 7 {
5          return Device::DEBUG;
6      }
7      if MMAP_ROM_BEGIN <= addr && addr <= MMAP_ROM_END {
8          return Device::ROM;
9      }
10     if addr >= MMAP_RAM_BEGIN {
11         return Device::RAM;
12     }
13     return Device::UNKNOWN;
14 }
```

インターフェースを設定します（リスト 3.63、リスト 3.64、リスト 3.65、リスト 3.66）。この変更は ROM を追加したときとほとんど同じです。

▼リスト 3.63: `assign_device_master` 関数の変更 (mmio\_controller.veryl)

```

1  case get_device(req.addr) {
2      Device::RAM: {
3          ram_membus      <> req;
4          ram_membus.addr -= MMAP_RAM_BEGIN;
5      }
6      Device::ROM: {
7          rom_membus      <> req;
8          rom_membus.addr -= MMAP_ROM_BEGIN;
9      }
10     Device::DEBUG: {
11         dbg_membus      <> req;
12         dbg_membus.addr -= DBG_ADDR;
13     }
14     default: {}
15 }
```

▼リスト 3.64: `assign_device_slave` 関数の変更 (mmio\_controller.veryl)

```

1  case device {
2      Device::RAM  : req <> ram_membus;
3      Device::ROM  : req <> rom_membus;
4      Device::DEBUG: req <> dbg_membus;
5      default      : {}
6  }
```

▼リスト 3.65: `get_device_ready` 関数の変更 (mmio\_controller.veryl)

```

1  case device {
2      Device::RAM  : return ram_membus.ready;
3      Device::ROM  : return rom_membus.ready;
4      Device::DEBUG: return dbg_membus.ready;
5      default      : {}
6  }

```

▼リスト 3.66: `get_device_rvalid` 関数の変更 (mmio\_controller.veryl)

```

1  case device {
2      Device::RAM  : return ram_membus.rvalid;
3      Device::ROM  : return rom_membus.rvalid;
4      Device::DEBUG: return dbg_membus.rvalid;
5      default      : {}
6  }

```

top モジュールにデバッグ用の入出力デバイスのインターフェース (`dbg_membus`) を定義し、`mmio_controller` モジュールと接続します (リスト 3.67、リスト 3.68)。

## ▼リスト 3.67: インターフェースのインスタンス化 (top.veryl)

```

1  inst ram_membus      : membus_if::<RAM_DATA_WIDTH, RAM_ADDR_WIDTH>;
2  inst rom_membus      : membus_if::<ROM_DATA_WIDTH, ROM_ADDR_WIDTH>;
3  inst dbg_membus      : Membus;

```

## ▼リスト 3.68: インターフェースを接続する (top.veryl)

```

1  inst mmioc: mmio_controller (
2      clk           ,
3      rst           ,
4      DBG_ADDR    : MMAP_DBG_ADDR  ,
5      req_core    : mmio_membus  ,
6      ram_membus: mmio_ram_membus,
7      rom_membus: mmio_rom_membus,
8      dbg_membus  ,
9  );

```

### 3.6.3 出力を実装する

`dbg_membus` を使い、デバッグ出力処理を実装します。既存の `riscv-tests` の終了検知処理を次のように書き換えます (リスト 3.69)。

▼リスト 3.69: `riscv-tests` の終了検知処理をデバッグ用の入出力デバイスに変更する (top.veryl)

```

1  // デバッグ用のIO
2  always_ff {
3      dbg_membus.ready  = 1;
4      dbg_membus.rvalid = dbg_membus.valid;
5      if dbg_membus.valid {
6          if dbg_membus.wen {
7              if dbg_membus.wdata[MEMBUS_DATA_WIDTH - 1:20] == 20'h01010 {

```

```

8          $write("%c", dbg_membus.wdata[7:0]);
9      } else if dbg_membus.wdata[lsb] == 1'b1 {
10         #[ifdef(TEST_MODE)]
11         {
12             test_success = dbg_membus.wdata == 1;
13         }
14         if dbg_membus.wdata == 1 {
15             $display("test success!");
16         } else {
17             $display("test failed!");
18             $error ("wdata : %h", dbg_membus.wdata);
19         }
20         $finish();
21     }
22 }
23 }
24 }
```

常に要求を受け付け、書き込みの時は書き込むデータ（`wdata`）を確認します。`wdata` の上位 20 ビットが `20'h01010` なら下位 8 ビットを出力し、LSB が `1` ならテストの成功判定をして `$finish` システムタスクを呼び出します。

### 3.6.4 出力をテストする

実装した出力デバイスで文字を出力できることを確認します。

デバッグ用に `$display` システムタスクで表示している情報が邪魔になるので、デバッグ情報の表示を環境変数 `PRINT_DEBUG` で制御できるようにします（リスト 3.70）。

#### ▼ リスト 3.70: デバッグ出力を `define` で囲う (core.veryl)

```

1 ////////////////////////////////////////////////////////////////// DEBUG //////////////////////////////////////////////////////////////////
2 #[ifdef(PRINT_DEBUG)]
3 {
4     var clock_count: u64;
5
6     always_ff {
7         if_reset {
8             clock_count = 1;
9         } else {
10            clock_count = clock_count + 1;
11
12            $display("");
13            $display("# %d", clock_count);
```

`test/debug_output.c` を作成し、次のように記述します（リスト 3.71）。これは `Hello,world!` と出力するプログラムです。

#### ▼ リスト 3.71: Hello,world!を出力するプログラム (test/debug\_output.c)

```

1 #define DEBUG_REG ((volatile unsigned long long*)0x40000000)
2
```

```

3 void main(void) {
4     int strlen = 13;
5     unsigned char str[13];
6
7     str[0] = 'H';
8     str[1] = 'e';
9     str[2] = 'l';
10    str[3] = 'l';
11    str[4] = 'o';
12    str[5] = ',';
13    str[6] = 'w';
14    str[7] = 'o';
15    str[8] = 'r';
16    str[9] = 'l';
17    str[10] = 'd';
18    str[11] = '!';
19    str[12] = '\n';
20
21    for (int i = 0; i < strlen; i++) {
22        unsigned long long c = str[i];
23        *DEBUG_REG = c | (0x01010ULL << 44);
24    }
25    *DEBUG_REG = 1;
26 }

```

`DEBUG_REG` は出力デバイスのアドレスです。ここに `0x01010` を 44 ビット左シフトした値と文字を OR 演算した値を書き込むことで文字を出力します。最後に `1` を書き込み、テストを終了しています。

`main` 関数をそのままコンパイルして RAM に配置すると、スタックポインタ (stack pointer, `sp`) の値が適切に設定されていないのでうまく動きません。スタックポインタとは、プログラムが一時的に利用する値を格納しておくためのメモリ (スタック) のアドレスへのポインタのことです。RISC-V の規約では `sp(x2)` レジスタをスタックポインタとして利用することが定められています。

そのため、レジスタの値を適切な値にリセットして `main` 関数を呼び出す別のプログラムが必要です。 `test/entry.S` を作成し、次のように記述します ( リスト 3.72 )。

#### ▼ リスト 3.72: test/entry.S

```

1 .global _start
2 .section .text.init
3 _start:
4     add x1, x0, x0
5     la x2, _stack_bottom
6     add x3, x0, x0
7     add x4, x0, x0
8     add x5, x0, x0
9     add x6, x0, x0
10    add x7, x0, x0
11    add x8, x0, x0
12    add x9, x0, x0

```

```

13    add x10, x0, x0
14    add x11, x0, x0
15    add x12, x0, x0
16    add x13, x0, x0
17    add x14, x0, x0
18    add x15, x0, x0
19    add x16, x0, x0
20    add x17, x0, x0
21    add x18, x0, x0
22    add x19, x0, x0
23    add x20, x0, x0
24    add x21, x0, x0
25    add x22, x0, x0
26    add x23, x0, x0
27    add x24, x0, x0
28    add x25, x0, x0
29    add x26, x0, x0
30    add x27, x0, x0
31    add x28, x0, x0
32    add x29, x0, x0
33    add x30, x0, x0
34    add x31, x0, x0
35    call main

```

このアセンブリは `sp(x2)` レジスタを `_stack_bottom` のアドレスに設定し、他のレジスタを `0` でリセットしたあとに `main` にジャンプします。

`_stack_bottom` は、リンクの設定ファイルに記述します。`test/link.ld` を作成し、次のように記述します（リスト 3.73）。

▼ リスト 3.73: `test/link.ld`

```

1 OUTPUT_ARCH( "riscv" )
2 ENTRY(_start)
3
4 SECTIONS
5 {
6     . = 0x80000000;
7     .text.init : { *(.text.init) }
8     .text : { *(.text*) }
9     .data : { *(.data*) }
10    .bss : {*(.bss*)}
11    .stack : {
12        . = ALIGN(0x10);
13        _stack_top = .;
14        . += 4K;
15        _stack_bottom = .;
16    }
17    _end = .;
18 }

```

`_stack_bottom` と `_stack_top` の間は 4KB あるので、スタックのサイズは 4KB になります。`_start` を `.text.init` に配置し（リスト 3.72）、`SECTIONS` の先頭に `.text.init` を配置している

ため、アドレス `0x80000000` に `_start` が配置されます。

これらのファイルを利用し、テストプログラムをコンパイルします（リスト 3.74）。gcc の `-march` フラグでは C 拡張を抜いた ISA を指定しています。このフラグを記述しないと、まだ実装していない命令が含まれた ELF ファイルにコンパイルされてしまいます。

▼ リスト 3.74: テストプログラムをコンパイル、HEX ファイルに変換する

```
$ cd test
$ riscv64-unknown-elf-gcc -nostartfiles -nostdlib -mcmode=medany -T link.ld -march=rv64imad debug
$ riscv64-unknown-elf-objcopy a.out -O binary test.bin
$ python3 bin2hex.py 8 test.bin > test.bin.hex ← HEXファイルに変換する
```

シミュレータをビルドし、テストプログラムを実行します（リスト 3.75）。

▼ リスト 3.75: テストプログラムを実行する

```
$ make build sim
$ DBG_ADDR=0x40000000 ./obj_dir/sim bootrom.hex test/test.bin.hex
Hello,world!
- ~/core/src/top.sv:62: Verilog $finish
```

`Hello,world!` と出力されたあと、プログラムが終了しました。

### 3.6.5 riscv-tests に対応する

riscv-tests を実行するとき、終了判定用のレジスタの位置を `DBG_ADDR` に設定するようにします。

`test/test.py` を、ELF ファイルを探して自動で `DBG_ADDR` を設定してテストを実行するプログラムに変更します。

elftools<sup>\*2</sup>を使用し、ELF ファイルの判定、セクションのアドレスを取得する関数を定義します（リスト 3.76、リスト 3.77）。

▼ リスト 3.76: elftools の import (test/test.py)

```
1 from elftools.elf.elffile import ELFFile
```

▼ リスト 3.77: ELF の判定、セクションのアドレスを取得する関数の定義 (test/test.py)

```
1 def is_elf(filepath):
2     try:
3         with open(filepath, 'rb') as f:
4             magic_number = f.read(4)
5             return magic_number == b'\x7fELF'
6     except:
7         return False
8
9 def get_section_address(filepath, section_name):
10    try:
11        with open(filepath, 'rb') as f:
```

<sup>\*2</sup> pip でインストールできます

```

12     elffile = ELFFile(f)
13     for section in elffile.iter_sections():
14         if section.name == section_name:
15             return section.header['sh_addr']
16     return 0
17 except:
18     return 0

```

デバッグ用の入出力デバイスのセクション名を指定する引数を作成します（リスト 3.78）。また、テストするファイルの拡張子を指定していた引数を、ELF ファイルに付加することで HEX ファイルのパスを得るために引数に変更します。

▼リスト 3.78: オプションを追加する (test/test.py)

```

1 parser.add_argument("-e", "--extension", default=".bin.hex", help="hex file extension")
2 parser.add_argument("-d", "--debug_label", default=".tohost", help="debug device label")

```

dir\_walk 関数を、ELF ファイルを探す関数に変更します（リスト 3.79）。

▼リスト 3.79: dir\_walk 関数で ELF ファイルを探す (test/test.py)

```

1 if entry.is_file():
2     if not is_elf(entry.path):
3         continue
4     if len(args.files) == 0:
5         yield entry.path

```

シミュレータの実行で `DBG_ADDR` を指定するようにします（リスト 3.80、リスト 3.81）。

▼リスト 3.80: `DBG_ADDR` をシミュレータに渡す (test/test.py)

```

1 def test(dbg_addr, romhex, file_name):
2     result_file_path = os.path.join(args.output_dir, file_name.replace(os.sep, "_") + ".txt")
3     env = f"DBG_ADDR={dbg_addr} "
4     cmd = f"{args.sim_path} {romhex} {file_name} 0"
5     success = False
6     with open(result_file_path, "w") as f:
7         no = f.fileno()
8         p = subprocess.Popen(" ".join([env, "exec", cmd]), shell=True, stdout=no, stderr=no)

```

▼リスト 3.81: `DBG_ADDR` を `test` 関数に渡す (test/test.py)

```

1 for elfpath in dir_walk(args.dir):
2     hexpath = elfpath + args.extension
3     if not os.path.exists(hexpath):
4         print("SKIP :", elfpath)
5         continue
6     dbg_addr = get_section_address(elfpath, args.debug_label)
7     f, s = test(dbg_addr, os.path.abspath(args.rom), os.path.abspath(hexpath))
8     res_strs.append(("PASS" if s else "FAIL") + " : " + f)
9     res_statuses.append(s)

```

`VERILATOR_FLAGS="-DTEST_MODE"` をつけてシミュレータをビルドし、riscv-tests が正常終了することを確かめてください。

### 3.6.6 入力を実装する

`dbg_membus` を使い、デバッグ入力処理を実装します。

まず、`src/tb_verilator.cpp` に、標準入力から 1 文字取得する関数を定義します（リスト 3.82）。入力がない場合は `0`、ある場合は上位 20 ビットを `0x01010` にした値を返します。

▼ リスト 3.82: 標準入力を 1 文字取得する関数の定義 (src/tb\_verilator.cpp)

```

1 extern "C" const unsigned long long get_input_dplic() {
2     unsigned char c = 0;
3     ssize_t bytes_read = read(STDIN_FILENO, &c, 1);
4
5     if (bytes_read == 1) {
6         return static_cast<unsigned long long>(c) | (0x01010ULL << 44);
7     }
8     return 0;
9 }
```

ここで、`read` 関数の呼び出しでシミュレータを止めず（`0_NONBLOCK`）、シェルが入力をバッファリングしなくする（`~ICANON`）ために設定を変えるコードを挿入します。また、シェルが文字列をローカルエコー（入力した文字列を表示）しないようにします（`~ECHO`）（リスト 3.83、リスト 3.84、リスト 3.85）。

▼ リスト 3.83: include を追加する (src/tb\_verilator.cpp)

```

1 #include <fcntl.h>
2 #include <termios.h>
3 #include <signal.h>
```

▼ リスト 3.84: 設定を変更、復元する関数の定義 (src/tb\_verilator.cpp)

```

1 struct termios old_setting;
2
3 void restore_termios_setting(void) {
4     tcsetattr(STDIN_FILENO, TCSANOW, &old_setting);
5 }
6
7 void sighandler(int signum) {
8     restore_termios_setting();
9     exit(signum);
10 }
11
12 void set_nonblocking(void) {
13     struct termios new_setting;
14
15     if (tcgetattr(STDIN_FILENO, &old_setting) == -1) {
16         perror("tcgetattr");
17         return;
18 }
```

```

18 }
19 new_setting = old_setting;
20 new_setting.c_lflag &= ~(ICANON | ECHO);
21 if (tcsetattr(STDIN_FILENO, TCSANOW, &new_setting) == -1) {
22     perror("tcsetattr");
23     return;
24 }
25 signal(SIGINT, sighandler);
26 signal(SIGTERM, sighandler);
27 signal(SIGQUIT, sighandler);
28 atexit(restore_termios_setting);
29
30 int flags = fcntl(STDIN_FILENO, F_GETFL, 0);
31 if (flags == -1) {
32     perror("fcntl(F_GETFL)");
33     return;
34 }
35 if (fcntl(STDIN_FILENO, F_SETFL, flags | O_NONBLOCK) == -1) {
36     perror("fcntl(F_SETFL)");
37     return;
38 }
39 }

```

▼リスト 3.85: 設定を変える関数を main 関数から呼び出す (src/tb\_verilator.cpp)

```

1 int main(int argc, char** argv) {
2     Verilated::commandArgs(argc, argv);
3
4     if (argc < 3) {
5         std::cout << "Usage: " << argv[0] << " ROM_FILE_PATH RAM_FILE_PATH [CYCLE]" << std::endl;
6     }
7     return 1;
8 }
9
10 #ifdef ENABLE_DEBUG_INPUT
11     set_nonblocking();
12 #endif

```

src/util.veryl に get\_input\_dpic 関数を呼び出す関数を実装します (リスト 3.86)。

▼リスト 3.86: get\_input 関数を定義する (src/util.veryl)

```

1 embed (inline) svr {{
2     package svutil;
3     ...
4     import "DPI-C" context function longint get_input_dpic();
5     function longint get_input();
6         return get_input_dpic();
7     endfunction
8     endpackage
9 }}}
10
11 package util {

```

```

12 ...
13     function get_input () -> u64 {
14         return $sv::svutil::get_input();
15     }
16 }

```

デバッグ用の入出力デバイスのロードで `util::get_input` の結果を返すようにします ( リスト 3.87 )。このコードは合成できないので、有効化オプション `ENABLE_DEBUG_INPUT` をつけます。

▼ リスト 3.87: 読み込みで `get_input` 関数を呼び出す (src/top.vervly)

```

1 always_ff {
2     dbg_membus.ready  = 1;
3     dbg_membus.rvalid = dbg_membus.valid;
4     if dbg_membus.valid {
5         if dbg_membus.wen {
6             ...
7         } else {
8             #[ifdef(ENABLE_DEBUG_INPUT)]
9             {
10                 dbg_membus.rdata = util::get_input();
11             }
12         }
13     }
14 }

```

### 3.6.7 入力をテストする

実装した入出力デバイスで文字を入出力できることを確認します。

`test/debug_input.c` を作成し、次のように記述します ( リスト 3.88 )。これは入力された文字に 1 を足した値を出力するプログラムです。

▼ リスト 3.88: `test/debug_input.c`

```

1 #define DEBUG_REG ((volatile unsigned long long*)0x40000000)
2
3 void main(void) {
4     while (1) {
5         unsigned long long c = *DEBUG_REG;
6         if (c & (0x01010ULL << 44) == 0) {
7             continue;
8         }
9         c = c & 255;
10        *DEBUG_REG = (c + 1) | (0x01010ULL << 44);
11    }
12 }

```

プログラムをコンパイルしてシミュレータを実行し、入力した文字が 1 文字ずれて表示されることを確認してください ( リスト 3.89 )。

## ▼リスト 3.89: テストプログラムを実行する

```
$ make build sim VERILATOR_FLAGS="-DENABLE_DEBUG_INPUT" ←入力を有効にしてシミュレータをビルド
$ ./obj_dir/sim bootrom.hex test/test.bin.hex ←(事前にHEXファイルを作成しておく
bcd← abcと入力して改行
efg← defと入力する
```

# 第 4 章

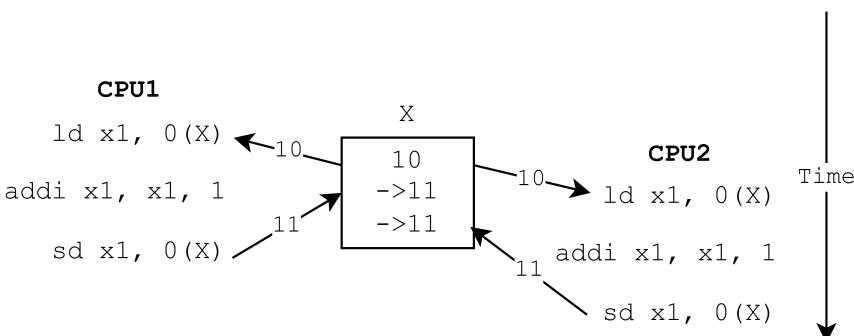
## A 拡張の実装

本章では、メモリの不可分操作を実現する A 拡張を実装します。A 拡張には Load-Reserved、Store-Conditional を実現する Zalrsc 拡張 (表 4.2)、ロードした値を加工し、その結果をメモリにストアする操作を単一の命令で実装する Zaamo 拡張 (表 4.1) が含まれています。A 拡張の命令を利用すると、同じメモリ空間で複数のソフトウェアを並列、並行して実行するとき、ソフトウェア間で同期をとりながら実行できます。

### 4.1 アトミック操作

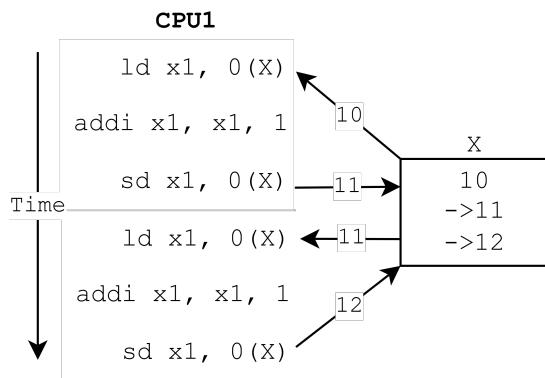
#### 4.1.1 アトミック操作とは何か？

アトミック操作 (Atomic operation、不可分操作) とは、他のシステムからその操作を観測するとき、1 つの操作として観測される操作のことです。つまり、他のシステムは、アトミック操作を行う前、アトミック操作を行った後の状態しか観測できません。



▲図 4.1: 図 4.2 のプログラムを 2 つに分割して 2 つの CPU で実行する (X は 11 になる)

アトミック操作は実行、観測される順序が重要なアプリケーションで利用します。例えば、アドレス X の値をロードして 1 を足した値を書き戻すプログラムを、2 つのコアで同時に実行するとし



▲図 4.2: 1 つの CPU でメモリ上の値を 2 回インクリメントする (X は 12 になる)

ます (図 4.1)。このとき命令の実行順序によっては、最終的な値が 1 つのコアで 2 回プログラムを実行した場合と異なってしまいます (図 4.2)。この状態を避けるためにはロード、加算、ストアをアトミックに行う必要があります。このアトミック操作の実現方法として、A 拡張は AMOADD 命令、LR 命令と SC 命令を提供します。

### 4.1.2 Zaamo 拡張

Zaamo 拡張は、値をロードして、演算した値をストアする操作を 1 つの命令で行う命令を定義しています。AMOADD 命令はロード、加算、ストアを行う单一の命令です。Zaamo 拡張は他にも簡単な操作を行う命令も提供しています。

### 4.1.3 Zalrsc 拡張

Zalrsc 拡張は、LR 命令と SC 命令を定義しています。LR、SC 命令は、それぞれ Load-Reserved、Store-Conditional 操作を実現する命令です。それぞれ次のように動作します。

#### LR 命令

指定されたアドレスのデータを読み込み、指定されたアドレスを予約セット (Reservation set) に登録します。ロードしたデータをレジスタにライトバックします。

#### SC 命令

指定されたアドレスが予約セットに存在する場合、指定されたアドレスにデータを書き込みます (ストア成功)。予約セットにアドレスが存在しない場合は書き込みません (ストア失敗)。ストアに成功したら 0、失敗したら 0 以外の値をレジスタにライトバックします。命令の実行後に必ず予約セットを空にします。

LR、SC 命令を使うことで、アトミックなロード、加算、ストアを次のように記述できます (リスト 4.1)。

▼表4.1: Zaamo拡張の命令

命令	動作(読み込んだ値をレジスタにライトバックする)
AMOSWAP.W/D	メモリから32/64ビット読み込み、rs2の値を書き込む
AMOADD.W/D	メモリから32/64ビット(符号付き)読み込みrs2(符号付き)の値を足して書き込む
AMOAND.W/D	メモリから32/64ビット(符号付き)読み込みrs2(符号付き)の値をAND演算して書き込む
AMOOR.W/D	メモリから32/64ビット(符号付き)読み込みrs2(符号付き)の値をOR演算して書き込む
AMOXOR.W/D	メモリから32/64ビット(符号付き)読み込みrs2(符号付き)の値をXOR演算して書き込む
AMOMIN.W/D	メモリから32/64ビット(符号付き)読み込みrs2(符号付き)の値と比べて小さい値を書き込む
AMOMAX.W/D	メモリから32/64ビット(符号付き)読み込みrs2(符号付き)の値と比べて大きい値を書き込む
AMOMINU.W/D	メモリから32/64ビット(符号無し)読み込みrs2(符号無し)の値と比べて小さい値を書き込む
AMOMAXU.W/D	メモリから32/64ビット(符号無し)読み込みrs2(符号無し)の値と比べて大きい値を書き込む

▼リスト4.1: LR、SC命令によるアトミックな加算

```

1 atomic_add:
2   LR.W x2, (x3) ←アドレスx3の値をx2にロード
3   ADDI x2, x2, 1 ←x2に1を足す
4   SC.W x4, x2, (x3) ←ストアを試行し、結果をx4に格納
5   BNEZ x4, atomic_add ←SC命令が失敗していたらやり直す

```

例えば同時に2つのコアがリスト4.1を実行するとき、同期をとれていない書き込みはSC命令で失敗します。失敗したらLR命令からやり直すことで、1つのコアで2回実行した場合と同一の結果(1を2回加算)になります。

予約セットのサイズは実装によって異なります。

▼表4.2: Zalrsc拡張の命令

命令	動作
LR.W/D	メモリから32/64ビット読み込み、予約セットにアドレスを登録する 読み込んだ値をレジスタにライトバックする
SC.W/D	予約セットにrs1の値が登録されている場合、メモリにrs2の値を書き込み 0をレジスタにライトバックする。予約セットにアドレスが登録されていない場合 メモリに書き込みず、0以外の値をレジスタにライトバックする。 命令の実行後に予約セットを空にする

#### 4.1.4 命令の順序

A拡張の命令のビット列は、それぞれ1ビットのaq、rlビットを含んでいます。このビットは、

他のコアやハードウェアスレッドからメモリ操作を観測したときにメモリ操作がどのような順序で観測されるかを制御するものです。

A拡張の命令をAとするとき、それぞれのビットの状態に応じて、Aによるメモリ操作は次のように観測されます。

### aq=0、rl=0

Aの前後でメモリ操作の順序は保証されません。

### aq=1、rl=0

Aの後ろにあるメモリを操作する命令は、Aのメモリ操作の後に観測されることが保証されます。

### aq=0、rl=1

Aのメモリ操作は、Aの前にあるメモリを操作する命令が観測できるようになった後に観測されることが保証されます。

### aq=1、rl=1

Aのメモリ操作は、Aの前にあるメモリを操作する命令よりも後、Aの後ろにあるメモリを操作する命令よりも前に観測されることが保証されます。

今のところ、CPUはメモリ操作を1命令ずつ直列に実行するため、常にaqが1、rlが1であるように動作します。そのため、本章ではaq、rlビットを考慮しないで実装を行います\*1。

## 4.2 命令のデコード

A拡張の命令はすべてR形式で、opcodeはOP-AMO(`7'b0101111`)です。それぞれの命令はfunct5(リスト4.3)とfunct3(Wは2、Dは3)で区別できます。

eeiパッケージにOP-AMOの定数を定義します(リスト4.2)。

### ▼リスト4.2: OP-AMOの定義(eei.veryl)

```
1 const OP_AMO      : logic<7> = 7'b0101111;
```

A拡張の命令を区別するための列挙型AMOOpを定義します(リスト4.3)。それぞれ命令のfunct5と対応しています。

### ▼リスト4.3: AMOOp型の定義(eei.veryl)

```
1 enum AMOOp: logic<5> {
2     LR = 5'b00010,
3     SC = 5'b00011,
4     SWAP = 5'b00001,
5     ADD = 5'b00000,
6     XOR = 5'b00100,
```

\*1 メモリ操作の並び替えによる高速化は応用編で検討します。

```

7      AND = 5'b01100,
8      OR = 5'b01000,
9      MIN = 5'b10000,
10     MAX = 5'b10100,
11     MINU = 5'b11000,
12     MAXU = 5'b11100,
13 }

```

### 4.2.1 is\_amo フラグを実装する

InstCtrl 構造体に、A拡張の命令であることを示す `is_amo` フラグを追加します（リスト 4.4）。

#### ▼リスト 4.4: InstCtrl に is\_amo を定義する (corectrl.veryl)

```

1  struct InstCtrl {
2      itype      : InstType      , // 命令の形式
3      rwb_en    : logic         , // レジスタに書き込むかどうか
4      is_lui    : logic         , // LUI命令である
5      is_aluop  : logic         , // ALUを利用する命令である
6      is_muldiv: logic         , // M拡張の命令である
7      is_op32   : logic         , // OP-32またはOP-IMM-32である
8      is_jump   : logic         , // ジャンプ命令である
9      is_load   : logic         , // ロード命令である
10     is_csr    : logic         , // CSR命令である
11     is_amo    : logic         , // AMO instruction
12     funct3   : logic <3>, // 命令のfunct3フィールド
13     funct7   : logic <7>, // 命令のfunct7フィールド
14 }

```

命令がメモリにアクセスするかを判定する `inst_is_memop` 関数を、`is_amo` フラグを利用するように変更します（リスト 4.5）。

#### ▼リスト 4.5: A拡張の命令がメモリにアクセスする命令と判定する (corectrl.veryl)

```

1  function inst_is_memop (
2      ctrl: input InstCtrl,
3  ) -> logic {
4      return ctrl.itype == InstType::S || ctrl.is_load || ctrl.is_amo;
5  }

```

`inst_decoder` モジュールの `InstCtrl` を生成している部分を変更します。opcode が `OP-AMO` のとき、`is_amo` を `T` に設定します（リスト 4.6）。その他の opcode の `is_amo` は `F` に設定してください。

#### ▼リスト 4.6: is\_amo フラグを追加する (inst\_decoder.veryl)

```

1      OP_SYSTEM: {
2          InstType::I, T, F, F, F, F, F, F, T, F
3      },
4      OP_AMO: {
5          InstType::R, T, F, F, F, F, F, F, F, T

```

```

6      },
7      default: {
8          InstType::X, F, F, F, F, F, F, F, F, F
9      },

```

また、A拡張の命令が有効な命令として判断されるようにします（リスト4.7）。

▼リスト4.7: A拡張の命令のとき、validフラグを立てる(inst\_decoder.veryl)

```

1     OP_MISC_MEM: T, // FENCE
2     OP_AMO    : f3 == 3'b010 || f3 == 3'b011, // AMO
3     default   : F,

```

## 4.2.2 アドレスを変更する

A拡張でアクセスするメモリのアドレスはrs1で指定されたレジスタの値です。これは基本整数命令セットのロードストア命令のアドレス指定方法(rs1と即値を足し合わせる)とは異なるため、memunitモジュールのaddrポートに割り当てる値をis\_amoフラグによって切り替えます（リスト4.8）。

▼リスト4.8: メモリアドレスをrs1レジスタの値にする(core.veryl)

```

1 var memu_rdata: UIntX;
2 var memu_stall: logic;
3 let memu_addr : Addr = if mems_ctrl.is_amo ? memq_rdata.rs1_data : memq_rdata.alu_result;
4
5 inst memu: memunit (
6     clk
7     ,
8     rst
9     ,
10    valid : mems_valid && !mems_expt.valid,
11    is_new: mems_is_new
12    ,
13    ctrl : mems_ctrl
14    ,
15    addr : memu_addr
16    ,
17    rs2 : memq_rdata.rs2_data
18    ,
19    rdata : memu_rdata
20    ,
21    stall : memu_stall
22    ,
23    membus: d_membus
24    ,
25 );

```

A拡張の命令のメモリアドレスが、操作するデータの幅に整列されていないとき、Store/AMO address misaligned例外が発生します。この例外はストア命令の場合の例外と同じです。

EXステージの例外判定でアドレスを使っている部分を変更します（リスト4.9）。causeとtvalの割り当てがストア命令の場合と同じになっていることを確認してください。

▼リスト4.9: 例外を判定するアドレスを変更する(core.veryl)

```

1 let memaddr : Addr = if exs_ctrl.is_amo ? exs_rs1_data : exs_a>
2 >lu_result;
2 let loadstore_address_misaligned : logic = inst_is_memop(exs_ctrl) && case exs_ctrl.fun>
>ct3[1:0] {

```

```

3      2'b00  : 0, // B
4      2'b01  : memaddr[0] != 1'b0, // H
5      2'b10  : memaddr[1:0] != 2'b0, // W
6      2'b11  : memaddr[2:0] != 3'b0, // D
7      default: 0,
8  };

```

### 4.2.3 ライトバックする条件を変更する

A拡張の命令を実行するとき、ロードした値をレジスタにライトバックするように変更します（リスト4.10）。

#### ▼リスト4.10: メモリからロードした値をライトバックする (core.veryl)

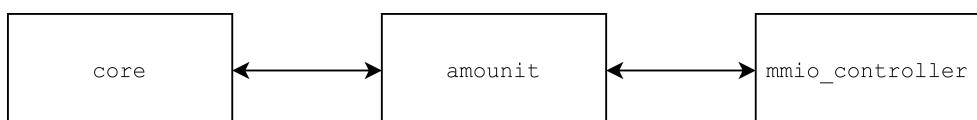
```

1  let wbs_wb_data: UIntX  = if wbs_ctrl.is_lui ?
2    wbs_imm
3    : if wbs_ctrl.is_jump ?
4      wbs_pc + 4
5    : if wbs_ctrl.is_load || wbs_ctrl.is_amo ?
6      wbq_rdata.mem_rdata
7    : if wbs_ctrl.is_csr ?

```

## 4.3 amounit モジュールの作成

A拡張は他のコア、ハードウェアスレッドと同期してメモリ操作を行うためのものであるため、A拡張の操作はcoreモジュールの外、メモリよりも前で行います。本書では、coreモジュールとmmio\_controllerモジュールの間に、A拡張の命令を処理するamounitモジュールを実装します（図4.3）。



▲図4.3: amounitモジュールと他のモジュールの接続

### 4.3.1 インターフェースを作成する

amounitモジュールにA拡張の操作を指示するために、`is_amo` フラグ、`aq` ビット、`rl` ビット、`AM0Op`型を`membus_if`インターフェースに追加で定義したインターフェースを作成します。

`src/core_data_if.veryl`を作成し、次のように記述します（リスト4.11）。

## ▼リスト 4.11: core\_data\_if.veryl

```

1 import eei::*;
2
3 interface core_data_if {
4     var valid : logic           ;
5     var ready : logic           ;
6     var addr  : logic<XLEN>     ;
7     var wen   : logic           ;
8     var wdata : logic<MEMBUS_DATA_WIDTH> ;
9     var wmask : logic<MEMBUS_DATA_WIDTH / 8>;
10    var rvalid: logic           ;
11    var rdata : logic<MEMBUS_DATA_WIDTH> ;
12
13    var is_amo: logic   ;
14    var aq     : logic   ;
15    var rl     : logic   ;
16    var amoop : AMOOp   ;
17    var funct3: logic<3>;
18
19    modport master {
20        valid : output,
21        ready : input ,
22        addr  : output,
23        wen   : output,
24        wdata : output,
25        wmask : output,
26        rvalid: input ,
27        rdata : input ,
28        is_amo: output,
29        aq   : output,
30        rl   : output,
31        amoop : output,
32        funct3: output,
33    }
34
35    modport slave {
36        ..converse(master)
37    }
38
39    modport all_input {
40        ..input
41    }
42}

```

### 4.3.2 amounit モジュールの作成

メモリ操作を core モジュールからそのまま mmio\_controller モジュールに受け渡しするだけのモジュールを作成します。 `src/amounit.veryl` を作成し、次のように記述します (リスト 4.12)。

## ▼リスト 4.12: amountunit.veryl

```

1 import eei::*;

2
3 module amountunit (
4     clk : input    clock      ,
5     rst : input    reset      ,
6     slave : modport core_data_if::slave,
7     master: modport Membus::master      ,
8 ) {
9
10    enum State {
11        Init,
12        WaitReady,
13        WaitValid,
14    }
15
16    var state      : State;
17    inst slave_saved: core_data_if;
18
19    // masterをリセットする
20    function reset_master () {
21        master.valid = 0;
22        master.addr  = 0;
23        master.wen   = 0;
24        master.wdata  = 0;
25        master.wmask  = 0;
26    }
27
28    // masterに要求を割り当てる
29    function assign_master (
30        addr : input Addr      ,
31        wen  : input logic     ,
32        wdata: input UIntX      ,
33        wmask: input logic<$size(UIntX) / 8>,
34    ) {
35        master.valid = 1;
36        master.addr  = addr;
37        master.wen   = wen;
38        master.wdata  = wdata;
39        master.wmask  = wmask;
40    }
41
42    // 新しく要求を受け入れる
43    function accept_request_comb () {
44        if slave.ready && slave.valid {
45            assign_master(slave.addr, slave.wen, slave.wdata, slave.wmask);
46        }
47    }
48
49    // slaveに結果を割り当てる
50    always_comb {
51        slave.ready  = 0;
52        slave.rvalid = 0;

```

```

53     slave.rdata  = 0;
54
55     case state {
56         State::Init: {
57             slave.ready = 1;
58         }
59         State::WaitValid: {
60             slave.ready  = master.rvalid;
61             slave.rvalid = master.rvalid;
62             slave.rdata  = master.rdata;
63         }
64         default: {}
65     }
66 }
67
68 // masterに要求を割り当てる
69 always_comb {
70     reset_master();
71     case state {
72         State::Init      : accept_request_comb();
73         State::WaitReady: {
74             assign_master(slave_saved.addr, slave_saved.wen, slave_saved.wdata, slave_saved>.wmask);
75         }
76         State::WaitValid: accept_request_comb();
77         default         : {}
78     }
79 }
80
81 // 新しく要求を受け入れる
82 function accept_request_ff () {
83     slave_saved.valid = slave.ready && slave.valid;
84     if slave.ready && slave.valid {
85         slave_saved.addr  = slave.addr;
86         slave_saved.wen   = slave.wen;
87         slave_saved.wdata = slave.wdata;
88         slave_saved.wmask = slave.wmask;
89         slave_saved.is_amo = slave.is_amo;
90         slave_saved.amoop = slave.amoop;
91         slave_saved.aq    = slave.aq;
92         slave_saved.rl    = slave.rl;
93         slave_saved.funct3 = slave.funct3;
94         state             = if master.ready ? State::WaitValid : State::WaitReady;
95     } else {
96         state = State::Init;
97     }
98 }
99
100 function on_clock () {
101     case state {
102         State::Init      : accept_request_ff();
103         State::WaitReady: if master.ready {
104             state = State::WaitValid;

```

```

105      }
106      State::WaitValid: if master.rvalid {
107          accept_request_ff();
108      }
109      default: {}
110  }
111 }
112
113 function on_reset () {
114     state          = State::Init;
115     slave_saved.addr = 0;
116     slave_saved.wen  = 0;
117     slave_saved.wdata = 0;
118     slave_saved.wmask = 0;
119     slave_saved.is_amo = 0;
120     slave_saved.amoop = 0 as AMOOp;
121     slave_saved.aq   = 0;
122     slave_saved.rl   = 0;
123     slave_saved.funct3 = 0;
124 }
125
126 always_ff {
127     if_reset {
128         on_reset();
129     } else {
130         on_clock();
131     }
132 }
133

```

amounit モジュールは `State::Init`、( `State::WaitReady`、) `State::WaitValid` の順に状態を移動し、通常のロードストア命令を処理します。

core モジュールのロードストア用のインターフェースを `membus_if` から `core_data_if` に変更します (リスト 4.13、リスト 4.14、リスト 4.15)。

▼リスト 4.13: `d_membus` の型を変更する (core.veryl)

```

1  i_membus: modport membus_if:<ILEN, XLEN>::master,
2  d_membus: modport core_data_if::master          ,
3  led      : output UIntX                      ,

```

▼リスト 4.14: `core_data_if` インターフェースのインスタンス化 (top.veryl)

```

1  inst d_membus_core: core_data_if;

```

▼リスト 4.15: ポート名に割り当てるインターフェースを変更する (top.veryl)

```

1  inst c: core (
2      clk          ,
3      rst          ,
4      i_membus     ,
5      d_membus: d_membus_core,

```

```

6      led          ,
7  );

```

memunit モジュールのインターフェースも変更し、`is_amo`、`aq`、`rl`、`amoop` に値を割り当てます（リスト 4.16、リスト 4.17、リスト 4.19、リスト 4.18、リスト 4.20）。

▼リスト 4.16: membus の型を変更する (memunit.veryl)

```

1  stall : output logic          , // メモリアクセス命令が完了していない
2  membus: modport core_data_if::master, // メモリとのinterface
3  )

```

▼リスト 4.17: 一時保存するレジスタの定義 (memunit.veryl)

```

1  var req_wen    : logic          ;
2  var req_addr   : Addr          ;
3  var req_wdata  : logic<MEMBUS_DATA_WIDTH>    ;
4  var req_wmask  : logic<MEMBUS_DATA_WIDTH / 8> ;
5  var req_is_amo: logic          ;
6  var req_amoop  : AMOOp          ;
7  var req_aq     : logic          ;
8  var req_rl     : logic          ;
9  var req_funct3: logic<3>      ;

```

▼リスト 4.18: レジスタをリセットする (memunit.veryl)

```

1  always_ff {
2      if_reset {
3          state      = State::Init;
4          req_wen    = 0;
5          req_addr   = 0;
6          req_wdata  = 0;
7          req_wmask  = 0;
8          req_is_amo = 0;
9          req_amoop  = 0 as AMOOp;
10         req_aq    = 0;
11         req_rl    = 0;
12         req_funct3 = 0;
13     } else {

```

▼リスト 4.19: membus にレジスタの値を割り当てる (memunit.veryl)

```

1  always_comb {
2      // メモリアクセス
3      membus.valid = state == State::WaitReady;
4      membus.addr  = req_addr;
5      membus.wen   = req_wen;
6      membus.wdata  = req_wdata;
7      membus.wmask  = req_wmask;
8      membus.is_amo = req_is_amo;
9      membus.amoop  = req_amoop;
10     membus.aq    = req_aq;
11     membus.rl    = req_rl;

```

```
12 membus.funct3 = req_funct3;
```

▼リスト4.20: メモリにアクセスする命令のとき、レジスタに情報を設定する(memunit.veryl)

```
1 case state {
2     State::Init: if is_new & inst_is_memop(ctrl) {
3         ...
4         req_is_amo = ctrl.is_amo;
5         req_amoop = ctrl.funct7[6:2] as AMOOp;
6         req_aq = ctrl.funct7[1];
7         req_rl = ctrl.funct7[0];
8         req_funct3 = ctrl.funct3;
9     }
10    State::WaitReady: if membus.ready {
```

amountunitモジュールをtopモジュールでインスタンス化し、coreモジュールとmmio\_controllerモジュールのインターフェースを接続します(リスト4.21)。

▼リスト4.21: amountunitモジュールをインスタンス化する(top.veryl)

```
1 inst amou: amountunit (
2     clk           ,
3     rst           ,
4     slave : d_membus_core,
5     master: d_membus   ,
6 );
```

## 4.4 Zalrsc拡張の実装

予約セットのサイズは実装が自由に決めることができます。本書では1つのアドレスのみ保持できるようにします。

### 4.4.1 LR.W、LR.D命令を実装する

32ビット幅、64ビット幅のLR命令を実装します。LR.W命令はmemunitモジュールで64ビットに符号拡張されるため、amountunitモジュールでLR.W命令とLR.D命令を区別する必要はありません。

amountunitモジュールに予約セットを作成します(リスト4.22、リスト4.23)。  
is\_addr\_reservedで、予約セットに有効なアドレスが格納されているかを管理します。

▼リスト4.22: 予約セットの定義(amountunit.veryl)

```
1 // lr/sc
2 var is_addr_reserved: logic;
3 var reserved_addr : Addr ;
```

## ▼リスト4.23: レジスタをリセットする (amounit.veryl)

```

1     is_addr_reserved  = 0;
2     reserved_addr     = 0;

```

LR命令を実行するとき、予約セットにアドレスを登録してロード結果を返すようにします（リスト4.24、リスト4.25、リスト4.26）。既に予約セットが使われている場合はアドレスを上書きします。

## ▼リスト4.24: accept\_request\_comb関数の実装 (amounit.veryl)

```

1  function accept_request_comb () {
2      if slave.ready && slave.valid {
3          if slave.is_amo {
4              case slave.amoop {
5                  AM0Op::LR: assign_master(slave.addr, 0, 0, 0);
6                  default : {}
7              }
8          } else {
9              assign_master(slave.addr, slave.wen, slave.wdata, slave.wmask);
10         }
11     }
12 }

```

## ▼リスト4.25: LR命令のときにmasterにロード要求を割り当てる (amounit.veryl)

```

1  always_comb {
2      reset_master();
3      case state {
4          State::Init      : accept_request_comb();
5          State::WaitReady: if slave_saved.is_amo {
6              case slave_saved.amoop {
7                  AM0Op::LR: assign_master(slave_saved.addr, 0, 0, 0);
8                  default : {}
9              }
10         } else {
11             assign_master(slave_saved.addr, slave_saved.wen, slave_saved.wdata, slave_saved>
12 .wmask);
13         }
14     }
15 }

```

## ▼リスト4.26: LR命令のときに予約セットを設定する (amounit.veryl)

```

1  function accept_request_ff () {
2      slave_saved.valid = slave.ready && slave.valid;
3      if slave.ready && slave.valid {
4          slave_saved.addr  = slave.addr;
5          ...
6          slave_saved.funct3 = slave.funct3;
7          if slave.is_amo {
8              case slave.amoop {
9                  AM0Op::LR: {
10                      // reserve address
11                      is_addr_reserved = 1;
12                      reserved_addr   = slave.addr;
13                  }
14              }
15          }
16      }
17  }

```

```

13         state      = if master.ready ? State::WaitValid : State::WaitRe>
14     >ady;
15         }
16     default: {}
17     }
18 } else {
19     state = if master.ready ? State::WaitValid : State::WaitReady;
20 }
```

#### 4.4.2 SC.W、SC.D命令を実装する

32ビット幅、64ビット幅のSC命令を実装します。SC.W命令はmemunitモジュールで書き込みマスクを設定しているため、amountunitモジュールでSC.W命令とSC.D命令を区別する必要はありません。

SC命令が成功、失敗したときに結果を返すための状態を `State` 型に追加します(リスト4.27)。

##### ▼リスト4.27: SC命令用の状態の定義(amountunit.veryl)

```

1 enum State {
2     Init,
3     WaitReady,
4     WaitValid,
5     SCSuccess,
6     SCFail,
7 }
```

それぞれの状態で結果を返し、新しく要求を受け入れるようにします(リスト4.28)。`State::SCSuccess`はSC命令に成功してストアが終わったときに結果を返します。成功したら `0`、失敗したら `1`を返します。

##### ▼リスト4.28: slaveにSC命令の結果を割り当てる(amountunit.veryl)

```

1 State::SCSuccess: {
2     slave.ready  = master.rvalid;
3     slave.rvalid = master.rvalid;
4     slave.rdata  = 0;
5 }
6 State::SCFail: {
7     slave.ready  = 1;
8     slave.rvalid = 1;
9     slave.rdata  = 1;
10 }
```

SC命令を受け入れるときに予約セットを確認し、アドレスが予約セットのアドレスと異なる場合は状態を `State::SCFail` に移動します(リスト4.29)。成功、失敗に関係なく、予約セットを空にします。

## ▼リスト 4.29: accept\_request\_ff 関数で予約セットを確認する (amounit.veryl)

```

1  AM0Op::SC: {
2      // reset reserved
3      let prev           : logic = is_addr_reserved;
4      is_addr_reserved = 0;
5      // check
6      if prev && slave.addr == reserved_addr {
7          state = if master.ready ? State::SCSuccess : State::WaitReady;
8      } else {
9          state = State::SCFail;
10     }
11 }

```

SC 命令でメモリの `ready` が 1 になるのを待っているとき、`ready` が 1 になったら状態を `State::SCSuccess` に移動します (リスト 4.30)。また、命令の実行が終了したときに新しく要求を受け入れるようにします。

## ▼リスト 4.30: SC 命令の状態遷移 (amounit.veryl)

```

1  function on_clock () {
2      case state {
3          State::Init      : accept_request_ff();
4          State::WaitReady: if master.ready {
5              if slave_saved.is_amo && slave_saved.amoop == AM0Op::SC {
6                  state = State::SCSuccess;
7              } else {
8                  state = State::WaitValid;
9              }
10         }
11         State::WaitValid: if master.rvalid {
12             accept_request_ff();
13         }
14         State::SCSuccess: if master.rvalid {
15             accept_request_ff();
16         }
17         State::SCFail: accept_request_ff();
18         default       : {}
19     }
20 }

```

SC 命令によるメモリへの書き込みを実装します (リスト 4.31、リスト 4.32)。

## ▼リスト 4.31: accept\_request\_comb 関数で、予約セットをチェックしてからストアを要求する (amounit.veryl)

```

1  case slave.amoop {
2      AM0Op::LR: assign_master(slave.addr, 0, 0, 0);
3      AM0Op::SC: if is_addr_reserved && slave.addr == reserved_addr {
4          @<b> assign_master(slave.addr, 1, slave.wdata, slave.wmask); |
5          @<b> }|
6          default: {}
7      }

```

## ▼リスト 4.32: master に値を割り当てる (amounit.veryl)

```

1  always_comb {
2      reset_master();
3      case state {
4          State::Init      : accept_request_comb();
5          State::WaitReady: if slave_saved.is_amo {
6              case slave_saved.amoop {
7                  AMOp::LR: assign_master(slave_saved.addr, 0, 0, 0);
8                  AMOp::SC: assign_master(slave_saved.addr, 1, slave_saved.wdata, slave_saved>
9                      .wmask);
10             default : {}
11         }
12     } else {
13         assign_master(slave_saved.addr, slave_saved.wen, slave_saved.wdata, slave_saved>
14             .wmask);
15     }
16     State::WaitValid           : accept_request_comb();
17     State::SCFail, State::SCSuccess: accept_request_comb();
18     default                   : {}
19 }
20 }
```

## 4.5 Zaamo 拡張の実装

Zaamo 拡張の命令はロード、演算、ストアを行います。本章では、Zaamo 拡張の命令を `State::Init` (、`State::AMOLoadReady` )、`State::AMOLoadValid` (、`State::AMOStoreReady` )、`State::AMOStoreValid` という状態遷移で処理するように実装します。

`State` 型に新しい状態を定義してください (リスト 4.33)。

## ▼リスト 4.33: Zaamo 拡張の命令用の状態の定義 (amounit.veryl)

```

1  enum State {
2      Init,
3      WaitReady,
4      WaitValid,
5      SCSuccess,
6      SCFail,
7      AMOLoadReady,
8      AMOLoadValid,
9      AMOStoreReady,
10     AMOStoreValid,
11 }
```

簡単に Zalrsc 拡張と区別するために、Zaamo 拡張による要求かどうかを判定する関数 (`is_Zaamo` ) を `core_data_if` インターフェースに作成します ( リスト 4.34、リスト 4.35 )。modport に `import` 宣言を追加してください。

## ▼リスト4.34: is\_Zaamo関数の定義(core\_data\_if.veryl)

```

1  function is_Zaamo () -> logic {
2      return is_amo && (amoop != AM0Op::LR && amoop != AM0Op::SC);
3  }

```

## ▼リスト4.35: masterにis\_Zaamo関数をimportする(core\_data\_if.veryl)

```

1  amoop   : output,
2  funct3 : output,
3  is_Zaamo: import,
4  }

```

ロードした値と `wdata`、フラグを利用して、ストアする値を生成する関数を作成します(リスト4.36)。32ビット演算のとき、下位32ビットと上位32ビットのどちらを使うかをアドレスによって判別しています。

## ▼リスト4.36: Zaamo拡張の命令の計算を行う関数の定義(amounit.veryl)

```

1  // AMO ALU
2  function calc_amo::<W: u32> (
3      amoop: input AM0Op ,
4      wdata: input logic<W>,
5      rdata: input logic<W>,
6  ) -> logic<W> {
7      let lts: logic = $signed(wdata) <: $signed(rdata);
8      let ltu: logic = wdata <: rdata;
9
10     return case amoop {
11         AM0Op::SWAP: wdata,
12         AM0Op::ADD : rdata + wdata,
13         AM0Op::XOR : rdata ^ wdata,
14         AM0Op::AND : rdata & wdata,
15         AM0Op::OR  : rdata | wdata,
16         AM0Op::MIN : if lts ? wdata : rdata,
17         AM0Op::MAX : if !lts ? wdata : rdata,
18         AM0Op::MINU: if ltu ? wdata : rdata,
19         AM0Op::MAXU: if !ltu ? wdata : rdata,
20         default   : 0,
21     };
22 }
23
24 // Zaamo拡張の命令のwdataを生成する
25 function gen_amo_wdata (
26     req : modport core_data_if::all_input,
27     rdata: input UIntX ,
28 ) -> UIntX {
29     case req.funct3 {
30         3'b010: { // word
31             let low   : logic = req.addr[2] == 0;
32             let rdata32: UInt32 = if low ? rdata[31:0] : rdata[63:32];
33             let wdata32: UInt32 = if low ? req.wdata[31:0] : req.wdata[63:32];
34             let result: UInt32 = calc_amo::<32>(req.amoop, wdata32, rdata32);
35             return if low ? {rdata[63:32], result} : {result, rdata[31:0]};
36     }
37 }

```

```

36      }
37      3'b011 : return calc_amo::<64>(req.amoop, req.wdata, rdata); // double
38      default: return 0;
39  }
40 }
```

ロードした値が命令の結果になるため、値を保持するためのレジスタを作成します（リスト4.37、リスト4.38）。

▼リスト4.37: ロードしたデータを格納するレジスタの定義 (amounit.veryl)

```

1 // amo
2 var zaamo_fetched_data: UIntX;
```

▼リスト4.38: レジスタのリセット (amounit.veryl)

```

1 reserved_addr      = 0;
2 zaamo_fetched_data = 0;
3 }
```

メモリアクセスが終了したら、ロードした値を返します（リスト4.39）。

▼リスト4.39: 命令の結果を返す (amounit.veryl)

```

1 State::AMOStoreValid: {
2     slave.ready  = master.rvalid;
3     slave.rvalid = master.rvalid;
4     slave.rdata  = zaamo_fetched_data;
5 }
```

状態に基づいて、メモリへのロード、ストア要求を割り当てます（リスト4.40、リスト4.41）。

▼リスト4.40: accept\_request\_comb関数で、まずロード要求を行う (amounit.veryl)

```

1 default: if slave.is_Zaamo() {
2     assign_master(slave.addr, 0, 0, 0);
3 }
```

▼リスト4.41: 状態に基づいてロード、ストア要求を行う (amounit.veryl)

```

1 State::AMOLoadReady           : assign_master  (slave_saved.addr, 0, 0, 0);
2 State::AMOLoadValid, State::AMOStoreReady: {
3     let rdata      : UIntX = if state == State::AMOLoadValid ? master.rdata : zaamo_fetch-
4     ed_data;
5     let wdata      : UIntX = gen_amo_wdata(slave_saved, rdata);
6     assign_master(slave_saved.addr, 1, wdata, slave_saved.wmask);
7 }
```

State::AMOStoreValid: accept\_request\_comb();

master、slaveの状態によってstateを遷移します（リスト4.42）。

▼リスト4.42: accept\_request\_ff関数で、masterのreadyによって次のstateを決める (amounit.veryl)

```
1 default: if slave.is_Zaamo() {  
2     state = if master.ready ? State::AMOLoadValid : State::AMOLoadReady;  
3 }
```

▼リスト 4.43: Zaamo 拡張の命令の状態の遷移 (amounit.veryl)

```
1 State::AMOLoadReady: if master.ready {  
2     state = State::AMOLoadValid;  
3 }  
4 State::AMOLoadValid: if master.rvalid {  
5     zaamo_fetched_data = master.rdata;  
6     state = if slave.ready ? State::AMOSToreValid : State::AMOSToreReady;  
7 }  
8 State::AMOSToreReady: if master.ready {  
9     state = State::AMOSToreValid;  
10 }  
11 State::AMOSToreValid: if master.rvalid {  
12     accept_request_ff();  
13 }
```

riscv-tests の `rv64ua-p-` から始まるテストを実行し、成功することを確認してください。

# 第 5 章

## C 拡張の実装

### 5.1 概要

これまでに実装した命令はすべて 32 ビット幅のものでした。RISC-V には 32 ビット幅以外の命令が定義されており、命令の下位ビットで何ビット幅の命令か判断できます（表 5.1）。

▼表 5.1: RISC-V の命令長とエンコーディング

命令幅	命令の下位 5 ビット
16-bit (aa ≠ 11)	xxxxa
32-bit (bbb ≠ 111)	bbb11

C 拡張は 16 ビット幅の命令を定義する拡張です。よく使われる命令の幅を 16 ビットに圧縮できるようにすることでコードサイズを削減できます。これ以降、C 拡張によって導入される 16 ビット幅の命令のことを RVC 命令と呼びます。

全ての RVC 命令には同じ操作をする 32 ビット幅の命令が存在します<sup>\*1</sup>。

RVC 命令は表図 5.1 の 9 つのフォーマットが定義されています。

`rs1'`、`rs2'`、`rd'` は 3 ビットのフィールドで、よく使われる 8 番 (x8) から 15 番 (x15) のレジスタを指定します。即値の並び方やそれぞれの命令の具体的なフォーマットについては、仕様書か「5.6.2 32 ビット幅の命令に変換する」(p.103) のコードを参照してください。

RV64I の CPU に実装される C 拡張には図 5.1 の RVC 命令が定義されています。

C.ADDIW 命令は RV32I の C 拡張に定義されている C.JAL 命令とエンコーディングが同じです。本書で実装するモジュールは RV32I の C 拡張にも対応したものになっています。RV32I の C 拡張については、仕様書か「5.6.2 32 ビット幅の命令に変換する」(p.103) のコードを参照してください。

C 拡張は浮動小数点命令をサポートする F、D 拡張が実装されている場合に他の命令を定義しま

<sup>\*1</sup> Zc\*拡張の一部の命令は複数の命令になります

Format	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
CR	funct4				rd/rs1				rs2				op					
CI	funct3		imm		rd/rs1				imm				op					
CSS	funct3		imm				rs2				op							
CIW	funct3		imm				rd'				op							
CL	funct3		imm		rs1'		imm		rd'		op							
CS	funct3		imm		rs1'		imm		rs2'		op							
CA	funct6				rd'/rs1'		funct2		rs2'		op							
CB	funct3		offset		rd'/rs1'		offset				op							
CJ	funct3		jump target				op											

▲図 5.1: RVC 命令のフォーマット

ですが、基本編では F、D 拡張を実装しないため実装、解説しません。

## 5.2 IALIGN の変更

「2.5 命令アドレスのミスアライン例外」(p.35) で解説したように、命令は IALIGN ビットに整列したアドレスに配置されます。C 拡張は IALIGN による制限を 16 ビットに緩め、全ての命令が 16 ビットに整列されたアドレスに配置されるように変更します。これにより、RVC 命令と 32 ビット幅の命令の組み合わせがあったとしても効果的にコードサイズを削減できます。

eei パッケージに定数 `IALIGN` を定義します (リスト 5.1)。

### ▼リスト 5.1: IALIGN の定義 (eei.veryl)

```
1 const IALIGN: u32 = 16;
```

mepc レジスタの書き込みマスクを変更して、トラップ時のジャンプ先アドレスに 16 ビットに整列されたアドレスを指定できるようにします (リスト 5.2)。

### ▼リスト 5.2: MEPC の書き込みマスクを変更する (eei.veryl)

```
1 const MEPC_WMASK : UIntX = 'hffff_ffff_ffff_ffffe;
```

命令アドレスのミスアライン例外の判定を変更します。IALIGN が 16 の場合は例外が発生しないようにします (リスト 5.3)。ジャンプ、分岐命令は 2 バイト単位のアドレスしか指定できないため、C 拡張が実装されている場合には例外が発生しません。

▼表 5.2: C拡張の命令

命令	32ビット幅での命令	形式
C.LWSP	lw rd, offset(x2)	CI
C.LDSP	ld rd, offset(x2)	CI
C.SWSP	sw rs2, offset(x2)	CSS
C.SDSP	sd rs2, offset(x2)	CSS
C.LW	lw rd, offset(rs)	CL
C.LD	ld rd, offset(rs)	CL
C.SW	sw rs2, offset(rs1)	CS
C.SD	sd rs2, offset(rs1)	CS
C.J	jal x0, offset	CJ
C.JR	jalr x0, 0(rs1)	CR
C.JALR	jalr x1, 0(rs1)	CR
C.BEQZ	beq rs1, x0, offset	CB
C.BNEZ	bne rs1, x0, offset	CB
C.LI	addi rd, x0, imm	CI
C.LUI	lui rd, imm	CI
C.ADDI	addi rd, rd, imm	CI
C.ADDIW	addiw rd, rd, imm	CI
C.ADDI16SP	addi x2, x2, imm	CI
C.ADDI4SPN	addi rd, x2, imm	CIW
C.SLLI	slli rd, rd, shamt	CI
C.SRLI	srli rd, rd, shamt	CB
C.SRAI	srai rd, rd, shamt	CB
C.ANDI	andi rd, rd, imm	CB
C.MV	add rd, x0, rs2	CR
C.ADD	add rd, rd, rs2	CR
C.AND	and rd, rd, rs2	CA
C.OR	or rd, rd, rs2	CA
C.XOR	xor rd, rd, rs2	CA
C.SUB	sub rd, rd, rs2	CA
C.EBREAK	ebreak	CR

▼リスト 5.3: IALIGN が 16 のときに例外が発生しないようにする (core.veril)

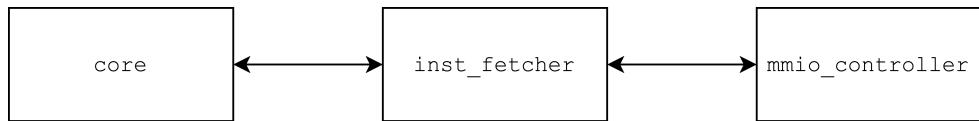
```
1      let instruction_address_misaligned: logic = IALIGN == 32 && memq_wdata.br_taken && memq_>
>wdata.jump_addr[1:0] != 2'b00;
```

## 5.3 実装方針

本章では次の順序で C拡張を実装します。

1. 命令フェッチ処理 (IF ステージ) を core モジュールから分離する
2. 16 ビットに整列されたアドレスに配置された 32 ビット幅の命令を処理できるようにする
3. RVC 命令を 32 ビット幅の命令に変換するモジュールを作成する
4. RVC 命令を 32 ビット幅の命令に変換して core モジュールに供給する

最終的な命令フェッチ処理の構成は図図 5.2 のようになります。



▲図 5.2: 命令フェッチ処理の構成

## 5.4 命令フェッチモジュールの実装

### 5.4.1 インターフェースを作成する

まず、命令フェッチを行うモジュールと core モジュールのインターフェースを定義します。

`src/core_inst_if.veryl` を作成し、次のように記述します (リスト 5.4)。

▼リスト 5.4: `core_inst_if.veryl`

```

1 import eei::*;

2
3 interface core_inst_if {
4     var rvalid  : logic;
5     var rready  : logic;
6     var raddr   : Addr ;
7     var rdata   : Inst ;
8     var is_hazard: logic;
9     var next_pc : Addr ;
10
11    modport master {
12        rvalid  : input ,
13        rready  : output,
14        raddr   : input ,
15        rdata   : input ,
16        is_hazard: output, // control hazard
17        next_pc : output, // actual next pc
18    }
19
20    modport slave {
21        ..converse(master)
22    }
23}

```

`rvalid`、`rready`、`raddr`、`rdata` は、core モジュールの FIFO(`if_fifo`) の `wvalid`、

`wready`、`wdata.addr`、`wdata.bits`と同じ役割を果たします。`is_hazard`、`next_pc`は制御ハザードの情報を伝えるための変数です。

### 5.4.2 core モジュールの IF ステージを削除する

core モジュールの IF ステージを削除し、`core_inst_if` インターフェースで代替します<sup>\*2</sup>。

core モジュールの `i_membus` の型を `core_inst_if` に変更します（リスト 5.5）。

#### ▼リスト 5.5: `i_membus` の型を変更する (core.veryl)

```
1 i_membus: modport core_inst_if::master,
```

IF ステージ部分のコードを次のように変更します（リスト 5.6）。

#### ▼リスト 5.6: IF ステージの変更 (core.veryl)

```
1 ////////////////////////////////////////////////////////////////// IF Stage //////////////////////////////////////////////////////////////////
2
3 var control_hazard      : logic;
4 var control_hazard_pc_next: Addr ;
5
6 always_comb {
7     i_membus.is_hazard = control_hazard;
8     i_membus.next_pc = control_hazard_pc_next;
9 }
```

core モジュールの新しい IF ステージ部分は、制御ハザードの情報をインターフェースに割り当てるだけの簡単なものになっています。`if_fifo_type` 型、`if_fifo_` から始まる変数は使わなくなったので削除してください。

ID ステージと `core_inst_if` インターフェースを接続します（リスト 5.7、リスト 5.8）。もともと `if_fifo` の `rvalid`、`rready`、`rdata` だった部分を `i_membus` に変更しています。

#### ▼リスト 5.7: ID ステージと `i_membus` を接続する (core.veryl)

```
1 let ids_valid      : logic      = i_membus.rvalid;
2 let ids_pc        : Addr       = i_membus.raddr;
3 let ids_inst_bits : Inst       = i_membus.rdata;
```

#### ▼リスト 5.8: EX ステージに進められるときに `rready` を 1 にする (core.veryl)

```
1 always_comb {
2     // ID -> EX
3     i_membus.rready = exq_wready;
4     exq_wvalid      = i_membus.rvalid;
5     exq_wdata.addr  = i_membus.raddr;
6     exq_wdata.bits  = i_membus.rdata;
7     exq_wdata.ctrl  = ids_ctrl;
8     exq_wdata.imm   = ids_imm;
```

<sup>\*2</sup> ここで削除するコードは次の「5.4.3 `inst_fetcher` モジュールを作成する」(p.94) で実装するコードと似通っているため、削除せずにコメントアウトしておくと少し楽に実装できます。

### 5.4.3 inst\_fetcher モジュールを作成する

IFステージの代わりに命令フェッチをするinst\_fetcherモジュールを作成します。inst\_fetcherモジュールでは命令フェッチ処理をfetch、issueの2段階で行います。

#### fetch

メモリから64ビットの値を読み込み、issueとの間のFIFOに格納する。アドレスを8進めて、次の64ビットを読み込む。

#### issue

fetchとの間のFIFOから64ビットを読み込み、32ビットずつcoreモジュールとの間のFIFOに格納する。

fetchとissueは並列に独立して動かします。

inst\_fetcherモジュールのポートを定義します。`src/inst_fetcher.veryl`を作成し、次のように記述します(リスト5.9)。

#### ▼リスト5.9: ポートの定義(inst\_fetcher.veryl)

```

1 module inst_fetcher (
2     clk      : input  clock          ,
3     rst      : input  reset          ,
4     core_if: modport core_inst_if::slave,
5     mem_if : modport Membus::master   ,
6 ) {
```

`core_if`はcoreモジュールとのインターフェース、`mem_if`はメモリとのインターフェースです。

fetchとissue、issueとcore\_ifとの間のFIFOを作成します(リスト5.10、リスト5.11)。

#### ▼リスト5.10: fetchとissueを繋ぐFIFOの作成(inst\_fetcher.veryl)

```

1 struct fetch_fifo_type {
2     addr: Addr          ,
3     bits: logic<MEMBUS_DATA_WIDTH>,
4 }
5
6 var fetch_fifo_flush : logic      ;
7 var fetch_fifo_wvalid: logic      ;
8 var fetch_fifo_wready: logic      ;
9 var fetch_fifo_wdata : fetch_fifo_type;
10 var fetch_fifo_rdata : fetch_fifo_type;
11 var fetch_fifo_rready: logic      ;
12 var fetch_fifo_rvalid: logic      ;
13
14 inst fetch_fifo: fifo #(
15     DATA_TYPE: fetch_fifo_type,
16     WIDTH     : 3          ,
17 ) (
18     clk          ,
19     rst          ,
```

```

20     flush      : fetch_fifo_flush ,
21     wready     : _ ,
22     wready_two: fetch_fifo_wready ,
23     wvalid     : fetch_fifo_wvalid,
24     wdata      : fetch_fifo_wdata ,
25     rready     : fetch_fifo_rready,
26     rvalid     : fetch_fifo_rvalid,
27     rdata      : fetch_fifo_rdata ,
28 );

```

## ▼リスト 5.11: issue と core モジュールを繋ぐ FIFO の作成 (inst\_fetcher.veryl)

```

1  struct issue_fifo_type {
2      addr: Addr,
3      bits: Inst,
4  }
5
6  var issue_fifo_flush : logic          ;
7  var issue_fifo_wvalid: logic          ;
8  var issue_fifo_wready: logic          ;
9  var issue_fifo_wdata : issue_fifo_type;
10 var issue_fifo_rdata : issue_fifo_type;
11 var issue_fifo_rready: logic          ;
12 var issue_fifo_rvalid: logic          ;
13
14 inst issue_fifo: fifo #(
15     DATA_TYPE: issue_fifo_type,
16     WIDTH    : 3
17 ) (
18     clk          ,
19     rst          ,
20     flush : issue_fifo_flush ,
21     wready: issue_fifo_wready,
22     wvalid: issue_fifo_wvalid,
23     wdata : issue_fifo_wdata ,
24     rready: issue_fifo_rready,
25     rvalid: issue_fifo_rvalid,
26     rdata : issue_fifo_rdata ,
27 );

```

メモリへのアクセス処理 (fetch) を実装します。FIFO に空きがあるとき、64 ビットの値を読み込んで PC を 8 進めます (リスト 5.12、リスト 5.13、リスト 5.14)。この処理は core モジュールの元の IF ステージとほとんど同じです。

## ▼リスト 5.12: PC と状態管理用の変数の定義 (inst\_fetcher.veryl)

```

1  var fetch_pc      : Addr ;
2  var fetch_requested : logic;
3  var fetch_pc_requested: Addr ;

```

## ▼リスト 5.13: メモリへの要求の割り当て (inst\_fetcher.veryl)

```

1  always_comb {
2      mem_if.valid = 0;
3      mem_if.addr  = 0;
4      mem_if.wen   = 0;
5      mem_if.wdata = 0;
6      mem_if.wmask = 0;
7      if !core_if.is_hazard {
8          mem_if.valid = fetch_fifo_wready;
9          if fetch_requested {
10             mem_if.valid = mem_if.valid && mem_if.rvalid;
11         }
12         mem_if.addr = fetch_pc;
13     }
14 }

```

## ▼リスト 5.14: PC、状態の更新 (inst\_fetcher.veryl)

```

1  always_ff {
2      if_reset {
3          fetch_pc      = INITIAL_PC;
4          fetch_requested = 0;
5          fetch_pc_requested = 0;
6      } else {
7          if core_if.is_hazard {
8              fetch_pc      = {core_if.next_pc[XLEN - 1:3], 3'b0};
9              fetch_requested = 0;
10             fetch_pc_requested = 0;
11         } else {
12             if fetch_requested {
13                 if mem_if.rvalid {
14                     fetch_requested = mem_if.ready && mem_if.valid;
15                     if mem_if.ready && mem_if.valid {
16                         fetch_pc_requested = fetch_pc;
17                         fetch_pc      += 8;
18                     }
19                 }
20             } else {
21                 if mem_if.ready && mem_if.valid {
22                     fetch_requested = 1;
23                     fetch_pc_requested = fetch_pc;
24                     fetch_pc      += 8;
25                 }
26             }
27         }
28     }
29 }

```

メモリから読み込んだ値を issue との間の FIFO に格納します (リスト 5.15)。

## ▼リスト 5.15: ロードした 64 ビットの値を FIFO に格納する (inst\_fetcher.veryl)

```

1  // memory -> fetch_fifo
2  always_comb {

```

```

3     fetch_fifo_flush      = core_if.is_hazard;
4     fetch_fifo_wvalid     = fetch_requested && mem_if.rvalid;
5     fetch_fifo_wdata.addr = fetch_pc_requested;
6     fetch_fifo_wdata.bits = mem_if.rdata;
7 }

```

core モジュールに命令を供給する処理(issue)を実装します。FIFOにデータが入っているとき、32ビットずつcoreモジュールとの間のFIFOに格納します。2つの32ビットの命令をFIFOに格納出来たら、fetchとの間のFIFOを読み進めます(リスト5.16、リスト5.17)。

▼リスト5.16:オフセットの更新(inst\_fetcher.veryl)

```

1 var issue_pc_offset: logic<3>;
2
3 always_ff {
4     if_reset {
5         issue_pc_offset = 0;
6     } else {
7         if core_if.is_hazard {
8             issue_pc_offset = core_if.next_pc[2:0];
9         } else {
10            if issue_fifo_wready && issue_fifo_wvalid {
11                issue_pc_offset += 4;
12            }
13        }
14    }
15 }

```

▼リスト5.17:issue\_fifoに32ビットずつ命令を格納する(inst\_fetcher.veryl)

```

1 // fetch_fifo <-> issue_fifo
2 always_comb {
3     let raddr : Addr                  = fetch_fifo_rdata.addr;
4     let rdata : logic<MEMBUS_DATA_WIDTH> = fetch_fifo_rdata.bits;
5     let offset: logic<3>              = issue_pc_offset;
6
7     fetch_fifo_rready = 0;
8     issue_fifo_wvalid = 0;
9     issue_fifo_wdata  = 0;
10
11    if !core_if.is_hazard && fetch_fifo_rvalid {
12        if issue_fifo_wready {
13            fetch_fifo_rready = offset == 4;
14            issue_fifo_wvalid = 1;
15            issue_fifo_wdata.addr = {raddr[msb:3], offset};
16            issue_fifo_wdata.bits = case offset {
17                0      : rdata[31:0],
18                4      : rdata[63:32],
19                default: 0,
20            };
21        }
22    }
23 }

```

`core_if` と FIFO を接続します (リスト 5.18)。

▼リスト 5.18: `issue_fifo` とインターフェースを接続する (`inst_fetcher.veryl`)

```

1  // issue_fifo <-> core
2  always_comb {
3      issue_fifo_flush  = core_if.is_hazard;
4      issue_fifo_rready = core_if.rready;
5      core_if.rvalid    = issue_fifo_rvalid;
6      core_if.raddr     = issue_fifo_rdata.addr;
7      core_if.rdata     = issue_fifo_rdata.bits;
8  }
```

#### 5.4.4 `inst_fetcher` モジュールと `core` モジュールを接続する

top モジュールで、`core_inst_if` をインスタンス化します。 (リスト 5.19)。

▼リスト 5.19: インターフェースの定義 (`top.veryl`)

```
1  inst i_membus_core: core_inst_if;
```

`inst_fetcher` モジュールをインスタンス化し、`core` モジュールと接続します (リスト 5.20、リスト 5.21)。

▼リスト 5.20: `inst_fetcher` モジュールのインスタンス化 (`top.veryl`)

```

1  inst fetcher: inst_fetcher (
2      clk           ,
3      rst           ,
4      core_if: i_membus_core,
5      mem_if : i_membus      ,
6  );
```

▼リスト 5.21: インターフェースを変更する (`top.veryl`)

```

1  inst c: core (
2      clk           ,
3      rst           ,
4      i_membus: i_membus_core,
5      d_membus: d_membus_core,
6      led           ,
7  );
```

`inst_fetcher` モジュールが 64 ビットのデータを 32 ビットの命令の列に変換してくれたようになったので、`d_membus` との調停のところで 32 ビットずつ選択する必要がなくなりました。そのため、`rdata` をそのまま割り当てて、`memarb_last_iaddr` 変数とビットの選択処理を削除します (リスト 5.22、リスト 5.23、リスト 5.24)。

▼リスト 5.22: 使用しない変数を削除する (`top.veryl`)

```

1  var memarb_last_i: logic;
2  var memarb_last_iaddr: Addr;
```

## ▼リスト 5.23: 使用しない変数を削除する (top.veryl)

```

1  always_ff {
2      if_reset {
3          memarb_last_i = 0;
4          memarb_last_i = 0;
5      } else {
6          if mmio_membus.ready {
7              memarb_last_i = !d_membus.valid;
8              memarb_last_i_addr = i_membus.addr;
9          }
10     }
11 }

```

## ▼リスト 5.24: ビットの選択処理を削除する (top.veryl)

```

1  always_comb {
2      i_membus.ready = mmio_membus.ready && !d_membus.valid;
3      i_membus.rvalid = mmio_membus.rvalid && memarb_last_i;
4      i_membus.rdata = mmio_membus.rdata;

```

## 5.5

## 16ビット境界に配置された32ビット幅の命令のサポート

inst\_fetcher モジュールで、アドレスが 2 バイトの倍数の 32 ビット幅の命令を core モジュールに供給できるようにします。

アドレスの下位 3 ビット ( `issue_pc_offset` ) が 6 の場合、issue と core の間に供給する命令のビット列は `fetch_fifo_rdata` の上位 16 ビットと `fetch_fifo` に格納されている次のデータの下位 16 ビットを結合したものになります。このとき、`fetch_fifo_rdata` のデータの下位 16 ビットとアドレスを保存して、次のデータを読み出します。`fetch_fifo` から次のデータを読み出せたら、保存していたデータと結合し、アドレスとともに `issue_fifo` に書き込みます。`issue_pc_offset` が 0 、 2 、 4 の場合、既存の処理との変更点はありません。

`fetch_fifo_rdata` のデータの下位 16 ビットとアドレスを保持する変数を作成します (リスト 5.25)。

## ▼リスト 5.25: データを一時保存するための変数の定義 (inst\_fetcher.veryl)

```

1  var issue_is_rdata_saved: logic      ;
2  var issue_saved_addr    : Addr      ;
3  var issue_saved_bits   : logic<16>; // rdata[63:48]

```

`issue_pc_offset` が 6 のとき、変数にデータを保存します (リスト 5.26)。

## ▼リスト 5.26: offset が 6 のとき、変数に命令の下位 16 ビットとアドレスを保存する (inst\_fetcher.veryl)

```

1  always_ff {
2      if_reset {

```

```

3      issue_pc_offset      = 0;
4      issue_is_rdata_saved = 0;
5      issue_saved_addr    = 0;
6      issue_saved_bits    = 0;
7  } else {
8      if core_if.is_hazard {
9          issue_pc_offset      = core_if.next_pc[2:0];
10         issue_is_rdata_saved = 0;
11     } else {
12         // offsetが6な32ビット命令の場合、
13         // アドレスと上位16ビットを保存してFIFOを読み進める
14         if issue_pc_offset == 6 && !issue_is_rdata_saved {
15             if fetch_fifo_rvalid {
16                 issue_is_rdata_saved = 1;
17                 issue_saved_addr    = fetch_fifo_rdata.addr;
18                 issue_saved_bits    = fetch_fifo_rdata.bits[63:48];
19             }
20         } else {
21             if issue_fifo_wready && issue_fifo_wvalid {
22                 issue_pc_offset      += 4;
23                 issue_is_rdata_saved = 0;
24             }
25         }
26     }
27 }
28 }
```

issue\_pc\_offset が 2、6 の場合の issue\_fifo への書き込みを実装します (リスト 5.27)。  
 6 の場合、保存していた 16 ビットと新しく読み出した 16 ビットを結合した値、保存していたアドレスを書き込みます。

▼リスト 5.27: issue\_fifo に offset が 2、6 の命令を格納する (inst\_fetcher.veryl)

```

1  if !core_if.is_hazard && fetch_fifo_rvalid {
2      if issue_fifo_wready {
3          if offset == 6 {
4              // offsetが6な32ビット命令の場合、
5              // 命令は{rdata[15:0], rdata[63:48]}になる
6              if issue_is_rdata_saved {
7                  issue_fifo_wvalid      = 1;
8                  issue_fifo_wdata.addr = {issue_saved_addr[msb:3], offset};
9                  issue_fifo_wdata.bits = {rdata[15:0], issue_saved_bits};
10             } else {
11                 // Read next 8 bytes
12                 fetch_fifo_rready = 1;
13             }
14         } else {
15             fetch_fifo_rready      = offset == 4;
16             issue_fifo_wvalid      = 1;
17             issue_fifo_wdata.addr = {raddr[msb:3], offset};
18             issue_fifo_wdata.bits = case offset {
19                 0      : rdata[31:0],
20                 2      : rdata[47:16],
```

```

21          4      : rdata[63:32],
22          default: 0,
23      };
24  }
25 }
26

```

32ビット幅の命令の下位16ビットが既に保存されている(`issue_is_rdata_saved`が1)とき、`fetch_fifo`から供給されるデータには、32ビット幅の命令の上位16ビットを除いた残りの48ビットが含まれているので`fetch_fifo_rready`を1に設定しないことに注意してください。

## 5.6 RVC命令の変換

### 5.6.1 RVC命令フラグの実装

RVC命令を32ビット幅の命令に変換するモジュールを作る前に、RVC命令かどうかを示すフラグを作成します。

まず、`core_inst_if`インターフェースと`InstCtrl`構造体に`is_rvc`フラグを追加します(リスト5.28、リスト5.29、リスト5.30)。

#### ▼リスト5.28: is\_rvcフラグの定義(`core_inst_if.veryl`)

```

1  var rdata    : Inst ;
2  var is_rvc  : logic;
3  var is_hazard: logic;

```

#### ▼リスト5.29: modportにis\_rvcを追加する(`core_inst_if.veryl`)

```

1  modport master {
2      rvalid   : input ,
3      rready   : output,
4      raddr    : input ,
5      rdata    : input ,
6      is_rvc   : input ,
7      is_hazard: output, // control hazard
8      next_pc  : output, // actual next pc
9  }

```

#### ▼リスト5.30: InstCtrl型にis\_rvcフラグを追加する(`corectrl.veryl`)

```

1  is_amo   : logic      , // AMO instruction
2  is_rvc   : logic      , // RVC instruction
3  funct3  : logic <3>, // 命令のfunct3フィールド

```

`inst_fetcher`モジュールで、`is_rvc`を0に設定して`core`モジュールに供給します(リスト5.31、リスト5.32、リスト5.33)。

## ▼リスト 5.31: issue\_fifo\_type型にis\_rvcフラグを追加する(inst\_fetcher.veryl)

```

1  struct issue_fifo_type {
2      addr : Addr ,
3      bits : Inst ,
4      is_rvc: logic,
5  }

```

## ▼リスト 5.32: is\_rvcフラグを0に設定する(inst\_fetcher.veryl)

```

1  if offset == 6 {
2      // offsetが6な32ビット命令の場合、
3      // 命令は{rdata_next[15:0], rdata[63:48]}になる
4      if issue_is_rdata_saved {
5          issue_fifo_wvalid      = 1;
6          issue_fifo_wdata.addr  = {issue_saved_addr[msb:3], offset};
7          issue_fifo_wdata.bits  = {rdata[15:0], issue_saved_bits};
8          issue_fifo_wdata.is_rvc = 0;
9      } else {
10         // Read next 8 bytes
11         fetch_fifo_rready = 1;
12     }
13 } else {
14     fetch_fifo_rready      = offset == 4;
15     issue_fifo_wvalid      = 1;
16     issue_fifo_wdata.addr  = {raddr[msb:3], offset};
17     issue_fifo_wdata.bits  = case offset {
18         0      : rdata[31:0],
19         2      : rdata[47:16],
20         4      : rdata[63:32],
21         default: 0,
22     };
23     issue_fifo_wdata.is_rvc = 0;
24 }

```

## ▼リスト 5.33: is\_rvcフラグを接続する(inst\_fetcher.veryl)

```

1  always_comb {
2      issue_fifo_flush  = core_if.is_hazard;
3      issue_fifo_rready = core_if.rready;
4      core_if.rvalid    = issue_fifo_rvalid;
5      core_if.raddr     = issue_fifo_rdata.addr;
6      core_if.rdata     = issue_fifo_rdata.bits;
7      core_if.is_rvc   = issue_fifo_rdata.is_rvc;
8  }

```

inst\_decoderモジュールで、InstCtrl構造体のis\_rvcフラグを設定します(リスト5.34、リスト5.35、リスト5.36)。また、C拡張が無効なのにRVC命令が供給されたらvalidフラグを0に設定します。

## ▼リスト 5.34: is\_rvcフラグをポートに追加する(inst\_decoder.veryl)

```

1  module inst_decoder (
2      bits : input Inst ,

```

```

3  is_rvc: input logic ,
4  valid : output logic ,
5  ctrl  : output InstCtrl,
6  imm   : output UIntX ,
7 ) {

```

## ▼リスト 5.35: InstCtrl に is\_rvc フラグを設定する (inst\_decoder.veryl)

```

1      default: {
2          InstType::X, F, F, F, F, F, F, F, F, F
3      },
4      }, is_rvc, f3, f7
5  };

```

## ▼リスト 5.36: IALIGN が 32 ではないとき、不正な命令にする (inst\_decoder.veryl)

```

1  OP_AMO      : f3 == 3'b010 || f3 == 3'b011, // AMO
2  default     : F,
3  } && (IALIGN == 16 || !is_rvc); // IALIGN == 32のとき、C拡張は無効

```

core モジュールで、inst\_decoder モジュールに is\_rvc フラグを渡します (リスト 5.37)。

## ▼リスト 5.37: is\_rvc フラグを inst\_decoder に渡す (core.veryl)

```

1  inst decoder: inst_decoder (
2      bits  : ids_inst_bits ,
3      is_rvc: i_membus.is_rvc,
4      valid : ids_inst_valid ,
5      ctrl  : ids_ctrl        ,
6      imm   : ids_imm         ,
7  );

```

ジャンプ命令でライトバックする値は次の命令のアドレスであるため、RVC 命令の場合は PC に 2 を足した値を設定します (リスト 5.38)。

## ▼リスト 5.38: 次の命令のアドレスを変える (core.veryl)

```

1  let wbs_wb_data: UIntX    = if wbs_ctrl.is_lui ?
2      wbs_imm
3      : if wbs_ctrl.is_jump ?
4          wbs_pc + (if wbs_ctrl.is_rvc ? 2 : 4)
5      : if wbs_ctrl.is_load || wbs_ctrl.is_amo ?

```

## 5.6.2 32ビット幅の命令に変換する

RVC 命令の opcode、funct などのフィールドを読んで、32 ビット幅の命令を生成する rvc\_converter モジュールを実装します。

その前に、命令のフィールドを引数に 32 ビット幅の命令を生成する関数を実装します。src/inst\_gen\_pkg.veryl を作成し、次のように記述します (リスト 5.39)。関数の名前は基本的に命令名と同じにしていますが、Veryl のキーワードと被るものは inst\_ を prefix にしています。

## ▼リスト 5.39: 命令のビット列を生成する関数を定義する (inst\_gen\_pkg.veryl)

```

1 import eei::*;
2
3 package inst_gen_pkg {
4     function add (rd: input logic<5>, rs1: input logic<5>, rs2: input logic<5>) -> Inst {
5         return {7'b0000000, rs2, rs1, 3'b000, rd, OP_OP};
6     }
7
8     function addw (rd: input logic<5>, rs1: input logic<5>, rs2: input logic<5>) -> Inst {
9         return {7'b0000000, rs2, rs1, 3'b000, rd, OP_OP_32};
10    }
11
12    function addi (rd : input logic<5> , rs1: input logic<5> , imm: input logic<12>) -> Inst {
13        return {imm, rs1, 3'b000, rd, OP_OP_IMM};
14    }
15
16    function addiw (rd: input logic<5> ,rs1: input logic<5>, imm: input logic<12>) -> Inst {
17        return {imm, rs1, 3'b000, rd, OP_OP_IMM_32};
18    }
19
20    function sub (rd: input logic<5>,rs1: input logic<5>, rs2: input logic<5>) -> Inst {
21        return {7'b0100000, rs2, rs1, 3'b000, rd, OP_OP};
22    }
23
24    function subw (rd: input logic<5>, rs1: input logic<5>, rs2: input logic<5>) -> Inst {
25        return {7'b0100000, rs2, rs1, 3'b000, rd, OP_OP_32};
26    }
27
28    function inst_xor (rd: input logic<5>, rs1: input logic<5>, rs2: input logic<5>) -> Inst {
29        return {7'b0000000, rs2, rs1, 3'b100, rd, OP_OP};
30    }
31
32    function inst_or (rd: input logic<5>, rs1: input logic<5>, rs2: input logic<5>) -> Inst {
33        return {7'b0000000, rs2, rs1, 3'b110, rd, OP_OP};
34    }
35
36    function inst_and (rd: input logic<5>, rs1: input logic<5>, rs2: input logic<5>) -> Inst {
37        return {7'b0000000, rs2, rs1, 3'b111, rd, OP_OP};
38    }
39
40    function andi (rd: input logic<5> , rs1: input logic<5>, imm: input logic<12>) -> Inst {
41        return {imm, rs1, 3'b111, rd, OP_OP_IMM};
42    }
43
44    function slli (rd: input logic<5>, rs1: input logic<5>, shamt: input logic<6>) -> Inst {
45        return {6'b000000, shamt, rs1, 3'b001, rd, OP_OP_IMM};
46    }
47
48    function srli (rd: input logic<5>, rs1: input logic<5>, shamt: input logic<6>) -> Inst {
49        return {6'b000000, shamt, rs1, 3'b101, rd, OP_OP_IMM};
50    }
51
52    function srai (rd: input logic<5>, rs1: input logic<5>, shamt: input logic<6>) -> Inst {

```

```

53     return {6'b010000, shamt, rs1, 3'b101, rd, OP_OP_IMM};
54 }
55
56     function lui (rd: input logic<5>, imm: input logic<20>) -> Inst {
57         return {imm, rd, OP_LUI};
58     }
59
60     function load (rd: input logic<5>, rs1: input logic<5>, imm: input logic<12>, funct3: input > logic<3>) -> Inst {
61         return {imm, rs1, funct3, rd, OP_LOAD};
62     }
63
64     function store (rs1: input logic<5>, rs2: input logic<5>, imm: input logic<12>, funct3: input > t logic<3>) -> Inst {
65         return {imm[11:5], rs2, rs1, funct3, imm[4:0], OP_STORE};
66     }
67
68     function jal (rd : input logic<5>, imm: input logic<20>) -> Inst {
69         return {imm[19], imm[9:0], imm[10], imm[18:11], rd, OP_JAL};
70     }
71
72     function jalr (rd: input logic<5>, rs1: input logic<5>, imm: input logic<12>) -> Inst {
73         return {imm, rs1, 3'b000, rd, OP_JALR};
74     }
75
76     function beq (rs1: input logic<5>, rs2: input logic<5>, imm: input logic<12>) -> Inst {
77         return {imm[11], imm[9:4], rs2, rs1, 3'b000, imm[3:0], imm[10], OP_BRANCH};
78     }
79
80     function bne (rs1: input logic<5>, rs2: input logic<5>, imm: input logic<12>) -> Inst {
81         return {imm[11], imm[9:4], rs2, rs1, 3'b001, imm[3:0], imm[10], OP_BRANCH};
82     }
83
84     function ebreak () -> Inst {
85         return 32'h00100073;
86     }
87 }

```

rvc\_converter モジュールのポートを定義します。 `src/rvc_converter.veryl` を作成し、次のように記述します（リスト 5.40）。

▼リスト 5.40: ポートの定義 (rvc\_converter.veryl)

```

1 import eei::*;
2 import inst_gen_pkg::*;
3
4 module rvc_converter (
5     inst16: input logic<16>,
6     is_rvc: output logic ,
7     inst32: output Inst ,
8 ) {

```

rvc\_converter モジュールは、`inst16` で 16 ビットの値を受け取り、それが RVC 命令な

ら `is_rvc` を 1 にして、`inst32` に同じ意味の 32 ビット幅の命令を出力する組み合わせ回路です。

`inst16` からソースレジスタ番号を生成します (リスト 5.41)。`rs1d`、`rs2d` の番号の範囲は `x8` から `x15` です。

▼リスト 5.41: レジスタ番号の生成 (rvc\_converter.veryl)

```
1  let rs1 : logic<5> = inst16[11:7];
2  let rs2 : logic<5> = inst16[6:2];
3  let rs1d: logic<5> = {2'b01, inst16[9:7]};
4  let rs2d: logic<5> = {2'b01, inst16[4:2]};
```

`inst16` から即値を生成します (リスト 5.42)。

▼リスト 5.42: 即値の生成 (rvc\_converter.veryl)

```
1  let imm_i    : logic<12> = {inst16[12] repeat 7, inst16[6:2]};
2  let imm_shamt: logic<6>  = {inst16[12], inst16[6:2]};
3  let imm_j    : logic<20> = {inst16[12] repeat 10, inst16[8], inst16[10:9], inst16[6], inst16
>[7], inst16[2], inst16[11], inst16[5:3]};
4  let imm_br   : logic<12> = {inst16[12] repeat 5, inst16[6:5], inst16[2], inst16[11:10], inst
>16[4:3]};
5  let c0_mem_w : logic<12> = {5'b0, inst16[5], inst16[12:10], inst16[6], 2'b0}; // C.LW, C.SW
6  let c0_mem_d : logic<12> = {4'b0, inst16[6:5], inst16[12:10], 3'b0}; // C.LD, C.SD
```

`inst16` から 32 ビット幅の命令を生成します (リスト 5.43)。opcode(`inst16[1:0]`) が 2'b11 以外なら 16 ビット幅の命令なので、`is_rvc` に 1 を割り当てます。`inst32` には、初期値として右に `inst16` を詰めてゼロで拡張した値を割り当てます。

32 ビット幅の命令への変換は opcode、funct、レジスタ番号などで分岐して地道に実装します。32 ビット幅の命令に変換できないとき `inst32` の値を更新しません。

`inst16` が不正な RVC 命令のとき、`inst_decoder` モジュールでデコードできない命令を core モジュールに供給して Illegal instruction 例外を発生させ、tval に 16 ビット幅の不正な命令が設定されます。

▼リスト 5.43: RVC命令を 32 ビット幅の命令に変換する (rvc\_converter.veryl)

```
1  always_comb {
2      is_rvc = inst16[1:0] != 2'b11;
3      inst32 = {16'b0, inst16};
4
5      let funct3: logic<3> = inst16[15:13];
6      case inst16[1:0] { // opcode
7          2'b00: case funct3 { // C0
8              3'b000: if inst16 != 0 { // C.ADDI4SPN
9                  let nzuimm: logic<10> = {inst16[10:7], inst16[12:11], inst16[5], inst16[6], >
10                 2'b0};
11                  inst32 = addi(rs2d, 2, {2'b0, nzuimm});
12              }
13              3'b010: inst32 = load(rs2d, rs1d, c0_mem_w, 3'b010); // C.LW
14      }
15  }
```

```

13      3'b011: if XLEN >= 64 { // C.LD
14          inst32 = load(rs2d, rs1d, c0_mem_d, 3'b011);
15      }
16      3'b110: inst32 = store(rs1d, rs2d, c0_mem_w, 3'b010); // C.SW
17      3'b111: if XLEN >= 64 { // C.SD
18          inst32 = store(rs1d, rs2d, c0_mem_d, 3'b011);
19      }
20      default: {}
21  }
22  2'b01: case funct3 { // C1
23      3'b000: inst32 = addi(rs1, rs1, imm_i); // C.ADDI
24      3'b001: inst32 = if XLEN == 32 ? jal(1, imm_j) : addiw(rs1, rs1, imm_i); // C.JAL
25      3'b010: inst32 = addi(rs1, 0, imm_i); // C.LI
26      3'b011: if rs1 == 2 { // C.ADDI16SP
27          let imm : logic<10> = {inst16[12], inst16[4:3], inst16[5], inst16[2], imm_i[15:16], imm_i[14:12], imm_i[11:10], imm_i[9:8], imm_i[7:6], imm_i[5:4], imm_i[3:2], imm_i[1:0], imm_i[0:0]}; // C.ADDI16SP
28          inst32 = addi(2, 2, {imm[msb] repeat 2, imm}); // C.ADDI16SP
29      } else { // C.LUI
30          inst32 = lui(rs1, {imm_i[msb] repeat 8, imm_i}); // C.LUI
31      }
32      3'b100: case inst16[11:10] { // funct2 or funct6[1:0]
33          2'b00: if !(XLEN == 32 & imm_shamt[msb] == 1) {
34              inst32 = srli(rs1d, rs1d, imm_shamt); // C.SRLI
35          }
36          2'b01: if !(XLEN == 32 & imm_shamt[msb] == 1) {
37              inst32 = srai(rs1d, rs1d, imm_shamt); // C.SRAI
38          }
39          2'b10: inst32 = andi(rs1d, rs1d, imm_i); // C.ANDI
40          2'b11: if inst16[12] == 0 {
41              case inst16[6:5] {
42                  2'b00 : inst32 = sub(rs1d, rs1d, rs2d); // C.SUB
43                  2'b01 : inst32 = inst_xor(rs1d, rs1d, rs2d); // C.XOR
44                  2'b10 : inst32 = inst_or(rs1d, rs1d, rs2d); // C.OR
45                  2'b11 : inst32 = inst_and(rs1d, rs1d, rs2d); // C.AND
46                  default: {}
47              }
48          } else {
49              if XLEN >= 64 {
50                  if inst16[6:5] == 2'b00 {
51                      inst32 = subw(rs1d, rs1d, rs2d); // C.SUBW
52                  } else if inst16[6:5] == 2'b01 {
53                      inst32 = addw(rs1d, rs1d, rs2d); // C.ADDW
54                  }
55              }
56          }
57          default: {}
58      }
59      3'b101 : inst32 = jal(0, imm_j); // C.J
60      3'b110 : inst32 = beq(rs1d, 0, imm_br); // C.BEQZ
61      3'b111 : inst32 = bne(rs1d, 0, imm_br); // C.BNEZ
62      default: {}
63  }

```

```

64      2'b10: case funct3 { // C2
65          3'b000: if !(XLEN == 32 && imm_shamt[msb] == 1) {
66              inst32 = slli(rs1, rs1, imm_shamt); // C.SLLI
67          }
68          3'b010: if rs1 != 0 { // C.LWSP
69              let offset: logic<8> = {inst16[3:2], inst16[12], inst16[6:4], 2'b0};
70              inst32 = load(rs1, 2, {4'b0, offset}, 3'b010);
71          }
72          3'b011: if XLEN >= 64 && rs1 != 0 { // C.LDSP
73              let offset: logic<9> = {inst16[4:2], inst16[12], inst16[6:5], 3'b0};
74              inst32 = load(rs1, 2, {3'b0, offset}, 3'b011);
75          }
76          3'b100: if inst16[12] == 0 {
77              inst32 = if rs2 == 0 ? jalr(0, rs1, 0) : addi(rs1, rs2, 0); // C.JR / C.M>
>V
78      } else {
79          if rs2 == 0 {
80              inst32 = if rs1 == 0 ? ebreak() : jalr(1, rs1, 0); // C.EBREAK : C.JA>
>LR
81          } else {
82              inst32 = add(rs1, rs1, rs2); // C.ADD
83          }
84      }
85      3'b110: { // C.SWSP
86          let offset: logic<8> = {inst16[8:7], inst16[12:9], 2'b0};
87          inst32 = store(2, rs2, {4'b0, offset}, 3'b010);
88      }
89      3'b111: if XLEN >= 64 { // C.SDSP
90          let offset: logic<9> = {inst16[9:7], inst16[12:10], 3'b0};
91          inst32 = store(2, rs2, {3'b0, offset}, 3'b011);
92      }
93      default: {}
94  }
95  default: {}
96 }
97 }

```

### 5.6.3 RVC命令を発行する

inst\_fetcherモジュールで rvc\_converter モジュールをインスタンス化し、RVC命令を core モジュールに供給します。

まず、rvc\_converter モジュールをインスタンス化します（リスト 5.44）。

#### ▼リスト 5.44: rvc\_converter モジュールのインスタンス化 (inst\_fetcher.veryl)

```

1 // instruction converter
2 var rvcc_inst16: logic<16>;
3 var rvcc_is_rvc: logic      ;
4 var rvcc_inst32: Inst      ;
5
6 inst rvcc: rvc_converter (
7     inst16: case issue_pc_offset {

```

```

8      0      : fetch_fifo_rdata.bits[15:0],
9      2      : fetch_fifo_rdata.bits[31:16],
10     4      : fetch_fifo_rdata.bits[47:32],
11     6      : fetch_fifo_rdata.bits[63:48],
12     default: 0,
13 },
14 is_rvc: rvcc_is_rvc,
15 inst32: rvcc_inst32,
16 );

```

RVC命令のとき、変換された32ビット幅の命令をissue\_fifoに書き込み、issue\_pc\_offsetを4ではなく2増やすようにします(リスト5.45、リスト5.46)。

#### ▼リスト5.45: RVC命令のときのオフセットの更新(inst\_fetcher.veryl)

```

1 // offsetが6な32ビット命令の場合、
2 // アドレスと上位16ビットを保存してFIFOを読み進める
3 if issue_pc_offset == 6 && !rvcc_is_rvc && !issue_is_rdata_saved {
4     if fetch_fifo_rvalid {
5         issue_is_rdata_saved = 1;
6         issue_saved_addr    = fetch_fifo_rdata.addr;
7         issue_saved_bits    = fetch_fifo_rdata.bits[63:48];
8     }
9 } else {
10     if issue_fifo_wready && issue_fifo_wvalid {
11         issue_pc_offset    += if issue_is_rdata_saved || !rvcc_is_rvc ? 4 : 2;
12         issue_is_rdata_saved = 0;
13     }
14 }

```

#### ▼リスト5.46: RVC命令のときのissue\_fifoへの書き込み(inst\_fetcher.veryl)

```

1 if !core_if.is_hazard && fetch_fifo_rvalid {
2     if issue_fifo_wready {
3         if offset == 6 {
4             // offsetが6な32ビット命令の場合、
5             // 命令は{rdata_next[15:0], rdata[63:48]}になる
6             if issue_is_rdata_saved {
7                 issue_fifo_wvalid      = 1;
8                 issue_fifo_wdata.addr = {issue_saved_addr[msb:3], offset};
9                 issue_fifo_wdata.bits = {rdata[15:0], issue_saved_bits};
10                issue_fifo_wdata.is_rvc = 0;
11            } else {
12                fetch_fifo_rready = 1;
13                if rvcc_is_rvc {
14                    issue_fifo_wvalid      = 1;
15                    issue_fifo_wdata.addr = {raddr[msb:3], offset};
16                    issue_fifo_wdata.is_rvc = 1;
17                    issue_fifo_wdata.bits = rvcc_inst32;
18                } else {
19                    // Read next 8 bytes
20                }
21            }

```

```
22 } else {
23     fetch_fifo_rready = !rvcc_is_rvc && offset == 4;
24     issue_fifo_wvalid = 1;
25     issue_fifo_wdata.addr = {raddr[msb:3], offset};
26     if rvcc_is_rvc {
27         issue_fifo_wdata.bits = rvcc_inst32;
28     } else {
29         issue_fifo_wdata.bits = case offset {
30             0      : rdata[31:0],
31             2      : rdata[47:16],
32             4      : rdata[63:32],
33             default: 0,
34         };
35     }
36     issue_fifo_wdata.is_rvc = rvcc_is_rvc;
37 }
38 }
39 }
```

riscv-tests の `rv64uc-p-` から始まるテストを実行し、成功することを確認してください。

## 第 II 部

# 特権/割り込みの実装

## 第 6 章

# M-mode の実装 (1. CSR の実装)

### 6.1 概要

「第 II 部 RV64IMAC の実装」では、RV64IMAC と例外、メモリマップド I/O を実装しました。  
「第 III 部 特権/割り込みの実装」では、次の機能を実装します。

- 特権レベル (M-mode、S-mode、U-mode)
- 仮想記憶システム (ページング)
- 割り込み (CLINT、PLIC)

これらの機能を実装した CPU は OS を動かせる十分な機能を持っています。第 III 部の最後では Linux を動かします。

#### 6.1.1 特権レベルとは何か？

CPU で動くアプリケーションは様々ですが、多くのアプリケーションは OS(Operating System、オペレーティングシステム) の上で動かすことを前提に作成されています。「OS の上で動かす」とは、アプリケーションは OS の機能を使い、OS に管理されながら実行されるということです。

多くの OS はデバイスやメモリなどのリソースの管理を行い、簡単にそれを扱うためのインターフェースをアプリケーションに提供します。また、アプリケーションのデータを別のアプリケーションから保護したり、OS が提供する方法でしかデバイスにアクセスできなくなるなどのセキュリティ機能も備えています。

セキュリティ機能を実現するためには、OS がアプリケーションを実行するときに CPU が提供する一部の機能を制限する機能が必要です。RISC-V では、この機能を特権レベル (privilege level) という機能、枠組みによって提供しています。ほとんどの特権レベルの機能は CSR を通じて提供されます。

特権レベルは M-mode、S-mode、U-mode の 3 種類<sup>\*1</sup>が用意されています。それぞれの特権レベ

<sup>\*1</sup> V 拡張が実装されている場合、さらに仮想化のための特権レベルが定義されます。

ルは2ビットの数値で表すことができます (リスト 6.1)。数値が大きい方が高い特権レベルです。

高い特権レベルには低い特権レベルの機能を制限する機能があつたり、高い特権レベルでしか利用できない機能が定義されています。

特権レベルを表す `PrivMode` 型を eei パッケージに定義してください (リスト 6.1)。

▼リスト 6.1: `PrivMode` 型の定義 (eei.veryl)

```
1 enum PrivMode: logic<2> {
2     M = 2'b11,
3     S = 2'b01,
4     U = 2'b00,
5 }
```

## 6.1.2 特権レベルの実装順序

RISC-V の CPU に特権レベルを実装するとき、表 6.1 のいずれかの構成にする必要があります。特権レベルを実装していないときは M-mode だけが実装されているように扱います。

▼表 6.1: RISC-V の CPU がとれる構成

存在する特権レベル	実装する章
M-mode	第6章「M-mode の実装 (1. CSR の実装)」
M-mode、U-mode	第8章「U-mode の実装」
M-mode、S-mode、U-mode	第9章「S-mode の実装 (1. CSR の実装)」

CPU がリセット (起動) したときの特権レベルは M-mode です。現在の特権レベルを保持するレジスタを `csrunit` モジュールに作成します (リスト 6.2、リスト 6.3)。

▼リスト 6.2: 現在の特権レベルを示すレジスタの定義 (csrunit.veryl)

```
1 var mode: PrivMode;
```

▼リスト 6.3: レジスタを M-mode でリセットする (csrunit.veryl)

```
1 always_ff {
2     if_reset {
3         mode      = PrivMode::M;
```

本書で実装する M-mode の CSR のアドレスをすべて定義します (リスト 6.4)。本章ではこの中の一部の CSR を実装し、新しく実装する機能で使うタイミングで他の CSR を解説、実装します

▼リスト 6.4: CSR のアドレスを定義する (eei.veryl)

```
1 enum CsrAddr: logic<12> {
2     // Machine Information Registers
3     MIMPID = 12'hf13,
4     MHARTID = 12'hf14,
5     // Machine Trap Setup
6     MSTATUS = 12'h300,
```

```

7      MISA = 12'h301,
8      MEDELEG = 12'h302,
9      MIDELEG = 12'h303,
10     MIE = 12'h304,
11     MTVEC = 12'h305,
12     MCOUNTEREN = 12'h306,
13     // Machine Trap Handling
14     MSCRATCH = 12'h340,
15     MEPC = 12'h341,
16     MCAUSE = 12'h342,
17     MVAL = 12'h343,
18     MIP = 12'h344,
19     // Machine Counter/Timers
20     MCYCLE = 12'hB00,
21     MINSTRET = 12'hB02,
22     // Custom
23     LED = 12'h800,
24 }
```

### 6.1.3 XLEN の定義

M-mode の CSR の多くは、特権レベルが M-mode のときの XLEN である MXLEN をビット幅として定義されています。S-mode、U-mode のときの XLEN はそれぞれ SXLEN、UXLEN と定義されており、`MXLEN >= SXLEN >= UXLEN` を満たします。仕様上は mstatus レジスタを使用して SXLEN、UXLEN を変更できるように実装できますが、本書では MXLEN、SXLEN、UXLEN が常に 64 (eei パッケージに定義している XLEN) になるように実装します。

## 6.2 misa レジスタ (Machine ISA)

63	62	61	26	25	0
MXL		0		Extensions	
2		38		26	

▲図 6.1: misa レジスタ

misa レジスタは、ハードウェアスレッドがサポートする ISA を表す MXLEN ビットのレジスタです。MXL フィールドには MXLEN を表す数値（表 6.2）が格納されています。Extensions フィールドは下位ビットからそれぞれアルファベットの A、B、C と対応していて、それぞれのビットはそのアルファベットが表す拡張（例えば A 拡張なら A ビット、C 拡張なら C）が実装されているなら 1 に設定されています。仕様上は Extensions フィールドを書き換えられるように実装できますが、本書では書き換えられないようにします。

misa レジスタを作成し、読み込めるようにします（リスト 6.5、リスト 6.6）。CPU

▼表 6.2: XLEN と数値の対応

XLEN	数値
32	1
64	2
128	3

は RV64IMAC なので MXL フィールドに 64 を表す 2 を設定し、Extensions フィールドの M 拡張 (M)、基本整数命令セット (I)、C 拡張 (C)、A 拡張 (A) のビットを 1 にしています。

▼リスト 6.5: misa レジスタの定義 (csrunit.veryl)

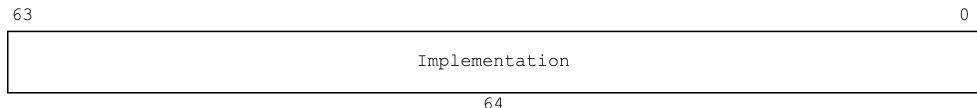
```
1 let misa : UIntX = {2'd2, 1'b0 repeat XLEN - 28, 26'b0000000000000001000100000101}; // M, I,>
> C, A
```

▼リスト 6.6: misa レジスタを読めるようにする (csrunit.veryl)

```
1 rdata = case csr_addr {
2     CsrAddr::MISA : misa,
```

これ以降、A という CSR の B フィールド、ビットのことを A.B と表記することができます。

## 6.3 mimpid レジスタ (Machine Implementation ID)



▲図 6.2: mimpid レジスタ

mimpid レジスタは、プロセッサ実装のバージョンを表す値を格納している MXLEN ビットのレジスタです。値が 0 のときは、mimpid レジスタが実装されていないことを示します。

他にもプロセッサの実装の情報を表すレジスタ (mvendorid<sup>\*2</sup>、marchid<sup>\*3</sup>) がありますが、本書では実装しません。

せっかくなので、適当な値を設定しましょう。eei パッケージに ID を定義して、読み込めるようにします (リスト 6.7、リスト 6.8)。

▼リスト 6.7: ID を適当な値で定義する (eei.veryl)

```
1 // Machine Implementation ID
2 const MACHINE_IMPLEMENTATION_ID: UIntX = 1;
```

<sup>\*2</sup> 製造業者の ID(JEDEC ID) を格納します

<sup>\*3</sup> マイクロアーキテクチャの種類を示す ID を格納します

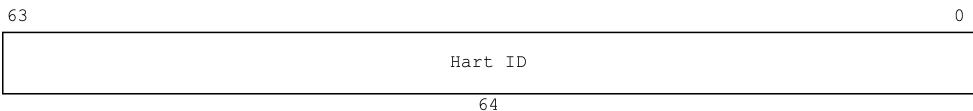
## ▼リスト 6.8: mipmid レジスタを読めるようにする (csrunit.veryl)

```

1  rdata = case csr_addr {
2      CsrAddr::MISA  : misa,
3      CsrAddr::MIMPID: MACHINE_IMPLEMENTATION_ID,

```

## 6.4 mhartid レジスタ (Hart ID)



▲図 6.3: mhartid レジスタ

mhartid レジスタは、今実行しているハードウェアスレッド (hart) の ID を格納している MXLEN ビットのレジスタです。複数のプロセッサ、ハードウェアスレッドが存在するときに、それぞれを区別するために使用します。ID はどんな値でも良いですが、環境内に ID が 0 のハードウェアスレッドが 1 つ存在する必要があります。基本編で作る CPU は 1 コア 1 ハードウェアスレッドであるため mhartid レジスタに 0 を設定します。

mhart レジスタを作成し、読み込めるようにします (リスト 6.9、リスト 6.10)。

## ▼リスト 6.9: mhartid レジスタの定義 (csrunit.veryl)

```

1  let mhartid: UIntX = 0;

```

## ▼リスト 6.10: mhartid レジスタを読めるようにする (csrunit.veryl)

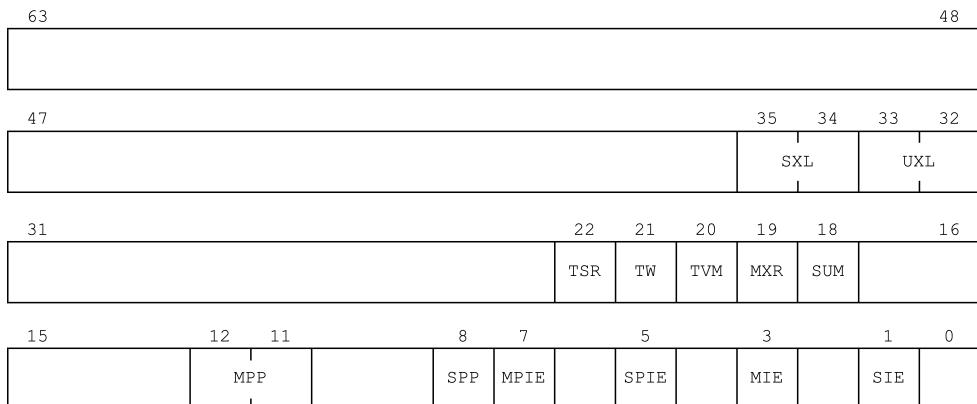
```

1  rdata = case csr_addr {
2      CsrAddr::MISA  : misa,
3      CsrAddr::MIMPID: MACHINE_IMPLEMENTATION_ID,
4      CsrAddr::MHARTID: mhartid,

```

## 6.5 mstatus レジスタ (Machine Status)

mstatus レジスタは、拡張の設定やトラップ、状態などを管理する MXLEN ビットのレジスタです。基本編では図 6.4 に示しているフィールドを、そのフィールドが必要になったときに実装します。とりあえず今のところは読み込みだけできるようにします (リスト 6.11、リスト 6.12、リスト 6.13、リスト 6.14、リスト 6.15、リスト 6.16)。



▲図 6.4: mstatus レジスタ

## ▼リスト 6.11: 書き込みマスクの定義 (csrunit.veryl)

```
1 const MSTATUS_WMASK: UIntX = 'h0000_0000_0000_0000 as UIntX;
```

## ▼リスト 6.12: 書き込みマスクを設定する (csrunit.veryl)

```
1 wmask = case csr_addr {
2     CsrAddr::MSTATUS: MSTATUS_WMASK,
```

## ▼リスト 6.13: mstatus レジスタの定義 (csrunit.veryl)

```
1 var mstatus: UIntX;
```

## ▼リスト 6.14: mstatus レジスタを読めるようにする (csrunit.veryl)

```
1 rdata = case csr_addr {
2     CsrAddr::MISA    : misa,
3     CsrAddr::MIMPID : MACHINE_IMPLEMENTATION_ID,
4     CsrAddr::MHARTID: mhartid,
5     CsrAddr::MSTATUS: mstatus,
```

## ▼リスト 6.15: mstatus レジスタのリセット (csrunit.veryl)

```
1 always_ff {
2     if_reset {
3         mode    = PrivMode::M;
4         mstatus = 0;
```

## ▼リスト 6.16: mstatus レジスタの書き込み (csrunit.veryl)

```
1 if is_wsc {
2     case csr_addr {
3         CsrAddr::MSTATUS: mstatus = wdata;
4         CsrAddr::MTVEC   : mtvec   = wdata;
```

## 6.6 ハードウェアパフォーマンスマニタ

RISC-V には、ハードウェアの性能評価指標を得るために mcycle と minstret、それぞれ 29 個の mhpmccounter、mhpmevent レジスタが定義されています。それぞれ次の値を得るために利用できます。

### **mcycle レジスタ (64 ビット)**

ハードウェアスレッドが起動 (リセット) されてから経過したサイクル数

### **minstret レジスタ (64 ビット)**

ハードウェアスレッドがリタイア (実行完了) した命令数

### **mhpmccounter、mhpmevent レジスタ (64 ビット)**

mhpmevent レジスタで選択された指標が mhpmccounter レジスタに反映されます。

基本編では mcycle、minstret レジスタを実装します。mhpmccounter、mhpmevent レジスタは表示するような指標がないため実装しません。また、mcountinhibit レジスタを使うとカウントを停止するかを制御できますが、これも実装しません。

#### 6.6.1 mcycle レジスタ

mcycle レジスタを定義して読み込めるようにします。(リスト 6.17、リスト 6.18)。

##### ▼リスト 6.17: mcycle レジスタの定義 (csrunit.veryl)

```
1  var mcycle : UInt64;
```

##### ▼リスト 6.18: rdata の割り当てで、mcycle レジスタを読めるようにする (csrunit.veryl)

```
1  CsrAddr::MCYCLE : mcycle,
```

always\_ff ブロックで、クロックごとに値を更新します (リスト 6.19)。

##### ▼リスト 6.19: mcycle レジスタのリセットとインクリメント (csrunit.veryl)

```
1  always_ff {
2      if_reset {
3          mode      = PrivMode::M;
4          mstatus   = 0;
5          mtvec    = 0;
6          mcycle  = 0;
7          mepc    = 0;
8          mcause   = 0;
9          mtval    = 0;
10         led     = 0;
11     } else {
12         mcycle += 1;
13     }
14 }
```

## 6.6.2 minstret レジスタ

core モジュールで instret レジスタを作成し、トラップが発生していない命令が WB ステージに到達した場合にインクリメントします ( リスト 6.20、リスト 6.21 )。

### ▼ リスト 6.20: minstret レジスタの定義 (core.veryl)

```
1  var minstret      : UInt64;
```

### ▼ リスト 6.21: minstret レジスタのインクリメント (core.veryl)

```
1  always_ff {
2      if_reset {
3          minstret = 0;
4      } else {
5          if wbq_rvalid && wbq_rready && !wbq_rdata.raise_trap {
6              minstret += 1;
7          }
8      }
9  }
```

`minstret` の値を csrunit モジュールに渡し、読み込めるようにします ( リスト 6.22、リスト 6.23、リスト 6.24 )。

### ▼ リスト 6.22: csrunit モジュールのポートに minstret を追加する (csrunit.veryl)

```
1  minstret : input UInt64 ,
```

### ▼ リスト 6.23: csrunit モジュールのインスタンスに minstret レジスタを渡す (core.veryl)

```
1  minstret ,
```

### ▼ リスト 6.24: minstret レジスタを読めるようにする (csrunit.veryl)

```
1  CsrAddr::MCYCLE  : mcycle,
2  CsrAddr::MINSTRET: minstret,
3  CsrAddr::MEPC    : mepc,
```

csrunit モジュールは MRET 命令でも `raise_trap` フラグを立てるため、このままでは MRET 命令で `minstret` がインクリメントされません。そのため、トラップから戻る命令であることを示すフラグを csrunit モジュールに作成し、正しくインクリメントされるようにします ( リスト 6.25、リスト 6.26、リスト 6.27、リスト 6.28 )。

### ▼ リスト 6.25: csrunit モジュールのポートに trap\_return を追加する (csrunit.veryl)

```
1  trap_return: output logic ,
```

### ▼ リスト 6.26: MRET 命令の時に trap\_return を 1 にする (csrunit.veryl)

```
1  // Trap Return
2  assign trap_return = valid && is_mret && !raise_expt;
3
```

```
4 // Trap
5 assign raise_trap = raise_expt || trap_return;
```

▼リスト 6.27: csrunit モジュールのインスタンスから trap\_return を受け取る (core.veryl)

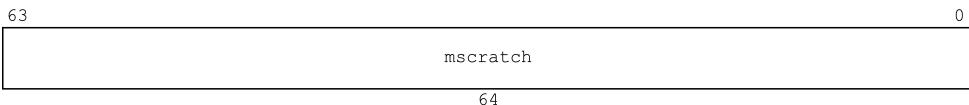
```
1 trap_return: csru_trap_return ,
```

▼リスト 6.28: MRET 命令なら raise\_trap フラグを立てないようにする (core.veryl)

```
1 wbq_wdata.raise_trap = csru_raise_trap && !csru_trap_return;
```

## 6.7

## mscratch レジスタ (Machine Scratch)



▲図 6.5: mscratch レジスタ

mscratch レジスタは、M-mode のときに自由に読み書きできる MXLEN ビットのレジスタです。

mscratch レジスタの典型的な用途はコンテキストスイッチです。コンテキストスイッチとは、実行しているアプリケーション A を別のアプリケーション B に切り替えることを指します。多くの場合、コンテキストスイッチはトラップによって開始しますが、A の実行途中の状態 (レジスタの値) を保存しないと A を実行再開できなくなります。そのため、コンテキストスイッチが始まったとき、つまりトラップが発生したときにレジスタの値をメモリに保存する必要があります。しかし、ストア命令はアドレスの指定にレジスタの値を使うため、アドレスの指定のために少なくとも 1 つのレジスタの値を犠牲にしなければならず、すべてのレジスタの値を完全に保存できません\*4。

この問題を回避するために、一時的な値の保存場所として mscratch レジスタが使用されます。事前に mscratch レジスタにメモアドレス (やメモアドレスを得るための情報) を格納しておき、CSRRW 命令で mscratch レジスタの値とレジスタの値を交換することで任意の場所にレジスタの値を保存できます。

mscratch レジスタを定義し、自由に読み書きできるようにします (リスト 6.29、リスト 6.30、リスト 6.31、リスト 6.32、リスト 6.33、リスト 6.34)。

▼リスト 6.29: mscratch レジスタの定義 (csrunit.veryl)

```
1 var mcycle : UInt64;
2 var mscratch: UIntX ;
```

\*4 x0 と即値を使うとアドレス 0 付近にすべてのレジスタの値を保存できますが、一般的な方法ではありません

```

3     var mepc      : UIntX ;
4
5 //list[csrunit.veryl.mscratch.reset][mscratchレジスタを0でリセットする (csrunit.veryl)][lineno=on]
6 >}{
7     mtvec      = 0;
8     mscratch = 0;
9     mcycle     = 0;

```

## ▼リスト 6.31: mscratch レジスタを読めるようにする (csrunit.veryl)

```

1 CsrAddr::MINSTRET: minstret,
2 CsrAddr::MSCRATCH: mscratch,
3 CsrAddr::MEPC      : mepc,

```

## ▼リスト 6.32: 書き込みマスクの定義 (csrunit.veryl)

```

1 const MTVEC_WMASK    : UIntX = 'hffff_ffff_ffff_ffffc;
2 const MSCRATCH_WMASK: UIntX = 'hffff_ffff_ffff_ffff;
3 const MEPC_WMASK     : UIntX = 'hffff_ffff_ffff_ffffe;

```

## ▼リスト 6.33: 書き込みマスクを wmask に割り当てる (csrunit.veryl)

```

1 CsrAddr::MTVEC     : MTVEC_WMASK,
2 CsrAddr::MSCRATCH: MSCRATCH_WMASK,
3 CsrAddr::MEPC      : MEPC_WMASK,

```

## ▼リスト 6.34: mscratch レジスタの書き込み (csrunit.veryl)

```

1 CsrAddr::MTVEC     : mtvec    = wdata;
2 CsrAddr::MSCRATCH: mscratch = wdata;
3 CsrAddr::MEPC      : mepc     = wdata;

```

## 第 7 章

# M-mode の実装 (2. 割り込みの実装)

### 7.1 概要

#### 7.1.1 割り込みとは何か？

アプリケーションを記述するとき、キーボードやマウスの入力、時間の経過のようなイベントに起因して何らかのプログラムを実行したいことがあります。例えばキーボードから入力を得たいとき、ポーリング (Polling)、または割り込み (Interrupt) という手法が利用されます。

ポーリングとは、定期的に問い合わせを行う方式のことです。例えばキーボード入力の場合、定期的にキーボードデバイスにアクセスして入力があるかどうかを確かめます。1秒ごとに入力の有無を確認する場合、キーボードの入力から検知までに最大1秒の遅延が発生します。待ち時間減らすために処理 A を分割すると遅延は減少しますが、長時間キーボード入力が無い場合、入力の有無の確認頻度が上がる分だけ何も入力が無いデバイスに対する確認処理が実行されることになります。この問題は、CPU からデバイスに問い合わせをする方式では解決できません。

入力の理想的な確認タイミングは入力が確認できるようになってすぐであるため、入力があったタイミングでデバイス側から CPU にイベントを通知すればいいです。これを実現するのが割り込みです。

割り込みとは、何らかのイベントの通知によって実行中のプログラムを中断し、通知内容を処理する方式のことです。割り込みを使うと、ポーリングのように無駄にデバイスにアクセスをすることなく、入力の処理が必要な時にだけ実行できます。

#### 7.1.2 RISC-V の割り込み

RISC-V では割り込み機能が CSR によって提供されます。割り込みが発生するとトラップが発生します。割り込みを発生させるようなイベントは外部割り込み、ソフトウェア割り込み、タイマ割り込みの 3 つに大別されます。

### 外部割り込み (External Interrupt)

コア外部のデバイスによって発生する割り込み。複数の外部デバイスの割り込みは割り込みコントローラ (第11章「PLICの実装」) などによって調停 (制御) されます。

### ソフトウェア割り込み (Software Interrupt)

CPUで動くソフトウェアが発生させる割り込み。CSR、もしくはメモリにマップされたレジスタ値の変更によって発生します。

### タイマ割り込み (Timer Interrupt)

タイマ回路 (デバイス) によって引き起こされる割り込み。タイマの設定と時間経過によって発生します。

M-modeだけが実装されたRISC-VのCPUでは、次のような順序で割り込みが提供されます。他に実装されている特権レベルがある場合については「8.9 割り込み条件の変更」(p.150)、「9.4 トランプの委譲」(p.155)で解説します。

1. 割り込みを発生させるようなイベントがデバイスで発生する
2. 割り込み原因に対応した mip レジスタのビットが `0` から `1` になる
3. 割り込み原因に対応した mie レジスタのビットが `1` であることを確認する (`0` なら割り込みは発生しない)
4. mstatus.MIE が `1` であることを確認する (`0` なら割り込みは発生しない)
5. (割り込み (トランプ) 開始)
6. mstatus.MPIE に mstatus.MIE を格納する
7. mstatus.MIE に `0` を格納する
8. mtvec レジスタの値にジャンプする

mip(Machine Interrupt Pending) レジスタは、割り込みを発生させるようなイベントが発生したことを通知する MXLEN ビットの CSR です。mie(Machine Interrupt Enable) レジスタは割り込みを許可するかを原因ごとに制御する MXLEN ビットの CSR です。mstatus.MIE はすべての割り込みを許可するかどうかを制御する 1 ビットのフィールドです。mie と mstatus.MIE のことを割り込みイネーブル (許可) レジスタと呼び、特に mstatus.MIE のようなすべての割り込みを制御するビットのことをグローバル割り込みイネーブルビットと呼びます。

割り込みの発生時に mstatus.MIE を `0` にすることで、割り込みの処理中に割り込みが発生することを防いでいます。また、トランプから戻る (MRET 命令を実行する) ときは、mstatus.MPIE の値を mstatus.MIE に書き戻すことで割り込みの許可状態を戻します。

### 7.1.3 割り込みの優先順位

RISC-Vには外部割り込み、ソフトウェア割り込み、タイマ割り込みがそれぞれM-mode、S-mode向けに用意されています。それぞれの割り込みには表7.1のような優先順位が定義されていて、複数の割り込みを発生させられるときは優先順位が高い割り込みを発生させます。

▼表 7.1: RISC-V の割り込みの優先順位

cause	説明	優先順位
11	Machine external interrupt	高い
3	Machine software Interrupt	
7	Machine timer interrupt	
9	Supervisor external interrupt	
1	Supervisor software interrupt	
5	Supervisor timer interrupt	低い

### 7.1.4 割り込みの原因 (cause)

それぞれの割り込みには原因を区別するための値 (cause) が割り当てられています。割り込みの cause の MSB は 1 です。

`CsrCause` 型に割り込みの cause を追加します (リスト 7.1)。

▼リスト 7.1: 割り込みの原因の定義 (eei.veryl)

```

1 enum CsrCause: UIntX {
2     INSTRUCTION_ADDRESS_MISALIGNED = 0,
3     ILLEGAL_INSTRUCTION = 2,
4     BREAKPOINT = 3,
5     LOAD_ADDRESS_MISALIGNED = 4,
6     STORE_AMO_ADDRESS_MISALIGNED = 6,
7     ENVIRONMENT_CALL_FROM_M_MODE = 11,
8     SUPERVISOR_SOFTWARE_INTERRUPT = 'h8000_0000_0000_0001,
9     MACHINE_SOFTWARE_INTERRUPT = 'h8000_0000_0000_0003,
10    SUPERVISOR_TIMER_INTERRUPT = 'h8000_0000_0000_0005,
11    MACHINE_TIMER_INTERRUPT = 'h8000_0000_0000_0007,
12    SUPERVISOR_EXTERNAL_INTERRUPT = 'h8000_0000_0000_0009,
13    MACHINE_EXTERNAL_INTERRUPT = 'h8000_0000_0000_000b,
14 }
```

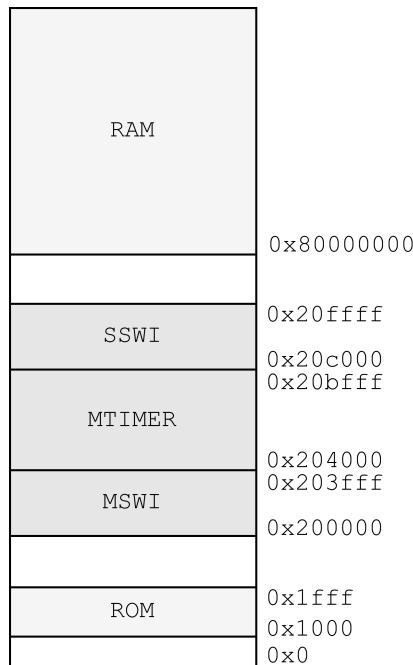
### 7.1.5 ACLINT (Advanced Core Local Interruptor)

RISC-V にはソフトウェア割り込みとタイマ割り込みを実現するデバイスの仕様である ACLINT が用意されています。ACLINT は、SiFive 社が開発した CLINT(Core-Local Interruptor) デバイスが基になった仕様です。

ACLINT には MTIMER、MSWI、SSWI の 3 つのデバイスが定義されています。それぞれタイマ割り込み、ソフトウェア割り込み、ソフトウェア割り込み向けのデバイスで、mip レジスタの MTIP、MSIP、SSIP ビットに状態を通知します。

本書では ACLINT を図図 7.1 のようなメモリマップで実装します。本章では MTIMER、MSWI デバイスを実装し、「9.5 ソフトウェア割り込みの実装 (SSWI)」(p.165) で SSWI デバイスを実装します。デバイスの具体的な仕様については後で解説します。

メモリマップ用の定数を eei パッケージに記述してください (リスト 7.2)。



▲図 7.1: ACLINT のメモリマップ

## ▼リスト 7.2: メモリマップ用の定数の定義 (eei.veryl)

```

1 // ACLINT
2 const MMAP_ACLINT_BEGIN : Addr = 'h200_0000 as Addr;
3 const MMAP_ACLINT_MSIP : Addr = 0;
4 const MMAP_ACLINT_MTIMECMP: Addr = 'h4000 as Addr;
5 const MMAP_ACLINT_MTIME : Addr = 'h7ff8 as Addr;
6 const MMAP_ACLINT_SETSSIP : Addr = 'h8000 as Addr;
7 const MMAP_ACLINT_END : Addr = MMAP_ACLINT_BEGIN + 'hbfff as Addr;

```

## 7.2 ACLINT モジュールの作成

本章では、ACLINT のデバイスを `aclint_memory` モジュールに実装します。`aclint_memory` モジュールは割り込みを起こすために `csrunit` モジュールと接続します。

### 7.2.1 インターフェースを作成する

まず、ACLINT のデバイスと `csrunit` モジュールを接続するためのインターフェースを作成します。`src/aclint_if.veryl` を作成し、次のように記述します (リスト 7.3)。インターフェースの中身は各デバイスの実装時に実装します。

## ▼リスト 7.3: aclint\_if.veryl

```

1 interface aclint_if {
2     modport master {
3         // TODO
4     }
5     modport slave {
6         ..converse(master)
7     }
8 }
```

### 7.2.2 aclint\_memory モジュールを作成する

ACLINT のデバイスを実装するモジュールを作成します。 `src/aclint_memory.veryl` を作成し、次のように記述します (リスト 7.4)。まだどのレジスタも実装していません。

## ▼リスト 7.4: aclint\_memory.veryl

```

1 import eei::*;

2
3 module aclint_memory (
4     clk      : input  clock      ,
5     rst      : input  reset      ,
6     membus: modport Membus::slave ,
7     aclint: modport aclint_if::master,
8 ) {
9     assign membus.ready = 1;
10    always_ff {
11        if_reset {
12            membus.rvalid = 0;
13            membus.rdata  = 0;
14        } else {
15            membus.rvalid = membus.valid;
16        }
17    }
18 }
```

### 7.2.3 mmio\_controller モジュールに ACLINT を追加する

mmio\_controller モジュールに ACLINT デバイスを追加して、aclint\_memory モジュールにアクセスできるようにします。

`Device` 型に `ACLINT` を追加して、ACLINT のデバイスをアドレスにマップします (リスト 7.5、リスト 7.6)。

## ▼リスト 7.5: Device 型に ACLINT を追加する (mmio\_controller.veryl)

```

1 enum Device {
2     UNKNOWN,
3     RAM,
4     ROM,
5     DEBUG,
```

```
6     ACLINT,
7 }
```

## ▼ リスト 7.6: get\_device 関数で ACLINT の範囲を定義する (mmio\_controller.veryl)

```
1 if MMAP_ACLINT_BEGIN <= addr && addr <= MMAP_ACLINT_END {
2     return Device:::ACLINT;
3 }
```

ACLINT とのインターフェースを追加し、reset\_all\_device\_masters 関数にインターフェースをリセットするコードを追加します ( リスト 7.7、リスト 7.8 )。

## ▼ リスト 7.7: ポートに ACLINT のインターフェースを追加する (mmio\_controller.veryl)

```
1 module mmio_controller (
2     clk          : input  clock      ,
3     rst          : input  reset      ,
4     DBG_ADDR    : input  Addr       ,
5     req_core    : modport Membus::slave ,
6     ram_membus  : modport Membus::master,
7     rom_membus  : modport Membus::master,
8     dbg_membus  : modport Membus::master,
9     aclint_membus: modport Membus::master,
10 ) {
```

## ▼ リスト 7.8: インターフェースの要求部分をリセットする (mmio\_controller.veryl)

```
1 function reset_all_device_masters () {
2     reset_membus_master(ram_membus);
3     reset_membus_master(rom_membus);
4     reset_membus_master(dbg_membus);
5     reset_membus_master(aclint_membus);
6 }
```

ready 、 rvalid を取得する関数に ACLINT を登録します ( リスト 7.9、リスト 7.10 )。

## ▼ リスト 7.9: get\_device\_ready 関数に ACLINT の ready を追加 (mmio\_controller.veryl)

```
1 Device:::ACLINT: return aclint_membus.ready;
```

## ▼ リスト 7.10: get\_device\_rvalid 関数に ACLINT の rvalid を追加 (mmio\_controller.veryl)

```
1 Device:::ACLINT: return aclint_membus.rvalid;
```

ACLINT の rvalid 、 rdata を req\_core に割り当てます ( リスト 7.11 )。

## ▼ リスト 7.11: ACLINT へのアクセス結果を req に割り当てる (mmio\_controller.veryl)

```
1 Device:::ACLINT: req <=> aclint_membus;
```

ACLINT のインターフェースに要求を割り当てます ( リスト 7.12 )。

## ▼リスト 7.12: ACLINT に req を割り当ててアクセス要求する (mmio\_controller.veryl)

```

1 Device::ACLINT: {
2     aclint_membus      <=> req;
3     aclint_membus.addr == MMAP_ACLINT_BEGIN;
4 }
```

**7.2.4 ACLINT と mmio\_controller、csrunit モジュールを接続する**

aclint\_if インターフェース ( `aclint_core_bus` )、aclint\_memory モジュールと mmio\_controller モジュールを接続するインターフェース ( `aclint_membus` ) をインスタンス化します ( リスト 7.13、リスト 7.14 )。

## ▼リスト 7.13: aclint\_if インターフェースのインスタンス化 (top.veryl)

```
1 inst aclint_core_bus: aclint_if;
```

## ▼リスト 7.14: mmio\_controller モジュールと接続するインターフェースのインスタンス化 (top.veryl)

```
1 inst aclint_membus : Membus;
```

aclint\_memory モジュールをインスタンス化し、mmio\_controller モジュールと接続します ( リスト 7.15、リスト 7.16 )。

## ▼リスト 7.15: aclint\_memory モジュールをインスタンス化する (top.veryl)

```

1 inst aclintm: aclint_memory (
2     clk           ,
3     rst           ,
4     membust: aclint_membus ,
5     aclint: aclint_core_bus,
6 );
```

## ▼リスト 7.16: mmio\_controller モジュールと接続する (top.veryl)

```

1 inst mmioc: mmio_controller (
2     clk           ,
3     rst           ,
4     DBG_ADDR     : MMAP_DBG_ADDR  ,
5     req_core     : mmio_membus  ,
6     ram_membus   : mmio_ram_membus,
7     rom_membus   : mmio_rom_membus,
8     dbg_membus   ,
9     aclint_membus ,
10 );
```

core、csrunit モジュールに aclint\_if ポートを追加し、csrunit モジュールと aclint\_memory モジュールを接続します ( リスト 7.17、リスト 7.18、リスト 7.19、リスト 7.20 )。

## ▼リスト 7.17: core モジュールに ACLINT のデバイスとのインターフェースを追加する (core.veryl)

```

1 module core (
2     clk      : input  clock          ,
3     rst      : input  reset          ,
4     i_membus: modport core_inst_if::master,
5     d_membus: modport core_data_if::master,
6     led      : output UIntX        ,
7     aclint   : modport aclint_if::slave  ,
8 ) {

```

▼リスト 7.18: core モジュールに aclint\_if インターフェースを接続する (top.veryl)

```

1 inst c: core (
2     clk          ,
3     rst          ,
4     i_membus: i_membus_core  ,
5     d_membus: d_membus_core  ,
6     led          ,
7     aclint   : aclint_core_bus,
8 );

```

▼リスト 7.19: csrunit モジュール ACLINT デバイスとのインターフェースを追加する (csrunit.veryl)

```

1     minstret  : input  UInt64          ,
2     led       : output UIntX          ,
3     aclint   : modport aclint_if::slave  ,
4 ) {

```

▼リスト 7.20: csrunit モジュールのインスタンスにインターフェースを接続する (core.veryl)

```

1     minstret          ,
2     led              ,
3     aclint          ,
4 );

```

## 7.3

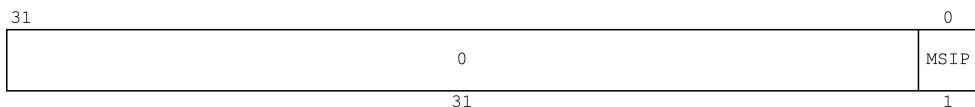
## ソフトウェア割り込みの実装 (MSWI)

MSWI デバイスはソフトウェア割り込み (machine software interrupt) を提供するためのデバイスです。MSWI デバイスにはハードウェアスレッド毎に 4 バイトの MSIP レジスタが用意されています (TODO テーブル)。MSIP レジスタの上位 31 ビットは読み込み専用の `0` であり、最下位ビットのみ変更できます。各 MSIP レジスタは、それに対応するハードウェアスレッドの `mip.MSIP` と接続されています。

TODO テーブル (最大 4095 個) ここに `hartID` についてもちょっと書く

仕様上は `mhartid` と ACLINT のレジスタの `hartID` が一致する必要はありませんが、本書では `mhartid` と `hartID` が同じになるように実装します。

### 7.3.1 MSIP レジスタを実装する



▲図 7.2: MSIP レジスタ

ACLINT モジュールに MSIP レジスタを実装します (図 7.2)。今のところ CPU には mhartid が `0` のハードウェアスレッドしか存在しないため、MSIP0 のみ実装します。

`aclint_if` インターフェースに `msip` を追加します (リスト 7.21)。

▼リスト 7.21: msip ビットをインターフェースに追加する (aclint\_if.veryl)

```

1 interface aclint_if {
2     var msip: logic;
3     modport master {
4         msip: output,
5     }
6     modport slave {
7         ..converse(master)
8     }
9 }
```

`aclint_memory` モジュールに `msip0` レジスタを作成し、読み書きできるようにします (リスト 7.22、リスト 7.23、リスト 7.24)。

▼リスト 7.22: msip0 レジスタの定義 (aclint\_memory.veryl)

```

1 var msip0: logic;
```

▼リスト 7.23: msip0 レジスタを 0 でリセットする (aclint\_memory.veryl)

```

1 always_ff {
2     if_reset {
3         membus.rvalid = 0;
4         membus.rdata  = 0;
5         msip0        = 0;
6 }
```

▼リスト 7.24: msip0 レジスタの書き込み、読み込み (aclint\_memory.veryl)

```

1 if membus.valid {
2     let Addr: Addr = {membus.addr[XLEN - 1:3], 3'b0};
3     if membus.wen {
4         let M: logic<MEMBUS_DATA_WIDTH> = membus.wmask_expand();
5         let D: logic<MEMBUS_DATA_WIDTH> = membus.wdata & M;
6         case Addr {
7             MMAP_ACLINT_MSIP: msip0 = D[0] | msip0 & ~M[0];
8             default          : {}
9         }
10    } else {
```

```

11     membus.rdata = case addr {
12         MMAPIACLINT_MSIP: {63'b0, msip0},
13         default           : 0,
14     };
15 }
16 }

```

`msip0` レジスタとインターフェースの `msip` を接続します ( リスト 7.25 )。

▼リスト 7.25: インターフェースの `msip` と `msip0` レジスタを接続する (aclint\_memory.veryl)

```

1 always_comb {
2     aclint.msip = msip0;
3 }

```

### 7.3.2 mip、mie レジスタを実装する

63	12	11	10	9	8	7	6	5	4	3	2	1	0
0	MEIP	0	SEIP	0	MTIP	0	STIP	0	MSIP	0	SSIP	0	0

▲図 7.3: mip レジスタ

63	12	11	10	9	8	7	6	5	4	3	2	1	0
0	MEIE	0	SEIE	0	MTIE	0	STIE	0	MSIE	0	SSIE	0	0

▲図 7.4: mie レジスタ

mip レジスタの MSIP ビット、mie レジスタの MSIE ビットを実装します。mie.MSIE は MSIP ビットによる割り込み待機を許可するかを制御するビットです。mip.MSIP と mie.MSIE は同じ位置のビットに配置されています。mip.MSIP に書き込むことはできません。

csrunit モジュールに mie レジスタを作成します ( リスト 7.26、リスト 7.27 )。

▼リスト 7.26: mie レジスタの定義 (csrunit.veryl)

```

1 var mie      : UIntX ;

```

▼リスト 7.27: mie レジスタを 0 でリセットする (csrunit.veryl)

```

1 if_reset {
2     mode      = PrivMode::M;
3     mstatus   = 0;
4     mtvec    = 0;
5     mie       = 0;
6     mscratch = 0;

```

mip レジスタを作成します。MSIP ビットを MSWI デバイスの MSIP0 レジスタと接続し、それ以外のビットは 0 に設定します (リスト 7.28)。

▼リスト 7.28: mip レジスタの定義 (csrunit.veryl)

```

1  let mip: UIntX = {
2      1'b0 repeat XLEN - 12, // 0
3      1'b0, // MEIP
4      1'b0, // 0
5      1'b0, // SEIP
6      1'b0, // 0
7      1'b0, // MTIP
8      1'b0, // 0
9      1'b0, // STIP
10     1'b0, // 0
11     aclint.msip, // MSIP
12     1'b0, // 0
13     1'b0, // SSIP
14     1'b0, // 0
15 };

```

mie、mip レジスタの値を読み込むようにします (リスト 7.29)。

▼リスト 7.29: rdata に mip、mie レジスタの値を割り当てる (csrunit.veryl)

```

1 CsrAddr::MTVEC    : mtvec,
2 CsrAddr::MIP      : mip,
3 CsrAddr::MIE      : mie,
4 CsrAddr::MCYCLE   : mcycle,

```

mie レジスタの書き込みマスクを設定して、MSIE ビットを書き込めるようにします (リスト 7.30、リスト 7.31、リスト 7.32)。あとで MTIME デバイスを実装するときに MTIE ビットを使うため、ここで MTIE ビットも書き込めるようにしておきます。

▼リスト 7.30: mie レジスタの書き込みマスクの定義 (csrunit.veryl)

```

1 const MIE_WMASK    : UIntX = 'h0000_0000_0000_0088 as UIntX;

```

▼リスト 7.31: wmask に書き込みマスクを設定する (csrunit.veryl)

```

1 CsrAddr::MTVEC    : MTVEC_WMASK,
2 CsrAddr::MIE      : MIE_WMASK,
3 CsrAddr::MSCRATCH: MSCRATCH_WMASK,

```

▼リスト 7.32: mie レジスタの書き込み (csrunit.veryl)

```

1 if is_wsc {
2     case csr_addr {
3         CsrAddr::MSTATUS : mstatus  = wdata;
4         CsrAddr::MTVEC   : mtvec    = wdata;
5         CsrAddr::MIE     : mie      = wdata;
6         CsrAddr::MSCRATCH: mscratch = wdata;

```

### 7.3.3 mstatus の MIE、MPIE ビットを実装する

mstatus.MIE、MPIE を変更できるようにします ( リスト 7.33、リスト 7.34 )。

#### ▼ リスト 7.33: 書き込みマスクを変更する (csrunit.veryl)

```
1 const MSTATUS_WMASK : UIntX = 'h0000_0000_0000_0088 as UIntX;
```

#### ▼ リスト 7.34: レジスタの場所を変数に割り当てる (csrunit.veryl)

```
1 // mstatus bits
2 let mstatus_mpie: logic = mstatus[7];
3 let mstatus_mie : logic = mstatus[3];
```

トラップが発生するとき、mstatus.MPIE に mstatus.MIE、mstatus.MIE に 0 を設定します ( リスト 7.35 )。また、MRET 命令で mstatus.MIE に mstatus.MPIE、mstatus.MPIE に 0 を設定します。

#### ▼ リスト 7.35: トラップ、MRET 命令の動作の実装 (csrunit.veryl)

```
1 if raise_trap {
2     if raise_expt {
3         mepc   = pc;
4         mcause = trap_cause;
5         mtval  = expt_value;
6         // save mstatus.mie to mstatus.mpie
7         // and set mstatus.mie = 0
8         mstatus[7] = mstatus[3];
9         mstatus[3] = 0;
10    } else if trap_return {
11        // set mstatus.mie = mstatus.mpie
12        // mstatus.mpie = 0
13        mstatus[3] = mstatus[7];
14        mstatus[7] = 0;
15    }
}
```

これによりトラップで割り込みを無効化して、トラップから戻るときに mstatus.MIE を元に戻す、という動作が実現されます。

### 7.3.4 割り込み処理の実装

必要なレジスタを実装できたので、割り込みを起こす処理を実装します。割り込みは mip、mie の両方のビット、mstatus.MIE ビットが立っているときに発生します。

#### 割り込みのタイミング

割り込みでトラップを発生させると、トラップが発生した時点の命令のアドレスが必要なため、csrunit モジュールに有効な命令が供給されている必要があります。

割り込みが発生したときに csrunit モジュールに供給されていた命令は実行されません。ここで、割り込みを起こすタイミングに注意が必要です。今のところ、CSR の処理は MEM ステージと同時に実行しているため、例えばストア命令を memunit モジュールで実行している途中に割り込

みを発生させてしまうと、ストア命令の結果がメモリに反映されるにもかかわらず、mepc レジスタにストア命令のアドレスを書き込んでしまいます。

それならば、単純に次の命令のアドレスを mepc レジスタに格納するようにすればいいと思うかもしれません。そもそも実行中のストア命令が本来は最終的に例外を発生させるものかもしれません。

本章ではこの問題に対処するために、割り込みは MEM(CSR) ステージに新しく命令が供給されたクロックでしか起こせなくして、トラップが発生するならば memunit モジュールを無効化します。

割り込みを発生させられるかを示すフラグ ( `can_intr` ) を csrunit モジュールに定義し、`mems_is_new` フラグを割り当てます ( リスト 7.36、リスト 7.37 )。

#### ▼ リスト 7.36: csrunit モジュールに `can_intr` を追加する (csrunit.veryl)

```
1  rs1_data  : input  UIntX      ,
2  can_intr   : input  logic      ,
3  rdata      : output UIntX      ,
```

#### ▼ リスト 7.37: `mem_is_new` を `can_intr` に割り当てる (core.veryl)

```
1  rs1_data  : memq_rdata.rs1_data  ,
2  can_intr   : mems_is_new        ,
3  rdata      : csru_rdata        ,
```

トラップが発生するときに memunit モジュールを無効にします ( リスト 7.38 )。今まで EX ステージまでに例外が発生することが分かっていたら無効にしていましたが、csrunit モジュールからトラップが発生するかどうかの情報を直接得るようにします。

#### ▼ リスト 7.38: `valid` の条件を変更する (core.veryl)

```
1  inst memu: memunit (
2    clk           ,
3    rst           ,
4    valid : mems_valid && !csru_raise_trap,
```

memunit モジュールが無効 ( `!valid` ) なとき、`state` を `State::Init` にリセットします ( リスト 7.39 )。

#### ▼ リスト 7.39: `valid` ではないとき、`state` を `Init` にリセットする (core.veryl)

```
1  } else {
2    if !valid {
3      state = State::Init;
4    } else {
5      case state {
6        State::Init: if is_new & inst_is_memop(ctrl) {
```

### 割り込みの判定

割り込みを起こすかどうか ( `raise_interrupt` )、割り込みの cause ( `interrupt_cause` )、トラップ

ベクタ ( `interrupt_vector` ) を示す変数を作成します (リスト 7.40)。

▼ リスト 7.40: 割り込みを判定する (csrunit.veryl)

```

1  // Interrupt
2  let raise_interrupt : logic = valid && can_intr && mstatus_mie && (mip & mie) != 0;
3  let interrupt_cause : UIntX = CsrCause::MACHINE_SOFTWARE_INTERRUPT;
4  let interrupt_vector: Addr = mtvec;

```

トラップ情報の変数に、割り込みの情報を割り当てます (リスト 7.41)。本書では例外を優先します。

▼ リスト 7.41: トラップを制御する変数に割り込みの値を割り当てる (csrunit.veryl)

```

1  assign raise_trap = raise_expt || raise_interrupt || trap_return;
2  let trap_cause: UIntX = switch {
3      raise_expt      : expt_cause,
4      raise_interrupt: interrupt_cause,
5      default         : 0,
6  };
7  assign trap_vector = switch {
8      raise_expt      : mtvec,
9      raise_interrupt: interrupt_vector,
10     trap_return     : mepc,
11     default         : 0,
12 };

```

割り込みの時に MRET 命令の判定が `0` になるようにします (リスト 7.42)。

▼ リスト 7.42: 割り込みが発生するとき、trap\_return を 0 にする (csrunit.veryl)

```

1  // Trap Return
2  assign trap_return = valid && is_mret && !raise_expt && !raise_interrupt;

```

トラップが発生するとき、例外の場合にのみ mtval レジスタに例外に固有の情報が書き込まれます。本書では例外を優先するので、`raise_expt` が `1` なら mtval レジスタに書き込むようにします (リスト 7.43)。

▼ リスト 7.43: 例外が発生したときにのみ mtval レジスタに書き込む (csrunit.veryl)

```

1  if raise_trap {
2      if raise_expt || raise_interrupt {
3          mepc    = pc;
4          mcause = trap_cause;
5          if raise_expt {
6              mtval = expt_value;
7          }
}

```

### 7.3.5 ソフトウェア割り込みをテストする

ソフトウェア割り込みが正しく動くことを確認します。

`test/mswi.c` を作成し、次のように記述します (リスト 7.44)。

## ▼リスト 7.44: test/mswi.c

```

1 #define MSIP0 ((volatile unsigned int *)0x2000000)
2 #define DEBUG_REG ((volatile unsigned long long*)0x40000000)
3 #define MIE_MSIE (1 << 3)
4 #define MSTATUS_MIE (1 << 3)
5
6 void interrupt_handler(void);
7
8 void w_mtvec(unsigned long long x) {
9     asm volatile("csrw mtvec, %0" : : "r" (x));
10 }
11
12 void w_mie(unsigned long long x) {
13     asm volatile("csrw mie, %0" : : "r" (x));
14 }
15
16 void w_mstatus(unsigned long long x) {
17     asm volatile("csrw mstatus, %0" : : "r" (x));
18 }
19
20 void main(void) {
21     w_mtvec((unsigned long long)interrupt_handler);
22     w_mie(MIE_MSIE);
23     w_mstatus(MSTATUS_MIE);
24     *MSIP0 = 1;
25     while (1) *DEBUG_REG = 3; // fail
26 }
27
28 void interrupt_handler(void) {
29     *DEBUG_REG = 1; // success
30 }

```

プログラムでは、mtvec に interrupt\_handler 関数のアドレスを書き込み、mstatus.MIE、mie.MSIE を 1 に設定して割り込みを許可してから MSIP0 レジスタに 1 を書き込んでいます。

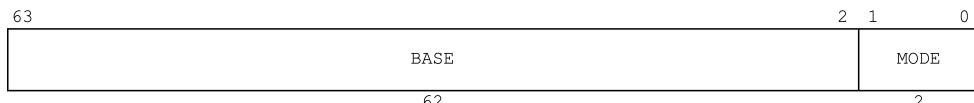
プログラムをコンパイルして実行<sup>\*1</sup>すると、ソフトウェア割り込みが発生することで interrupt\_handler にジャンプし、デバッグ用のデバイスに 1 を書き込んで終了することを確認できます。

## 7.4 mtvec の Vectored モードの実装

mtvec レジスタには MODE フィールドがあり、割り込みが発生するときのジャンプ先の決定方法を制御できます(図 7.5)。

MODE が Direct( 2'b00 ) のとき、 mtvec.BASE << 2 のアドレスにトラップします。Vectored( 2'b01 ) のとき、 (mtvec.BASE << 2) + 4 \* cause のアドレスにトラップします。ここ

<sup>\*1</sup> コンパイル、実行方法は「3.6.4 出力をテストする」(p.60) を参考にしてください。



▲図 7.5: mtvec レジスタ

で cause は割り込みの cause の MSB を除いた値です。例えば machine software interrupt の場合、`(mtvec.BASE << 2) + 4 * 3` がジャンプ先になります。

例外のトラップベクタは、常に MODE が Direct として計算します。

下位 1 ビットに書き込めるようにすることで、mtvec.MODE に Vectored を書き込めるようにします (リスト 7.45)。

▼リスト 7.45: 書き込みマスクを変更する (csrunit.veryl)

```
1 const MTVEC_WMASK : UIIntX = 'hffff_ffff_ffff_fffd;
```

割り込みのトラップベクタを MODE と cause に応じて変更します (リスト 7.46)。

▼リスト 7.46: 割り込みのトラップベクタを求める (csrunit.veryl)

```
1 let interrupt_vector: Addr = if mtvec[0] == 0 ? {mtvec[msb:2], 2'b0} : // Direct
2   {mtvec[msb:2] + interrupt_cause[msb - 2:0], 2'b0}; // Vectored
```

例外のトラップベクタを、mtvec レジスタの下位 2 ビットを `0` にしたアドレス (Direct) に変更します (リスト 7.47、リスト 7.48)。新しく `expt_vector` を定義し、`trap_vector` に割り当てます。

▼リスト 7.47: 例外のトラップベクタ (csrunit.veryl)

```
1 let expt_vector: Addr = {mtvec[msb:2], 2'b0};
```

▼リスト 7.48: expt\_vector を trap\_vector に割り当てる (csrunit.veryl)

```
1 assign trap_vector = switch {
2   raise_expt    : expt_vector,
3   raise_interrupt: interrupt_vector,
4   trap_return   : mepc,
5   default        : 0,
6 };
```

## 7.5 タイマ割り込みの実装 (MTIMER)

### 7.5.1 タイマ割り込み

MTIMER デバイスは、タイマ割り込み (machine timer interrupt) を提供するためのデバイスです。MTIMER デバイスには 1 つの 8 バイトの MTIME レジスタ、ハードウェアスレッド毎に 8

バイトの MTIMECMP レジスタが用意されています (TODO テーブル)。本書では MTIMECMP の後ろに MTIME を配置します。

TODO テーブル (MTIME) TODO テーブル (MTIMECMP 最大 4095 個)

MTIME レジスタは、固定された周波数でのクロックサイクル毎にインクリメントするレジスタです。リセット時に `0` になります。

MTIMER デバイスは、それに対応するハードウェアスレッドの `mip.MTIP` と接続されており、MTIME が MTIMECMP を上回ったとき `mip.MTIP` を `1` にします。これにより、指定した時間に割り込みを発生させることができます。

## 7.5.2 MTIME、MTIMECMP レジスタを実装する

ACLINT モジュールに MTIME、MTIMECMP レジスタを実装します。今のところ `mhartid` が `0` のハードウェアスレッドしか存在しないため、MTIMECMP0 のみ実装します。

`mtime`、`mtimecmp0` レジスタを作成し、読み書きできるようにします (リスト 7.49、リスト 7.50、リスト 7.51)。`mtime` レジスタはクロック毎にインクリメントします。

### ▼リスト 7.49: mtime、mtimecmp レジスタの定義 (aclint\_memory.veryl)

```

1  var msip0    : logic ;
2  var mtime   : UInt64;
3  var mtimecmp0: UInt64;
```

### ▼リスト 7.50: レジスタを 0 でリセットする (aclint\_memory.veryl)

```

1  always_ff {
2      if_reset {
3          membus.rvalid = 0;
4          membus.rdata  = 0;
5          msip0        = 0;
6          mtime        = 0;
7          mtimecmp0    = 0;
8      }
9  }
```

### ▼リスト 7.51: mtime、mtimecmp の書き込み、読み込み (aclint\_memory.veryl)

```

1  if membus.wen {
2      let M: logic<MEMBUS_DATA_WIDTH> = membus.wmask_expand();
3      let D: logic<MEMBUS_DATA_WIDTH> = membus.wdata & M;
4      case addr {
5          MMAP_ACLINT_MSIP    : msip0      = D[0] | msip0 & ~M[0];
6          MMAP_ACLINT_MTIME   : mtime      = D | mtime & ~M;
7          MMAP_ACLINT_MTIMECMP: mtimecmp0 = D | mtimecmp0 & ~M;
8          default            : {}
9      }
10 } else {
11     membus.rdata = case addr {
12         MMAP_ACLINT_MSIP    : {63'b0, msip0},
13         MMAP_ACLINT_MTIME   : mtime,
14         MMAP_ACLINT_MTIMECMP: mtimecmp0,
15         default            : 0,
16     };
17 }
```

17 }

aclint\_if インターフェースに `mtip` を作成し、タイマ割り込みが発生する条件を設定します (リスト 7.52、リスト 7.53)。

▼ リスト 7.52: `mtip` をインターフェースに追加する (aclint\_if.veryl)

```

1  var msip: logic;
2  var mtip: logic;
3  modport master {
4      msip: output,
5      mtip: output,
6  }
```

▼ リスト 7.53: `mtip` にタイマ割り込みが発生する条件を設定する (aclint\_memory.veryl)

```

1  always_comb {
2      aclint.msip = msip0;
3      aclint.mtip = mtime >= mtimecmp0;
4  }
```

### 7.5.3 mip.MTIP、割り込み原因を設定する

mip レジスタの MTIP ビットに aclint\_if インターフェースの `mtip` を接続します (リスト 7.54)。

▼ リスト 7.54: mip.MTIP にインターフェースの `mtip` を割り当てる (csrunit.veryl)

```

1  let mip: UIntX = {
2      1'b0 repeat XLEN - 12, // 0, LCOFIP
3      1'b0, // MEIP
4      1'b0, // 0
5      1'b0, // SEIP
6      1'b0, // 0
7      aclint.mtip, // MTIP
8      1'b0, // 0
9      1'b0, // STIP
10     1'b0, // 0
11     aclint.msip, // MSIP
12     1'b0, // 0
13     1'b0, // SSIP
14     1'b0, // 0
15  };
```

割り込み原因を優先順位に応じて設定します。タイマ割り込みはソフトウェア割り込みよりも優先順位が低いため、ソフトウェア割り込みの下で原因を設定します (リスト 7.55)。

▼ リスト 7.55: タイマ割り込みの cause を設定する (csrunit.veryl)

```

1  let interrupt_pending: UIntX = mip & mie;
2  let raise_interrupt : logic = valid && can_intr && mstatus_mie && interrupt_pending != 0;
3  let interrupt_cause : UIntX = switch {
```

```

4     interrupt_pending[3]: CsrCause::MACHINE_SOFTWARE_INTERRUPT,
5     interrupt_pending[7]: CsrCause::MACHINE_TIMER_INTERRUPT,
6     default             : 0,
7 };
8 let interrupt_vector: Addr = if mtvec[0] == 0 ? {mtvec[msb:2], 2'b0} : // Direct
9     {mtvec[msb:2] + interrupt_cause[msb - 2:0], 2'b0}; // Vectored

```

## 7.5.4 タイマ割り込みをテストする

タイマ割り込みが正しく動くことを確認します。

`test/mtime.c` を作成し、次のように記述します (リスト 7.56)。

### ▼ リスト 7.56: test/mtime.c

```

1 #define MTIMECMP0 ((volatile unsigned int *)0x2004000)
2 #define MTIME     ((volatile unsigned int *)0x2007ff8)
3 #define DEBUG_REG ((volatile unsigned long long*)0x40000000)
4 #define MIE_MTIE (1 << 7)
5 #define MSTATUS_MIE (1 << 3)
6
7 void interrupt_handler(void);
8
9 void w_mtvec(unsigned long long x) {
10     asm volatile("csrw mtvec, %0" : : "r" (x));
11 }
12
13 void w_mie(unsigned long long x) {
14     asm volatile("csrw mie, %0" : : "r" (x));
15 }
16
17 void w_mstatus(unsigned long long x) {
18     asm volatile("csrw mstatus, %0" : : "r" (x));
19 }
20
21 void main(void) {
22     w_mtvec((unsigned long long)interrupt_handler);
23     *MTIMECMP0 = *MTIME + 1000000; // この数値は適当に調整する
24     w_mie(MIE_MTIE);
25     w_mstatus(MSTATUS_MIE);
26     while (1);
27     *DEBUG_REG = 3; // fail
28 }
29
30 void interrupt_handler(void) {
31     *DEBUG_REG = 1; // success
32 }

```

プログラムでは、mtvec に interrupt\_handler 関数のアドレスを設定し、mtime に `10000000` を足した値を mtimemcp0 に設定した後、mstatus.MIE、mie.MTIE を `1` に設定して割り込みを許可しています。タイマ割り込みが発生するまで while 文で無限ループします。

プログラムをコンパイルして実行すると、時間経過によって main 関数から interrupt\_handler

関数にトラップしてテストが終了します。mtimecmp0 に設定する値を変えることで、タイマ割り込みが発生するまでの時間が変わることを確認してください。

## 7.6 WFI 命令の実装

WFI 命令は、割り込みが発生するまで CPU をストールさせる命令です。ただし、グローバル割り込みイネーブルビットは考慮せず、ある割り込みの待機 (pending) ビットと許可 (enable) ビットの両方が立っているときに実行を再開します。また、それ以外の自由な理由で実行を再開させてもいいです。WFI 命令で割り込みが発生するとき、WFI 命令の次のアドレスの命令で割り込みが起ったことになります。

本書では WFI 命令を何もしない命令として実装します。

inst\_decoder モジュールで WFI 命令をデコードできるようにします (リスト 7.57)。

### ▼リスト 7.57: WFI 命令のデコード (inst\_decoder.veryl)

```

1  OP_SYSTEM: f3 != 3'b000 && f3 != 3'b100 || // CSRR(W|S|C)[I]
2  bits == 32'h00000073 || // ECALL
3  bits == 32'h00100073 || // EBREAK
4  bits == 32'h30200073 || // MRET
5  bits == 32'h10500073, // WFI
6  OP_MISC_MEM: T, // FENCE

```

WFI 命令で割り込みが発生するとき、mepc レジスタに `pc + 4` を書き込むようにします (リスト 7.58、リスト 7.59)。

### ▼リスト 7.58: WFI 命令の判定 (csrunit.veryl)

```

1  let is_wfi: logic = inst_bits == 32'h10500073;

```

### ▼リスト 7.59: WFI 命令のとき、mepc を `pc+4` にする (csrunit.veryl)

```

1  if raise_expt || raise_interrupt {
2      mepc = if raise_expt ? pc : // exception
3          if raise_interrupt && is_wfi ? pc + 4 : pc; // interrupt when wfi / interrupt
4      mcause = trap_cause;

```

## 7.7 time、instret、cycle レジスタの実装

RISC-V には time、instret、cycle という読み込み専用の CSR が定義されており、それぞれmtime、minstret、mcycle レジスタと同じ値をとります<sup>\*2</sup>。

<sup>\*2</sup> mhpmpcounter レジスタと同じ値をとる hpmcounter レジスタもありますが、mhpmpcounter レジスタを実装していないので実装しません。

CsrAddr 型にレジスタのアドレスを追加します (リスト 7.60)。

▼リスト 7.60: アドレスの定義 (eei.veryl)

```
1 // Unprivileged Counter/Timers
2 CYCLE = 12'hC00,
3 TIME = 12'hC01,
4 INSTRET = 12'hC02,
```

mtime レジスタの値を ACLINT モジュールから csrunit に渡します (リスト 7.61、リスト 7.62)。

▼リスト 7.61: mtime をインターフェースに追加する (aclint\_if.veryl)

```
1 import eei::*;
2
3 interface aclint_if {
4     var msip : logic ;
5     var mtip : logic ;
6     var mtime: UInt64;
7     modport master {
8         msip : output,
9         mtip : output,
10        mtime: output,
11    }
12 }
```

▼リスト 7.62: mtime をインターフェースに割り当てる (aclint\_memory.veryl)

```
1 always_comb {
2     aclint.msip  = msip0;
3     aclint.mtip  = mtime >= mtimecmp0;
4     aclint.mtime = mtime;
5 }
```

time、instret、cycle レジスタを読み込めるようにします (リスト 7.63)。

▼リスト 7.63: rdata にインターフェースの mtime を割り当てる (csrunit.veryl)

```
1 CsrAddr::CYCLE    : mcycle,
2 CsrAddr::TIME     : aclint.mtime,
3 CsrAddr::INSTRET : minstret,
```

# 第 8 章

## U-mode の実装

本章では RISC-V で最も低い特権レベルである User モード (U-mode) を実装します。U-mode は M-mode に管理されてアプリケーションを動かすための特権レベルであり、M-mode で利用できていたほとんどの CSR、機能が制限されます。

本章で実装、変更する主な機能は次の通りです。それぞれ解説しながら実装していきます。

1. mstatus レジスタの一部のフィールド
2. CSR のアクセス権限、MRET 命令の実行権限の確認
3. mcounteren レジスタ
4. 割り込み条件、トラップの動作

### 8.1 misa.Extensions の変更

U-mode を実装しているかどうかは misa.Extensions の U ビットで確認できます。

misa.Extensions の U ビットを 1 にします (リスト 8.1)。

#### ▼リスト 8.1: U ビットを 1 にする (csrunit.veryl)

```
1 let misa      : UIntX = {2'd2, 1'b0 repeat XLEN - 28, 26'b0000010000000100010000101}; // U, >
  > M, I, C, A
```

### 8.2 mstatus.UXL の実装

U-mode のときの XLEN は UXLEN と定義されており mstatus.UXL で確認できます。仕様上は mstatus.UXL の書き換えで UXLEN を変更できるように実装できますが、本書では UXLEN が常に 64 になるように実装します。

mstatus.UXL を 64 を示す値である 2 に設定します (リスト 8.2、リスト 8.3)。

## ▼ リスト 8.2: mstatus.UXL の定義 (eei.veryl)

```

1 // mstatus
2 const MSTATUS_UXL: UInt64 = 2 << 32;

```

## ▼ リスト 8.3: UXL の初期値を設定する (csrunit.veryl)

```

1 always_ff {
2     if_reset {
3         mode      = PrivMode::M;
4         mstatus  = MSTATUS_UXL;
5         mtvec    = 0;

```

## 8.3 mstatus.TW の実装

mstatus.TW は、M-mode よりも低い特権レベルで WFI 命令を実行するときに時間制限 (Timeout Wait) を設けるためのビットです。mstatus.TW が 0 のとき時間制限はありません。1 に設定されているとき、CPU の実装固有の時間だけ実行の再開を待ち、時間制限を過ぎると Illegal instruction 例外を発生させます。

本書では mstatus.TW が 1 のときに無限時間待てることにして、例外の実装を省略します。mstatus.TW を書き換えられるようにします (リスト 8.4)。

## ▼ リスト 8.4: 書き込みマスクを変更する (csrunit.veryl)

```

1 const MSTATUS_WMASK : UIntX = 'h0000_0000_0020_0088 as UIntX;

```

## 8.4 mstatus.MPP の実装

M-mode、U-mode だけが存在する環境でトラップが発生するとき、CPU は mstatus レジスタの MPP フィールドに現在の特権レベル (を示す値) を保存し、特権レベルを M-mode に変更します。また、MRET 命令を実行すると mstatus.MPP の特権レベルに移動するようになります。

これにより、トラップによる U(M)-mode から M-mode への遷移、MRET 命令による M-mode から U-mode への遷移を実現できます。

MRET 命令を実行すると mstatus.MPP は実装がサポートする最低の特権レベルに設定されます。

M-mode から U-mode に遷移したいときは、mstatus.MPP を U-mode の値に変更し、U-mode で実行を開始したいアドレスを mepc レジスタに設定して MRET 命令を実行します。

mstatus.MPP に値を書き込めるようにします (リスト 8.5)。

## ▼リスト 8.5: 書き込みマスクを変更する (csrunit.veryl)

```
1 const MSTATUS_WMASK : UIntX = 'h0000_0000_0020_1888 as UIntX;
```

MPP には `2'b00` (U-mode) と `2'b11` (M-mode) のみ設定できるようにします。サポートしていない値を書き込もうとする場合は現在の値を維持します ( リスト 8.6、リスト 8.7 )。

## ▼リスト 8.6: mstatus の書き込み (csrunit.veryl)

```
1 CsrAddr::MSTATUS : mstatus = validate_mstatus(mstatus, wdata);
```

## ▼リスト 8.7: mstatus レジスタの値を確認する関数 (csrunit.veryl)

```
1 function validate_mstatus (
2     mstatus: input UIntX,
3     wdata  : input UIntX,
4 ) -> UIntX {
5     var result: UIntX;
6     result = wdata;
7     // MPP
8     if wdata[12:11] != PrivMode::M && wdata[12:11] != PrivMode::U {
9         result[12:11] = mstatus[12:11];
10    }
11    return result;
12 }
```

トラップが発生する、トラップから戻るときの遷移先の特権レベルを求める ( リスト 8.8、リスト 8.9、リスト 8.10、リスト 8.11、リスト 8.12 )。

## ▼リスト 8.8: ビットを変数として定義する (csrunit.veryl)

```
1 let mstatus_mpp : PrivMode = mstatus[12:11] as PrivMode;
2 let mstatus_mpie: logic    = mstatus[7];
3 let mstatus_mie : logic    = mstatus[3];
```

## ▼リスト 8.9: 割り込みの遷移先の特権レベルを示す変数 (csrunit.veryl)

```
1 let interrupt_mode: PrivMode = PrivMode::M;
```

## ▼リスト 8.10: 例外の遷移先の特権レベルを示す変数 (csrunit.veryl)

```
1 let expt_mode : PrivMode = PrivMode::M;
```

## ▼リスト 8.11: MRET 命令の遷移先の特権レベルを示す変数 (csrunit.veryl)

```
1 let trap_return_mode: PrivMode = mstatus_mpp;
```

## ▼リスト 8.12: 遷移先の特権レベルを求める (csrunit.veryl)

```
1 let trap_mode_next: PrivMode = switch {
2     raise_expt      : expt_mode,
3     raise_interrupt: interrupt_mode,
4     trap_return    : trap_return_mode,
5     default        : PrivMode::U,
```

6 };

トラップが発生するとき、mstatus.MPP に現在の特権レベルを保存します（リスト 8.13）。また、トラップから戻るとき、特権レベルを mstatus.MPP に設定し、mstatus.MPP に実装がサポートする最小の特権レベルである `PrivMode::U` を書き込みます。

▼ リスト 8.13: 特権レベル、mstatus.MPP を更新する (csrunit.veryl)

```

1  if raise_trap {
2      if raise_expt || raise_interrupt {
3          ...
4          // save current privilege level to mstatus.mpp
5          @<b<|mstatus[12:11] = mode;|
6      } else if trap_return {
7          ...
8          // set mstatus.mpp = U (least privilege level)
9          mstatus[12:11] = PrivMode::U;
10     }
11     mode = trap_mode_next;

```

## 8.5 CSR のアクセス権限の確認

CSR のアドレスを `csr_addr` とするとき、`csr_addr[9:8]` の 2 ビットはその CSR にアクセスできる最低の権限レベルを表しています。これを下回る特権レベルで CSR にアクセスしようとすると Illegal instruction 例外が発生します。

CSR のアドレスと特権レベルを確認して、例外を起こすようにします（リスト 8.14、リスト 8.15、リスト 8.16）。

▼ リスト 8.14: 現在の特権レベルで CSR にアクセスできるか判定する (csrunit.veryl)

```

1  let expt_csr_privViolation: logic = is_wsc && csr_addr[9:8] >: mode; // attempt to access CSR without privilege level

```

▼ リスト 8.15: 例外の発生条件に追加する (csrunit.veryl)

```

1  let raise_expt: logic = valid && (expt_info.valid || expt_write_READONLY_CSR || expt_csr_privViolation);

```

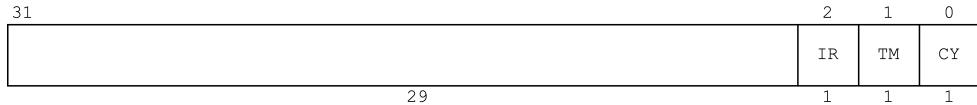
▼ リスト 8.16: cause を設定する (csrunit.veryl)

```

1  expt_write_READONLY_CSR: CsrCause::ILLEGAL_INSTRUCTION,
2  expt_csr_privViolation: CsrCause::ILLEGAL_INSTRUCTION,
3  default : 0,

```

## 8.6 mcounteren レジスタの実装



▲図 8.1: mcounteren レジスタ

mcounteren レジスタは、M-mode の次に低い特権レベルでハードウェアパフォーマンスマニアにアクセスできるようにするかを制御する 32 ビットのレジスタです(図 8.1)。CY、TM、IR ビットはそれぞれ cycle、time、instret にアクセスできるかどうかを制御します<sup>\*1</sup>。

本章で M-mode の次に低い特権レベルとして U-mode を実装するため、mcounteren レジスタは U-mode でのアクセスを制御します。mcounteren レジスタで許可されていないまま U-mode で cycle、time、instret レジスタにアクセスしようとすると、Illegal Instruction 例外が発生します。

mcounteren レジスタを作成し、CY、TM、IR ビットに書き込みできるようにします(リスト 8.17、リスト 8.19、リスト 8.20、リスト 8.21、リスト 8.18、リスト 8.22)。

### ▼リスト 8.17: mcounteren レジスタの定義 (csrunit.veryl)

```
1 var mcounteren: UInt32;
```

### ▼リスト 8.18: mcounteren レジスタを 0 でリセットする (csrunit.veryl)

```
1 mie      = 0;
2 mcounteren = 0;
3 mscratch = 0;
```

### ▼リスト 8.19: rdata に mcounteren レジスタを設定する (csrunit.veryl)

```
1 CsrAddr::MIE      : mie,
2 CsrAddr::MCOUNTEREN: {1'b0 repeat XLEN - 32, mcounteren},
3 CsrAddr::MCYCLE   : mcycle,
```

### ▼リスト 8.20: 書き込みマスクの定義 (csrunit.veryl)

```
1 const MCOUNTEREN_WMASK: UIntX = 'h0000_0000_0000_0007 as UIntX;
```

### ▼リスト 8.21: wmask に書き込みマスクを設定する (csrunit.veryl)

```
1 CsrAddr::MIE      : MIE_WMASK,
2 CsrAddr::MCOUNTEREN: MCOUNTEREN_WMASK,
3 CsrAddr::MSCRATCH : MSCRATCH_WMASK,
```

<sup>\*1</sup> hpmcounter レジスタを制御する HPM ビットもありますが、hpmcounter レジスタを実装していないので実装しません

## ▼リスト 8.22: mcounteren レジスタの書き込み (csrunit.veryl)

```

1  CsrAddr::MIE      : mie      = wdata;
2  CsrAddr::MCOUNTEREN: mcounteren = wdata[31:0];
3  CsrAddr::MSCRATCH : mscratch = wdata;

```

U-mode でハードウェアパフォーマンスマニタにアクセスするとき、mcounteren レジスタのビットが 0 なら Illegal instruction 例外を発生させます（リスト 8.23、リスト 8.24）。

## ▼リスト 8.23: U-mode のとき、mcounteren レジスタを確認する (csrunit.veryl)

```

1  let expt_zicntr_priv      : logic = is_wsc && mode == PrivMode::U && case csr_addr {
2      CsrAddr::CYCLE      : !mcounteren[0],
3      CsrAddr::TIME       : !mcounteren[1],
4      CsrAddr::INSTRET: !mcounteren[2],
5      default           : 0,
6  }; // attempt to access Zicntr CSR without permission

```

## ▼リスト 8.24: cause を設定する (csrunit.veryl)

```

1  expt_csr_privViolation: CsrCause::ILLEGAL_INSTRUCTION,
2  expt_zicntr_priv      : CsrCause::ILLEGAL_INSTRUCTION,
3  default                : 0,

```

## 8.7 MRET 命令の実行を制限する

MRET 命令は M-mode 以上の特権レベルのときにしか実行できません。M-mode 未満の特権レベルで MRET 命令を実行しようとすると Illegal instruction 例外が発生します。

命令が MRET 命令のとき、特権レベルを確認して例外を発生させます（リスト 8.25、リスト 8.26、リスト 8.27）。

## ▼リスト 8.25: MRET 命令を実行するとき、現在の特権レベルを確認する (csrunit.veryl)

```

1  let expt_trap_return_priv: logic = is_mret && mode <: PrivMode::M; // attempt to execute tra>p return instruction in low privilege level

```

## ▼リスト 8.26: 例外の発生条件に追加する (csrunit.veryl)

```

1  let raise_expt: logic = valid && (expt_info.valid || expt_write_READONLY_CSR || expt_csr_pri>vViolation || expt_zicntr_priv || expt_trap_return_priv);

```

## ▼リスト 8.27: cause を設定する (csrunit.veryl)

```

1  expt_zicntr_priv      : CsrCause::ILLEGAL_INSTRUCTION,
2  expt_trap_return_priv : CsrCause::ILLEGAL_INSTRUCTION,
3  default                : 0,
4  };

```

## 8.8 ECALL 命令の cause を変更する

M-mode で ECALL 命令を実行すると Environment call from M-mode 例外が発生します。これに対して U-mode で ECALL 命令を実行すると Environment call from U-mode 例外が発生します。特権レベルと例外の対応は表 8.1 のようになっています。

▼表 8.1: ECALL 命令を実行したときに発生する例外

特権レベル	例外	cause
M-mode	Environment call from M-mode	11
S-mode	Environment call from S-mode	9
U-mode	Environment call from U-mode	8

ここで各例外の cause が U-mode の cause に特権レベルの数値を足したものになっていることを利用します。 `CsrCause` 型に Environment call from U-mode 例外の cause を追加します ( リスト 8.28 )。

▼リスト 8.28: `CsrCause` 型に例外の cause を追加する (eei.veryl)

```
1 STORE_AMO_ADDRESS_MISALIGNED = 6,
2 ENVIRONMENT_CALL_FROM_U_MODE = 8,
3 ENVIRONMENT_CALL_FROM_M_MODE = 11,
```

csrunit モジュールの `mode` レジスタをポート宣言に移動し、ID ステージで ECALL 命令をデコードするときに cause に `mode` を足します ( リスト 8.29、リスト 8.30、リスト 8.31、リスト 8.32 )。

▼リスト 8.29: `mode` レジスタをポートに移動する (csrunit.veryl)

```
1 rdata      : output UIntX      ,
2 mode       : output PrivMode  ,
3 raise_trap : output logic     ,
```

▼リスト 8.30: csrunit から現在の特権レベルを受け取る変数 (core.veryl)

```
1 var csru_priv_mode : PrivMode;
```

▼リスト 8.31: csrunit モジュールのインスタンスから現在の特権レベルを受け取る (core.veryl)

```
1 rdata      : csru_rdata      ,
2 mode       : csru_priv_mode  ,
3 raise_trap : csru_raise_trap ,
```

▼リスト 8.32: Environment call from U-mode 例外の cause に特権レベルの数値を足す (core.veryl)

```
1 } else if ids_inst_bits == 32'h00000073 {
2     // ECALL
3     exq_wdata.expt.valid    = 1;
4     exq_wdata.expt.cause    = CsrCause::ENVIRONMENT_CALL_FROM_U_MODE;
```

```
5     exq_wdata.expt.cause[1:0] = csru_priv_mode;
6     exq_wdata.expt.value      = 0;
```

## 8.9 割り込み条件の変更

M-modeだけが実装されたCPUで割り込みが発生する条件は「7.1.2 RISC-Vの割り込み」(p.122)で解説しましたが、M-modeとU-modeだけが実装されたCPUで割り込みが発生する条件は少し異なります。M-modeとU-modeだけが実装されたCPUで割り込みが発生する条件は次の通りです。

1. 割り込み原因に対応した mip レジスタのビットが 1 である
2. 割り込み原因に対応した mie レジスタのビットが 1 である
3. 現在の特権レベルが M-mode 未満である。または mstatus.MIE が 1 である

M-modeだけの場合と違い、現在の特権レベルが U-mode のときはグローバル割り込みイネーブルビット (mstatus.MIE) の値は考慮されずに割り込みが発生します。

現在の特権レベルによって割り込みが発生する条件を切り替えます。U-mode のときは mstatus.MIE を考慮しないようにします(リスト 8.33)。

### ▼リスト 8.33: U-mode のとき、割り込みの発生条件を変更する (csrunit.veryl)

```
1     let raise_interrupt : logic = valid && can_intr && (mode != PrivMode::M || mstatus_mie) &&
  > interrupt_pending != 0;
```

## 第 9 章

# S-mode の実装 (1. CSR の実装)

本章では Supervisort モード (S-mode) を実装します。S-mode は主に OS のようなシステムアプリケーションを動かすために使用される特権レベルです。S-mode がある環境には必ず U-mode が実装されています。

S-mode を導入することで変わるべき主要な機能はトラップです。M-mode、U-mode だけの環境ではトラップで特権レベルを M-mode に変更していましたが、M-mode ではなく S-mode に遷移できるようになります。これに伴い、トラップ関連の CSR(stvec、sepc、scause、stval など) が追加されます。

S-mode で新しく導入される大きな機能として仮想記憶システムがあります。仮想記憶システムはページングを使って仮想的なアドレスを使用できるようにする仕組みです。これについては第 10 章「S-mode の実装 (2. 仮想記憶システム)」で解説します。

他には scounteren レジスタ、トラップから戻るための SRET 命令などが追加されます。また、Supervisor software interrupt を提供する SSWI デバイスも実装します。それぞれ解説しながら実装します。

eei パッケージに、本書で実装する S-mode の CSR をすべて定義します。

### ▼リスト 9.1: CSR のアドレスを定義する (eei.vetyl)

```
1 enum CsrAddr: logic<12> {
2     // Supervisor Trap Setup
3     SSTATUS = 12'h100,
4     SIE = 12'h104,
5     STVEC = 12'h105,
6     SCOUNTEREN = 12'h106,
7     // Supervisor Trap Handling
8     SSCRATCH = 12'h140,
9     SEPC = 12'h141,
10    SCAUSE = 12'h142,
11    STVAL = 12'h143,
12    SIP = 12'h144,
13    // Supervisor Protection and Translation
14    SATP = 12'h180,
```

## 9.1

# misa.Extensions、mstatus.SXL、mstatus.MPP の実装

S-mode を実装しているかどうかは misa.Extensions の S ビットで確認できます。

misa.Extensions の S ビットを 1 に設定します (リスト 9.2)。

▼リスト 9.2: S ビットを 1 にする (csrunit.veryl)

```
1  let misa      : UIntX = {2'd2, 1'b0 repeat XLEN - 28, 26'b000001010000100010000101}; // >
>U, S, M, I, C, A
```

S-mode のときの XLEN は SXLEN と定義されており、mstatus.SXL で確認できます。本書では SXLEN が常に 64 になるように実装します。

mstatus.SXL を 64 を示す値である 2 に設定します (リスト 9.3、リスト 9.4)。

▼リスト 9.3: mstatus.SXL の定義 (eei.veryl)

```
1  const MSTATUS_UXL: UInt64 = 2 << 32;
2  const MSTATUS_SXL: UInt64 = 2 << 34;
```

▼リスト 9.4: mstatus.SXL の初期値を設定する (csrunit.veryl)

```
1  always_ff {
2      if_reset {
3          mode      = PrivMode::M;
4          mstatus   = MSTATUS_SXL | MSTATUS_UXL;
```

今のところ mstatus.MPP には M-mode と U-mode を示す値しか書き込めないようにしているので、S-mode の値 (2'b10) も書き込めるように変更します (リスト 9.5)。これにより、MRET 命令で S-mode に移動できるようになります。

▼リスト 9.5: MPP に S-mode を書き込めるようにする (csrunit.veryl)

```
1  function validate_mstatus (
2      mstatus: input UIntX,
3      wdata  : input UIntX,
4  ) -> UIntX {
5      var result: UIntX;
6      result = wdata;
7      // MPP
8      if wdata[12:11] == 2'b10 {
9          result[12:11] = mstatus[12:11];
10     }
11     return result;
12 }
```

## 9.2

# scounteren レジスタの実装

「8.6 mcounteren レジスタの実装」(p.147) では、ハードウェアパフォーマンスマニタに U-mode

でアクセスできるかを mcounteren レジスタで制御できるようにしました。S-mode を導入すると mcounteren レジスタは S-mode がハードウェアパフォーマンスマニタにアクセスできるかを制御するレジスタに変わります。また、mcounteren レジスタの代わりに U-mode でハードウェアパフォーマンスマニタにアクセスできるかを制御する 32 ビットの scounteren レジスタが追加されます。

scounteren レジスタのフィールドのビット配置は mcounteren レジスタと同じです。また、U-mode でハードウェアパフォーマンスマニタにアクセスできる条件は、mcounteren レジスタと scounteren レジスタの両方によって許可されている場合になります。

scounteren レジスタを作成し、読み書きできるようにします（リスト 9.6、リスト 9.7、リスト 9.8、リスト 9.9、リスト 9.10、リスト 9.11）。

#### ▼ リスト 9.6: scounteren レジスタの定義 (csrunit.veryl)

```
1  var scounteren: UInt32;
```

#### ▼ リスト 9.7: scounteren レジスタを 0 でリセットする (csrunit.veryl)

```
1  mtval      = 0;
2  scounteren = 0;
3  led        = 0;
```

#### ▼ リスト 9.8: rdata に scounteren レジスタの値を設定する (csrunit.veryl)

```
1  CsrAddr::MTVAL      : mtval,
2  CsrAddr::SCOUNTEREN: {1'b0 repeat XLEN - 32, scounteren},
3  CsrAddr::LED        : led,
```

#### ▼ リスト 9.9: 書き込みマスクの定義 (csrunit.veryl)

```
1  const SCOUNTEREN_WMASK: UIntX = 'h0000_0000_0000_0007 as UIntX;
```

#### ▼ リスト 9.10: wmask に書き込みマスクを設定する (csrunit.veryl)

```
1  CsrAddr::MTVAL      : MTVAL_WMASK,
2  CsrAddr::SCOUNTEREN: SCOUNTEREN_WMASK,
3  CsrAddr::LED        : LED_WMASK,
```

#### ▼ リスト 9.11: scounteren レジスタに書き込む (csrunit.veryl)

```
1  CsrAddr::MTVAL      : mtval      = wdata;
2  CsrAddr::SCOUNTEREN: scounteren = wdata[31:0];
3  CsrAddr::LED        : led        = wdata;
```

ハードウェアパフォーマンスマニタにアクセスするときに許可を確認する仕組みを実装します（リスト 9.12）。S-mode でアクセスするときは mcounteren レジスタだけ確認し、U-mode でアクセスするときは mcounteren レジスタと scounteren レジスタを確認します。

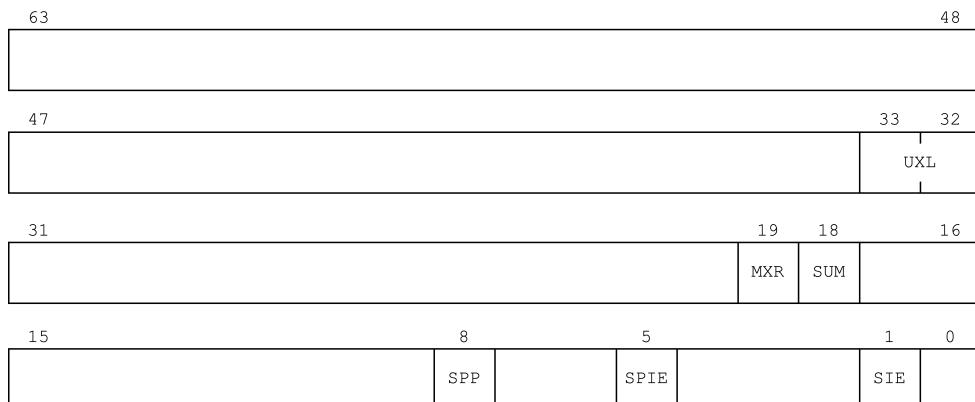
#### ▼ リスト 9.12: 許可の確認ロジックを変更する (csrunit.veryl)

```

1  let expt_zicntr_priv      : logic = is_wsc && (mode <= PrivMode::S && case csr_addr {
2      CsrAddr::CYCLE    : !mcounteren[0],
3      CsrAddr::TIME     : !mcounteren[1],
4      CsrAddr::INSTRET: !mcounteren[2],
5      default         : 0,
6  } || mode <= PrivMode::U && case csr_addr {
7      CsrAddr::CYCLE    : !scounteren[0],
8      CsrAddr::TIME     : !scounteren[1],
9      CsrAddr::INSTRET: !scounteren[2],
10     default         : 0,
11  }); // attempt to access Zicntr CSR without permission

```

## 9.3 sstatus レジスタの実装



▲図 9.1: sstatus レジスタ

sstatus レジスタは mstatus レジスタの一部を S-mode で読み込み、書き込みできるようにした SXLEN ビットのレジスタです。本章では mstatus レジスタに読み込み、書き込みマスクを適用することで sstatus レジスタを実装します。

sstatus レジスタの書き込みマスクを定義します ( リスト 9.13、リスト 9.14 )。

### ▼リスト 9.13: 書き込みマスクの定義 (csrunit.veryl)

```

1  const SSTATUS_WMASK : UIntX = 'h0000_0000_0000_0000 as UIntX;

```

### ▼リスト 9.14: wmask に書き込みマスクを設定する (csrunit.veryl)

```

1  CsrAddr::MVAL      : MVAL_WMASK,
2  CsrAddr::SSTATUS   : SSTATUS_WMASK,
3  CsrAddr::SCOUNTEREN: SCOUNTEREN_WMASK,

```

読み込みマスクを定義し、mstatus レジスタにマスクを適用した値を sstatus レジスタの値にし

ます ( リスト 9.15、リスト 9.16、リスト 9.17 )。

▼ リスト 9.15: 読み込みマスクの定義 (csrunit.veryl)

```
1 const SSTATUS_RMASK: UIntX = 'h8000_0003_018f_e762;
```

▼ リスト 9.16: sstatus の値を mstatus にマスクを適用したものにする (csrunit.veryl)

```
1 let sstatus : UIntX = mstatus & SSTATUS_RMASK;
```

▼ リスト 9.17: rdata に sstatus レジスタの値を設定する (csrunit.veryl)

```
1 CsrAddr::MTVAL      : mtval,
2 CsrAddr::SSTATUS    : sstatus,
3 CsrAddr::SCOUNTEREN: {1'b0 repeat XLEN - 32, scounteren},
```

マスクを適用した書き込みを実装します ( リスト 9.18 )。書き込みマスクが適用された wdata と、書き込みマスクをビット反転した値でマスクされた mstatus レジスタの値の OR を書き込みます。

▼ リスト 9.18: sstatus レジスタへの書き込みで mstatus レジスタに書き込む (csrunit.veryl)

```
1 CsrAddr::SSTATUS : mstatus = validate_mstatus(mstatus, wdata | mstatus & ~SSTATUS_WMASK);
>;
```

## 9.4 トランプの委譲

### 9.4.1 トランプの委譲

S-mode が実装されているとき、S-mode と U-mode で発生するトランプの遷移先の特権レベルを M-mode から S-mode に変更 ( 委譲 ) することができます。特権レベルが M-mode のときに発生したトランプの特権レベルの遷移先を S-mode に変更することはできません。

M-mode から S-mode に委譲されたトランプのトランプベクタは、mtvec ではなく stvec になります。また、mepc ではなく sepc にトランプが発生した命令アドレスを格納し、scause にトランプの原因を示す値、stval に例外に固有の情報、sstatus.SPP にトランプ前の特権レベル、sstatus.SPIE に sstatus.SIE、sstatus.SIE に 0 を格納します。これ以降、トランプで x-mode に遷移するときに変更、参照する CSR を例えば xtvec、xepr、xcause、xtval、mstatus.xPP のように頭文字を x にして呼ぶことがあります。

#### 例外の委譲

medeleg レジスタは、どの例外を委譲するかを制御する 64 ビットのレジスタです。medeleg レジスタの下から **i** 番目のビットが立っているとき、S-mode、U-mode で発生した cause が **i** の例外を S-mode に委譲します。M-mode で発生した例外は S-mode に委譲されません。

Environment call from M-mode 例外のように委譲することができない命令の medeleg レジスタのビットは 1 に変更できません。

## 割り込みの委譲

mideleg レジスタは、どの割り込みを委譲するかを制御する MXLEN ビットのレジスタです。各割り込みは mie、mip レジスタと同じ場所の mideleg レジスタのビットによって委譲されるかどうかが制御されます。

M-mode、S-mode、U-mode が実装された CPU で、割り込みで M-mode に遷移する条件は次の通りです。

1. 割り込み原因に対応した mip レジスタのビットが **1** である
2. 割り込み原因に対応した mie レジスタのビットが **1** である
3. 現在の特権レベルが M-mode 未満である。または mstatus.MIE が **1** である
4. 割り込み原因に対応した mideleg レジスタのビットが **0** である

割り込みで S-mode に遷移する条件は次の通りです。

1. 割り込み原因に対応した sip レジスタのビットが **1** である
2. 割り込み原因に対応した sie レジスタのビットが **1** である
3. 現在の特権レベルが S-mode 未満である。または S-mode のとき、sstatus.SIE が **1** である

sip、sie レジスタは、それぞれ mip、mie レジスタの委譲された割り込みのビットだけ読み込み、書き込みできるようにしたレジスタです。委譲されていない割り込みに対応したビットは読み込み専用の **0** になります。S-mode に委譲された割り込みは、特権レベルが M-mode のときは発生しません。

S-mode に委譲された割り込みは外部割り込み、ソフトウェア割り込み、タイマ割り込みの順に優先されます。委譲されていない割り込みを同じタイミングで発生させられるとき、委譲されていない割り込みが優先されます。

本書では M-mode の外部割り込み (Machine external interrupt)、ソフトウェア割り込み (Machine software interrupt)、タイマ割り込み (Machine timer interrupt) は S-mode に委譲できないように実装します<sup>\*1</sup>。

### 9.4.2 トランプに関連するレジスタを作成する

S-mode に委譲されたトランプで使用する stvec、sscratch、sepc、scause、stval レジスタを作成します ( リスト 9.19、リスト 9.20、リスト 9.21、リスト 9.22、リスト 9.23、リスト 9.24 )。

#### ▼ リスト 9.19: レジスタの定義 (csrunit.ver.vy)

```

1  var stvec      : UIntX ;
2  var sscratch   : UIntX ;
3  var sepc       : UIntX ;
4  var scause     : UIntX ;
5  var stval      : UIntX ;

```

<sup>\*1</sup> 多くの実装ではこれらの割り込みを委譲できないように実装するようです。そのため、本書で実装するコアでも委譲できないように実装します。

## ▼リスト 9.20: レジスタを 0 でリセットする (csrunit.veryl)

```

1  stvec      = 0;
2  sscratch   = 0;
3  sepc       = 0;
4  scause     = 0;
5  stval      = 0;

```

## ▼リスト 9.21: rdata にレジスタの値を割り当てる (csrunit.veryl)

```

1  CsrAddr::STVEC      : stvec,
2  CsrAddr::SSCRATCH   : sscratch,
3  CsrAddr::SEPC       : sepc,
4  CsrAddr::SCAUSE     : scause,
5  CsrAddr::STVAL      : stval,

```

それぞれ、mtvec、mscratch、mepc、mcause、mtval レジスタと同じ書き込みマスクを設定します。

## ▼リスト 9.22: 書き込みマスクの定義 (csrunit.veryl)

```

1  const STVEC_WMASK      : UIntX = 'hffff_ffff_ffff_fffd;
2  const SSCRATCH_WMASK   : UIntX = 'hffff_ffff_ffff_ffff;
3  const SEPC_WMASK       : UIntX = 'hffff_ffff_ffff_ffe;
4  const SCAUSE_WMASK     : UIntX = 'hffff_ffff_ffff_fff;
5  const STVAL_WMASK      : UIntX = 'hffff_ffff_ffff_fff;

```

## ▼リスト 9.23: wmask に書き込みマスクを設定する (csrunit.veryl)

```

1  CsrAddr::STVEC      : STVEC_WMASK,
2  CsrAddr::SSCRATCH   : SSCRATCH_WMASK,
3  CsrAddr::SEPC       : SEPC_WMASK,
4  CsrAddr::SCAUSE     : SCAUSE_WMASK,
5  CsrAddr::STVAL      : STVAL_WMASK,

```

## ▼リスト 9.24: レジスタの書き込み (csrunit.veryl)

```

1  CsrAddr::STVEC      : stvec      = wdata;
2  CsrAddr::SSCRATCH   : sscratch   = wdata;
3  CsrAddr::SEPC       : sepc       = wdata;
4  CsrAddr::SCAUSE     : scause     = wdata;
5  CsrAddr::STVAL      : stval      = wdata;

```

### 9.4.3 stvec レジスタの実装

トランプが発生するとき、遷移先の特権レベルが S-mode なら stvec レジスタの値にジャンプするようにします（リスト 9.25、リスト 9.26）。割り込み、例外それぞれにレジスタを選択する変数を定義し、mtvec を使っていたところを新しい変数に置き換えます。

## ▼リスト 9.25: トランプベクタを遷移先の特権レベルによって変更する (csrunit.veryl)

```

1  let interrupt_xtvec : Addr = if interrupt_mode == PrivMode::M ? mtvec : stvec;
2  let interrupt_vector: Addr = if interrupt_xtvec[0] == 0 ?

```

```

3   {interrupt_xtvec[msb:2], 2'b0}
4   : // Direct
5   {interrupt_xtvec[msb:2] + interrupt_cause[msb - 2:0], 2'b0}
6   ; // Vectored

```

▼リスト 9.26: トランプベクタを遷移先の特権レベルによって変更する (csrunit.veryl)

```

1 let expt_xtvec : Addr      = if expt_mode == PrivMode::M ? mtvec : stvec;
2 let expt_vector: Addr      = {expt_xtvec[msb:2], 2'b0};

```

#### 9.4.4 トランプで sepc、scause、stval レジスタを変更する

トランプが発生するとき、遷移先の特権レベルが S-mode なら sepc、scause、stval レジスタを変更するようにします。

トランプ時に `trap_mode_next` で処理を分岐します (リスト 9.27)。

▼リスト 9.27: 遷移先の特権レベルによってトランプ処理を分岐する (csrunit.veryl)

```

1 if raise_expt || raise_interrupt {
2     let xepc: Addr = if raise_expt ? pc : // exception
3         if raise_interrupt && is_wfi ? pc + 4 : pc; // interrupt when wfi / interrupt
4         if trap_mode_next == PrivMode::M {
5             mepc    = xepc;
6             mcause = trap_cause;
7             if raise_expt {
8                 mtval = expt_value;
9             }
10            // save mstatus.mie to mstatus.mpie
11            // and set mstatus.mie = 0
12            mstatus[7] = mstatus[3];
13            mstatus[3] = 0;
14            // save current privilege level to mstatus.mpp
15            mstatus[12:11] = mode;
16        } else {
17            sepc    = xepc;
18            scause = trap_cause;
19            if raise_expt {
20                stval = expt_value;
21            }
22        }
}

```

#### 9.4.5 mstatus の SIE、SPIE、SPP ビットを実装する

`mstatus` レジスタの SIE、SPIE、SPP ビットを実装します。`mstatus.SIE` は S-mode に委譲された割り込みのグローバル割り込みイネーブルビットです。`mstatus.SPIE` は S-mode に委譲されたトランプが発生するときに `mstatus.SIE` を退避するビットです。`mstatus.SPP` は S-mode に委譲されたトランプが発生するときに、トランプ前の特権レベルを書き込むビットです。S-mode に委譲されたトランプは S-mode か U-mode でしか発生しないため、`mstatus.SPP` は特権レベルを区別するために十分な 1 ビット幅のフィールドになっています。

mstatus、sstatus レジスタの SIE、SPIE、SPP ビットに書き込めるようにします ( リスト 9.28、リスト 9.29 )。

▼ リスト 9.28: 書き込みマスクを変更する (csrunit.veryl)

```
1 const MSTATUS_WMASK : UIntX = 'h0000_0000_0020_19aa as UIntX;
```

▼ リスト 9.29: 書き込みマスクを変更する (csrunit.veryl)

```
1 const SSTATUS_WMASK : UIntX = 'h0000_0000_0000_0122 as UIntX;
```

トランプで S-mode に遷移するとき、sstatus.SPIE に sstatus.SIE、sstatus.SIE に 0 、sstatus.SPP にトランプ前の特権レベルを格納します ( リスト 9.30 )。

▼ リスト 9.30: sstatus.SPIE、SIE、SPP をトランプで変更する (csrunit.veryl)

```
1 } else {
2     sepc = xepc;
3     scause = trap_cause;
4     if raise_expt {
5         stval = expt_value;
6     }
7     // save sstatus.sie to sstatus.spi
8     // and set sstatus.sie = 0
9     mstatus[5] = mstatus[1];
10    mstatus[1] = 0;
11    // save current privilege mode (S or U) to sstatus.spp
12    mstatus[8] = mode[0];
13 }
```

## 9.4.6 SRET 命令を実装する

### SRET 命令の実装

SRET 命令は、S-mode の CSR(sepc、sstatus など) を利用してトランプ処理から戻るための命令です。SRET 命令は S-mode 以上の特権レベルのときにしか実行できません。

inst\_decoder モジュールで SRET 命令をデコードできるようにします ( リスト 9.31 )。

▼ リスト 9.31: SRET 命令のとき valid を 1 にする (inst\_decoder.veryl)

```
1 OP_SYSTEM: f3 != 3'b000 && f3 != 3'b100 || // CSRR(W|S|C)[I]
2     bits == 32'h00000073 || // ECALL
3     bits == 32'h00100073 || // EBREAK
4     bits == 32'h30200073 || // MRET
5     bits == 32'h10200073 || // SRET
6     bits == 32'h10500073, // WFI
```

SRET 命令を判定し、ジャンプ先と遷移先の特権レベルを命令によって切り替えます ( リスト 9.32、リスト 9.33、リスト 9.34 )。

## ▼ リスト 9.32: SRT 命令の判定 (csrunit.veryl)

```
1 let is_sret: logic = inst_bits == 32'h10200073;
```

## ▼ リスト 9.33: SRET 命令のとき遷移先の特権レベル、アドレスを変更する (csrunit.veryl)

```
1 assign trap_return      = valid && (is_mret || is_sret) && !raise_expt && !raise_interrupt>
>t;
2 let trap_return_mode : PrivMode = if is_mret ? mstatus_mpp : mstatus_spp;
3 let trap_return_vector: Addr   = if is_mret ? mepc : sepc;
```

## ▼ リスト 9.34: trap\_return\_vector を trap\_vector に割り当てる (csrunit.veryl)

```
1 assign trap_vector = switch {
2     raise_expt      : expt_vector,
3     raise_interrupt: interrupt_vector,
4     trap_return     : trap_return_vector,
5     default         : 0,
6 };
```

SRET 命令を実行するとき、sstatus.SIE に sstatus.SPIE、sstatus.SPIE に `0`、sstatus.SPP に実装がサポートする最小の特権レベル (U-mode) を示す値を格納します (リスト 9.35)。

## ▼ リスト 9.35: SRET 命令による sstatus の変更 (csrunit.veryl)

```
1 } else if trap_return {
2     if is_mret {
3         // set mstatus.mie = mstatus.mpie
4         //     mstatus.mpie = 0
5         mstatus[3] = mstatus[7];
6         mstatus[7] = 0;
7         // set mstatus.mpp = U (least privilege level)
8         mstatus[12:11] = PrivMode::U;
9     } else if is_sret {
10         // set sstatus.sie = sstatus.spie
11         //     sstatus.spie = 0
12         mstatus[1] = mstatus[5];
13         mstatus[5] = 0;
14         // set sstatus.spp = U (least privilege level)
15         mstatus[8] = 0;
16     }
17 }
```

SRET 命令を S-mode 未満の特権レベルで実行しようとしたら例外が発生するようにします (リスト 9.36)。

## ▼ リスト 9.36: SRET 命令を実行するときに特権レベルを確認する (csrunit.veryl)

```
1 let expt_trap_return_priv: logic = (is_mret && mode <: PrivMode::M) || (is_sret && mode <: PrivMode::S);
```

**mstatus.TSR の実装**

mstatus レジスタの TSR(Trap SRET) ビットは、SRET 命令を S-mode で実行したときに例

外を発生させるかを制御するビットです。1のとき、Illegal instruction例外が発生するようになります。

mstatus.TSRを変更できるようにします(リスト9.37)。

▼リスト9.37: 書き込みマスクを変更する(csrunit.veryl)

```
1 const MSTATUS_WMASK : UIntX = 'h0000_0000_0060_19aa as UIntX;
```

例外を判定します(リスト9.38、リスト9.39)。

▼リスト9.38: TSRビットを表す変数(csrunit.veryl)

```
1 let mstatus_tsr : logic = mstatus[22];
```

▼リスト9.39: mstatus.TSRが1のときにS-modeでSRET命令を実行したら例外にする(csrunit.veryl)

```
1 let expt_trap_return_priv: logic = (is_mret && mode <: PrivMode::M) || (is_sret && (mode <: >PrivMode::S || (mode == PrivMode::S && mstatus_tsr)));
```

## 9.4.7 SEI、SSI、STIを実装する

S-modeを導入すると、S-modeの外部割り込み(Supervisor external interrupt)、ソフトウェア割り込み(Supervisor software interrupt)、タイマ割り込み(Supervisor timer interrupt)に対応するmip、mieレジスタのビットを変更できるようになります。

例外、割り込みはそれぞれmedeleg、midelegレジスタでS-modeに処理を委譲することができます。委譲された割り込みのmipレジスタの値はsipレジスタで観測できるようになり、割り込みを有効にするかをsieレジスタで制御できるようになります。

### mip、mieレジスタの変更

mipレジスタのSEIP、SSIP、STIPビット、mieレジスタのSEIE、SSIE、STIEビットを変更できるようにします。

書き込みマスクを変更、実装します(リスト9.40、リスト9.41、リスト9.42、リスト9.43、リスト9.44)。

▼リスト9.40: 書き込みマスクの定義/変更(csrunit.veryl)

```
1 const MIP_WMASK : UIntX = 'h0000_0000_0000_0222 as UIntX;
2 const MIE_WMASK : UIntX = 'h0000_0000_0000_02aa as UIntX;
```

▼リスト9.41: wmaskに書き込みマスクを設定する(csrunit.veryl)

```
1 CsrAddr::MIP : MIP_WMASK,
```

`mip_reg`レジスタを作成します。`mip`の値を、`mip_reg`とACLINTの状態をOR演算したものに変更します()。

## ▼リスト 9.42: レジスタを作成して変数に適用する (csrunit.veryl)

```

1  var mip_reg: UIntX;
2  let mip    : UIntX = mip_reg | {

```

`mip_reg` レジスタのリセット、書き込みを実装します`()`。`wdata` には ACLINT の状態が含まれているので、書き込みマスクをもう一度適用します。

## ▼リスト 9.43: レジスタの値を 0 でリセットする (csrunit.veryl)

```

1  mie      = 0;
2  mip_reg = 0;
3  mcounteren = 0;

```

## ▼リスト 9.44: mip レジスタの書き込み (csrunit.veryl)

```

1  CsrAddr::MTVEC    : mtvec      = wdata;
2  CsrAddr::MIP      : mip_reg   = wdata & MIP_WMASK;
3  CsrAddr::MIE      : mie        = wdata;

```

**cause の設定**

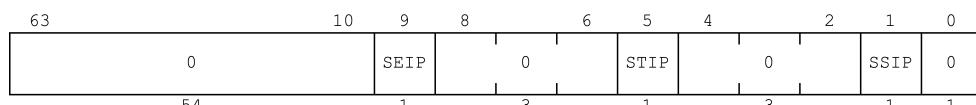
S-mode の割り込みの cause を設定します (リスト 9.45)。

## ▼リスト 9.45: 割り込み原因の追加 (csrunit.veryl)

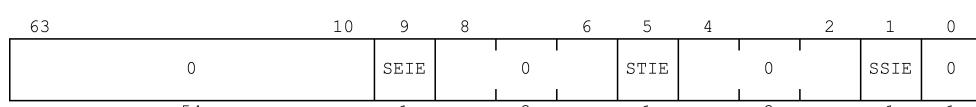
```

1  let interrupt_cause : UIntX = switch {
2      interrupt_pending[3]: CsrCause::MACHINE_SOFTWARE_INTERRUPT,
3      interrupt_pending[7]: CsrCause::MACHINE_TIMER_INTERRUPT,
4      interrupt_pending[9]: CsrCause::SUPERVISOR_EXTERNAL_INTERRUPT,
5      interrupt_pending[1]: CsrCause::SUPERVISOR_SOFTWARE_INTERRUPT,
6      interrupt_pending[5]: CsrCause::SUPERVISOR_TIMER_INTERRUPT,
7      default             : 0,
8  };

```

**medeleg、mideleg、sip、sie レジスタの実装**

▲図 9.2: sip レジスタ



▲図 9.3: sie レジスタ

medeleg、mideleg、sip、sie レジスタを実装します。

medeleg、mideleg レジスタはそれぞれ委譲できる例外、割り込みに対応するビットだけ書き換えられるようにします。sip レジスタは mideleg レジスタで委譲された割り込みに対応するビットだけ値を参照できるように、sie レジスタは mideleg レジスタで委譲された割り込みに対応するビットだけ書き換えられるようにします。

レジスタを作成し、読み込めるようにします ( リスト 9.46、リスト 9.47、リスト 9.48、リスト 9.49、リスト 9.50、リスト 9.51 )。

▼ リスト 9.46: medeleg、mideleg レジスタの定義 (csrunit.veryl)

```
1  var medeleg    : UInt64;
2  var mideleg    : UIntX ;
```

▼ リスト 9.47: sie、sie レジスタの定義 (csrunit.veryl)

```
1  let sip        : UIntX = mip & mideleg;
2  var sie        : UIntX ;
```

▼ リスト 9.48: medeleg、mideleg レジスタを 0 でリセットする (csrunit.veryl)

```
1  medeleg      = 0;
2  mideleg      = 0;
```

▼ リスト 9.49: sie レジスタを 0 でリセットする (csrunit.veryl)

```
1  sie          = 0;
```

▼ リスト 9.50: rdata に medeleg、mideleg レジスタの値を割り当てる (csrunit.veryl)

```
1  CsrAddr::MEDELEG : medeleg,
2  CsrAddr::MIDELEG : mideleg,
```

▼ リスト 9.51: rdata に sip、sie レジスタの値を割り当てる (csrunit.veryl)

```
1  CsrAddr::SIP      : sip,
2  CsrAddr::SIE      : sie & mideleg,
```

書き込みマスクを設定し、書き込めるようにします ( リスト 9.52、リスト 9.53、リスト 9.54、リスト 9.55、リスト 9.56、リスト 9.57 )。

▼ リスト 9.52: 書き込みマスクの定義 (csrunit.veryl)

```
1  const MEDELEG_WMASK : UIntX = 'hffff_ffff_fffe_f7ff;
2  const MIDELEG_WMASK : UIntX = 'h0000_0000_0000_0222 as UIntX;
```

▼ リスト 9.53: 書き込みマスクの定義 (csrunit.veryl)

```
1  const SIE_WMASK    : UIntX = 'h0000_0000_0000_0222 as UIntX;
```

▼ リスト 9.54: wmask に書き込みマスクを設定する (csrunit.veryl)

```
1  CsrAddr::MEDELEG : MEDELEG_WMASK,
2  CsrAddr::MIDELEG : MIDELEG_WMASK,
```

## ▼ リスト 9.55: wmask に書き込みマスクを設定する (csrunit.veryl)

```
1  CsrAddr::SIE      : SIE_WMASK & mideleg,
```

## ▼ リスト 9.56: medeleg、mideleg レジスタの書き込み (csrunit.veryl)

```
1  CsrAddr::MEDELEG : medeleg    = wdata;
2  CsrAddr::MIDELEG : mideleg    = wdata;
```

## ▼ リスト 9.57: sie レジスタの書き込み (csrunit.veryl)

```
1  CsrAddr::SIE      : sie        = wdata;
```

**9.4.8 割り込み条件、トランプの動作を変更する**

作成した CSR を利用して、割り込みが発生する条件、トランプが発生したときの CSR の操作を変更します。

例外が発生するとき、遷移先の特権レベルを medeleg レジスタによって変更します（リスト 9.58）。

## ▼ リスト 9.58: 例外の遷移先の特権レベルを求める (csrunit.veryl)

```
1  let expt_mode : PrivMode = if mode == PrivMode::M || !medeleg[expt_cause[5:0]] ? PrivMode::>
>M : PrivMode::S;
```

割り込みの発生条件と参照する CSR を、遷移先の特権レベルごとに用意します（リスト 9.59、リスト 9.60）。

## ▼ リスト 9.59: M-mode に遷移する割り込みを示す変数 (csrunit.veryl)

```
1  // Interrupt to M-mode
2  let interrupt_pending_mmode: UIntX = mip & mie & ~mideleg;
3  let raise_interrupt_mmode : logic = (mode != PrivMode::M || mstatus_mie) && interrupt_pending_mmode != 0;
4  let interrupt_cause_mmode : UIntX = switch {
5      interrupt_pending_mmode[3]: CsrCause::MACHINE_SOFTWARE_INTERRUPT,
6      interrupt_pending_mmode[7]: CsrCause::MACHINE_TIMER_INTERRUPT,
7      interrupt_pending_mmode[9]: CsrCause::SUPERVISOR_EXTERNAL_INTERRUPT,
8      interrupt_pending_mmode[1]: CsrCause::SUPERVISOR_SOFTWARE_INTERRUPT,
9      interrupt_pending_mmode[5]: CsrCause::SUPERVISOR_TIMER_INTERRUPT,
10     default                  : 0,
11 };

```

## ▼ リスト 9.60: S-mode に遷移する割り込みを示す変数 (csrunit.veryl)

```
1  // Interrupt to S-mode
2  let interrupt_pending_smode: UIntX = sip & sie;
3  let raise_interrupt_smode : logic = (mode <: PrivMode::S || (mode == PrivMode::S && mstatus_sie)) && interrupt_pending_smode != 0;
4  let interrupt_cause_smode : UIntX = switch {
5      interrupt_pending_smode[9]: CsrCause::SUPERVISOR_EXTERNAL_INTERRUPT,
6      interrupt_pending_smode[1]: CsrCause::SUPERVISOR_SOFTWARE_INTERRUPT,
7      interrupt_pending_smode[5]: CsrCause::SUPERVISOR_TIMER_INTERRUPT,
```

```

8     default          : 0,
9 };

```

M-mode 向けの割り込みを優先して利用します (リスト 9.61)。

▼ リスト 9.61: M-mode、S-mode に遷移する割り込みを調停する (csrunit.veryl)

```

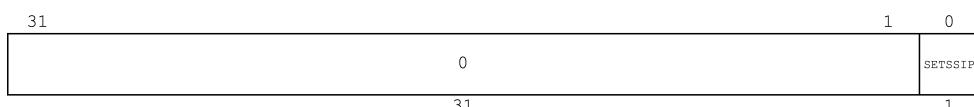
1 // Interrupt
2 let raise_interrupt : logic = valid && can_intr && (raise_interrupt_mmode || raise_interrupt_smode);
3 let interrupt_cause : UIntX = if raise_interrupt_mmode ? interrupt_cause_mmode : interrupt_cause_smode;
4 let interrupt_xtvec : Addr = if interrupt_mode == PrivMode::M ? mtvec : stvec;
5 let interrupt_vector: Addr = if interrupt_xtvec[0] == 0 ?
6     {interrupt_xtvec[msb:2], 2'b0}
7 : // Direct
8     {interrupt_xtvec[msb:2] + interrupt_cause[msb - 2:0], 2'b0}
9 ; // Vectored
10 let interrupt_mode: PrivMode = if raise_interrupt_mmode ? PrivMode::M : PrivMode::S;

```

## 9.5 ソフトウェア割り込みの実装 (SSWI)

SSWI デバイスはソフトウェア割り込み (supervisor software interrupt) を提供するためのデバイスです。SSWI デバイスにはハードウェアスレッド毎に 4 バイトの SETSSIP レジスタが用意されています (TODO テーブル) SETSSIP レジスタを読み込むと常に 0 を返しますが、最下位ビットに 1 を書き込むとそれに対応するハードウェアスレッドの mip.SSIP ビットが 1 になります。

TODO テーブル 4095 個



▲ 図 9.4: setssip レジスタ

今のところ mhartid が 0 のハードウェアスレッドしか存在しないため、SETSSIP0 のみ実装します。aclint\_if インターフェースに、mip レジスタの SSIP ビットを 1 にする要求のための setssip を作成します (リスト 9.62、リスト 9.63)。

▼ リスト 9.62: setssip をインターフェースに追加する (aclint\_if.veryl)

```

1 interface aclint_if {
2     var msip    : logic ;
3     var mtip    : logic ;
4     var mtime  : UInt64;

```

```

5  var setssip: logic ;
6  modport master {
7      msip    : output,
8      mtip    : output,
9      mtime   : output,
10     setssip: output,
11 }

```

aclint モジュールで SETSSIP0 への書き込みを検知し、最下位ビットを `setssip` に接続します。

▼リスト 9.63: SETSSIP0 に書き込むとき `setssip` に LSB を割り当てる (aclint\_memory.veryl)

```

1  always_comb {
2      aclint.setssip = 0;
3      if membus.valid && membus.wen && membus.addr == MMAP_ACLINT_SETSSIP {
4          aclint.setssip = membus.wdata[0];
5      }
6  }

```

csrunit モジュールで `setssip` を確認し、mip.SSIP を立てるようになります ( リスト 9.64、リスト 9.65、リスト 9.66 )。

▼リスト 9.64: `setssip` を XLEN ビットに拡張する (csrunit.veryl)

```

1  let setssip: UIntX = {1'b0 repeat XLEN - 2, aclint.setssip, 1'b0};

```

▼リスト 9.65: `setssip` で `mip` を更新する (csrunit.veryl)

```

1  } else {
2      mcycle  += 1;
3      mip_reg |= setssip;

```

▼リスト 9.66: `setssip` で `mip` を更新する (csrunit.veryl)

```

1  CsrAddr::MIP      : mip_reg    = (wdata & MIP_WMASK) | setssip;

```

# 第 10 章

## S-mode の実装 (2. 仮想記憶システム)

### 10.1 概要

#### 10.1.1 仮想記憶システム

TODO 図

仮想記憶 (Virtual Memory) とは、メモリを管理する手法の一種です。仮想的なアドレス (virtual address、仮想アドレス) を実際のアドレス (real address、実アドレス) に変換することにより、実際のアドレス空間とは異なるアドレス空間を提供することができます。実アドレスのことを物理アドレス (physical address) と呼ぶことがあります。

仮想記憶を利用すると、次のような動作を実現できます。

1. 連続していない物理アドレス空間を仮想的に連続したアドレス空間として扱う。
2. 特定のアドレスにしか配置できない (特定のアドレスで動くことを前提としている) プログラムを、そのアドレスとは異なる物理アドレスに配置して実行する。
3. アプリケーションごとにアドレス空間を分離する。

一般的に仮想記憶システムはハードウェアによって提供されます。メモリアクセスを処理するハードウェア部品のことをメモリ管理ユニット (Memory Management Unit, MMU) と呼びます。

#### 10.1.2 ページング方式

図

仮想記憶システムを実現する方式の 1 つにページング方式 (Paging) があります。ページング方式は、物理アドレス空間の一部をページ (Page) という単位に割り当て、ページを参照するための情報をページテーブル (Page Table) に格納します。ページテーブルに格納する情報の単位のことをページテーブルエントリ (Page Table Entry、PTE) と呼びます。仮想アドレスから物理アドレスへの変換はページテーブルにある PTE を参照して行います。

### 10.1.3 RISC-V の仮想記憶システム

RISC-V の仮想記憶システムはページング方式を採用しており、RV32I 向けには Sv32、RV64I 向けには Sv39、Sv48、Sv57 が定義されています。

RISC-V の仮想アドレスの変換を簡単に説明します。仮想アドレスの変換は次のプロセスで行います。

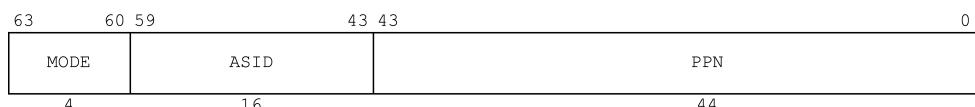
(a) satp レジスタの PPN フィールドと仮想アドレスのフィールドから PTE の物理アドレスを作る。(b) PTE を読み込む。PTE が有効なものか確認する。(c) PTE がページを指しているとき、PTE に書かれている権限を確認してから物理アドレスを作り、アドレス変換終了。(d) PTE が次の PTE を指しているとき、PTE のフィールドと仮想アドレスのフィールドから次の PTE の物理アドレスを作り、b に戻る。

satp レジスタは仮想記憶システムを制御するための CSR です。一番最初に参照する PTE のことを root PTE と呼びます。また、PTE がページを指しているとき、その PTE のことを leaf PTE と呼びます。

RISC-V のページングでは、satp レジスタと仮想アドレス、PTE を使って多段階の PTE の参照を行い、仮想アドレスを物理アドレスに変換します。Sv39 の場合、何段階で物理アドレスに変換できるかによってページサイズは 4KiB、2MiB、1GiB と異なります。これ以降、MMU 内のページング方式を実現する部品のことを PTW(Page Table Walker) と呼びます<sup>\*1</sup>。

### 10.1.4 satp レジスタ、アドレス変換プロセス

#### satp レジスタ



▲図 10.1: satp レジスタ

RISC-V の仮想記憶システムは satp レジスタによって制御します。

MODE は仮想アドレスの変換方式を指定するフィールドです。方式と値は表 10.1 のように対応しています。方式が Bare(0) のときはアドレス変換を行いません(仮想アドレス=物理アドレス)。

ASID(Address Space IDentifier) は仮想アドレスが属するアドレス空間の ID です。動かすアプリケーションによって ID を変えることで MMU にアドレス変換の高速化のヒントを与えることができます。本章ではキャッシュ機構を持たない単純なモジュールを実装するため、ASID を無視したアドレス変換を実装します<sup>\*2</sup>。

\*1 ページテーブルをたどってアドレスを変換するので Page Table Walker と呼びます。アドレスを変換することを Page Table Walk と呼ぶこともあります。

\*2 PTW はページエントリをキャッシュすることで高速化できます。ASID が異なるときのキャッシュは利用することができません。キャッシュ機構 (TLB) は応用編で実装します。

▼表 10.1: 方式と MODE の値の対応

方式	MODE
Bare	0
Sv39	8
Sv48	9
Sv57	10

### TODO 図 (Sv39)

PPN(Physical Page Number) は root PTE の物理アドレスの一部を格納するフィールドです。root PTE のアドレスは仮想アドレスの VPN ビットと組み合わせて作られます (TODO 図)。

### アドレス変換プロセス (Sv39)

Sv39 の仮想アドレスは次の方法によって物理アドレスに変換されます<sup>\*3</sup>。

#### TODO プロセス

基本的にアドレス変換は S-mode、U-mode で有効になります。mstatus レジスタの MXR、SUM、MPRV ビットを利用すると、TODO プロセスの特権レベル、PTE の権限についての挙動を少し変更できます。

アドレスの変換途中で PTE が不正な値だったり、ページが求める権限を持たずにページにアクセスしようとした場合、アクセスする目的に応じたページフォルト (Page fault) 例外が発生します。命令フェッチは Instruction page fault 例外、ロード命令は Load page fault 例外、ストアと AMO 命令は Store/AMO page fault 例外が発生します。

### 10.1.5 実装順序

RISC-V では命令フェッチ、データのロードストアの両方でページングを利用できます。命令フェッチ、データのロードストアのそれぞれのために 2 つの PTW を用意してもいいですが、シンプルなアーキテクチャにするために本章では 1 つの PTW を共有することにします。

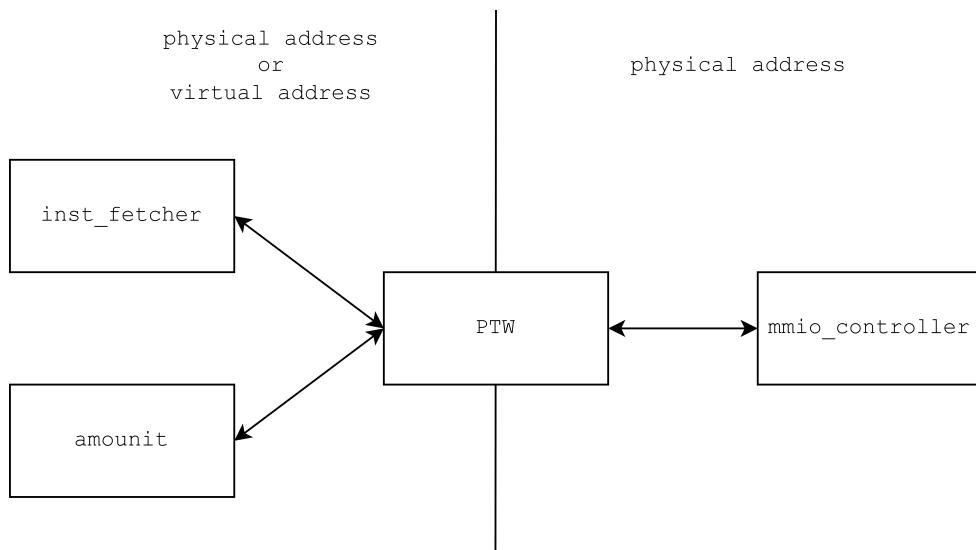
inst\_fetcher モジュール、amountit モジュールは仮想アドレスを扱うことがあります、mmio\_controller モジュールは常に物理アドレス空間を扱います。そのため、inst\_fetcher モジュール、amountit モジュールと mmio\_controller モジュールの間に PTW を配置します (図 10.2)。

本章では、仮想記憶システムを次の順序で実装します。

1. PTW で発生する例外を csrunit モジュールに伝達する
2. Bare にだけ対応したアドレス変換モジュール (ptw) を実装する
3. satp レジスタ、mstatus の MXR、SUM、MPRV ビットを実装する
4. Sv39 を実装する

<sup>\*3</sup> RISC-V の MMU は PMP、PMA という仕組みで物理アドレス空間へのアクセスを制限することができ、それに違反した場合にアクセスフォルト例外を発生させます。本章では PMP、PMA を実装していないのでアクセスフォルト例外に関する機能について説明せず、実装もしません。これらの機能は応用編で実装します。

## 5. SFENCE.VMA 命令、FENCEI 命令を実装する



▲図 10.2: PTW と他のモジュールの接続

## 10.2 メモリで発生する例外の実装

PTW で発生した例外は、最終的に csrunit モジュールで処理します。そのために、例外の情報をメモリのインターフェースを使って伝達します。

ページングによって発生する例外の cause を `CsrCause` 型に追加します (リスト 10.1)。

### ▼リスト 10.1: CsrCause 型にページフォルト例外を追加する (eei.veryl)

```

1  INSTRUCTION_PAGE_FAULT = 12,
2  LOAD_PAGE_FAULT = 13,
3  STORE_AMO_PAGE_FAULT = 15,

```

### 10.2.1 例外を伝達する

#### 構造体の定義

`MemException` 構造体を定義します (リスト 10.2)。メモリアクセス中に発生する例外の情報をこの構造体で管理します。

### ▼リスト 10.2: MemException 型の定義 (eei.veryl)

```

1  struct MemException {
2      valid      : logic,
3      page_fault: logic,

```

```
4 } 
```

`membus_if`、`core_data_if`、`core_inst_if` インターフェースに `MemException` 構造体を追加します (リスト 10.3、リスト 10.4、リスト 10.5、リスト 10.6)。インターフェースの `rvalid` が 1 で、構造体の `valid` と `is_page_fault` が 1 ならページフォルト例外が発生したことを示します。

#### ▼ リスト 10.3: (membus\_if.veryl, core\_data\_if.veryl, core\_inst\_if.veryl)

```
1 var expt : eei::MemException ; 
```

#### ▼ リスト 10.4: (membus\_if.veryl, core\_data\_if.veryl, core\_inst\_if.veryl)

```
1 modport master {  
2     ...  
3     expt : input ,  
4     ...  
5 } 
```

#### ▼ リスト 10.5: (membus\_if.veryl)

```
1 modport slave {  
2     ...  
3     expt : output,  
4     ...  
5 } 
```

#### ▼ リスト 10.6: (membus\_if.veryl)

```
1 modport response {  
2     rvalid: output,  
3     rdata : output,  
4     expt : output,  
5 } 
```

### mmio\_controller モジュールの対応

`mmio_controller` モジュールで構造体の値をすべて 0 に設定します (リスト 10.7、リスト 10.8)。いまのところ、デバイスは例外を発生させません。

#### ▼ リスト 10.7: (membus\_if.veryl)

```
1 always_comb {  
2     req_core.ready = 0;  
3     req_core.rvalid = 0;  
4     req_core.rdata = 0;  
5     req_core.expt = 0; 
```

`mmio_controller` モジュールからの例外情報を `core_data_if`、`core_inst_if` インターフェースに伝達します。

#### ▼ リスト 10.8: (top.veryl)

```

1  always_comb {
2      i_membus.ready  = mmio_membus.ready && !d_membus.valid;
3      i_membus.rvalid = mmio_membus.rvalid && memarb_last_i;
4      i_membus.rdata  = mmio_membus.rdata;
5      i_membus.expt   = mmio_membus.expt;
6
7      d_membus.ready  = mmio_membus.ready;
8      d_membus.rvalid = mmio_membus.rvalid && !memarb_last_i;
9      d_membus.rdata  = mmio_membus.rdata;
10     d_membus.expt   = mmio_membus.expt;

```

### inst\_fetcher モジュールの対応

inst\_fetcher モジュールから core モジュールに例外情報を伝達します。まず、FIFO の型に例外情報を追加します ( リスト 10.9、リスト 10.10 )。

#### ▼ リスト 10.9: (inst\_fetcher.veryl)

```

1  struct fetch_fifo_type {
2      Addr      addr;
3      logic     <MEMBUS_DATA_WIDTH>;  

4      MemException expt;
5  }

```

#### ▼ リスト 10.10: (inst\_fetcher.veryl)

```

1  struct issue_fifo_type {
2      Addr      addr;
3      Inst     bits;
4      logic    is_rvc;
5      MemException expt;
6  }

```

メモリからの例外情報を `fetch_fifo` に保存します ( リスト 10.11 )。

#### ▼ リスト 10.11: (inst\_fetcher.veryl)

```

1  always_comb {
2      fetch_fifo_flush      = core_if.is_hazard;
3      fetch_fifo_wvalid     = fetch_requested && mem_if.rvalid;
4      fetch_fifo_wdata.addr = fetch_pc_requested;
5      fetch_fifo_wdata.bits = mem_if.rdata;
6      fetch_fifo_wdata.expt = mem_if.expt;
7  }

```

`fetch_fifo` から `issue_fifo` に例外情報を伝達します ( リスト 10.12、リスト 10.13、リスト 10.14 )。offset が 6 で例外が発生しているとき、32 ビット幅の命令の上位 16 ビットを取得せずにすぐに `issue_fifo` に例外を書き込みます。

## ▼リスト 10.12: (inst\_fetcher.veryl)

```

1  always_comb {
2      let raddr : Addr                      = fetch_fifo_rdata.addr;
3      let rdata : logic <MEMBUS_DATA_WIDTH> = fetch_fifo_rdata.bits;
4      let expt : MemException               = fetch_fifo_rdata.expt;
5      let offset: logic <3>                = issue_pc_offset;
6
7      fetch_fifo_rready      = 0;
8      issue_fifo_wvalid     = 0;
9      issue_fifo_wdata      = 0;
10     issue_fifo_wdata.expt = expt;

```

## ▼リスト 10.13: (inst\_fetcher.veryl)

```

1  fetch_fifo_rready = 1;
2  if rvcc_is_rvc || expt.valid {
3      issue_fifo_wvalid     = 1;
4      issue_fifo_wdata.addr = {raddr[msb:3], offset};
5      issue_fifo_wdata.is_rvc = 1;
6      issue_fifo_wdata.bits  = rvcc_inst32;

```

## ▼リスト 10.14: (inst\_fetcher.veryl)

```

1  if issue_pc_offset == 6 && !rvcc_is_rvc && !issue_is_rdata_saved && !fetch_fifo_rdata.expt.v>
>alid {
2      if fetch_fifo_rvalid {
3          issue_is_rdata_saved = 1;

```

`issue_fifo` から core モジュールに例外情報を伝達します (リスト 10.15)。

## ▼リスト 10.15: (inst\_fetcher.veryl)

```

1  always_comb {
2      issue_fifo_flush  = core_if.is_hazard;
3      issue_fifo_rready = core_if.rready;
4      core_if.rvalid    = issue_fifo_rvalid;
5      core_if.raddr     = issue_fifo_rdata.addr;
6      core_if.rdata     = issue_fifo_rdata.bits;
7      core_if.is_rvc   = issue_fifo_rdata.is_rvc;
8      core_if.expt     = issue_fifo_rdata.expt;
9  }

```

### amountit モジュールの対応

`state` が `State::Init` 以外の時に例外が発生した場合、すぐに結果を返すようにします (リスト 10.16、リスト 10.17、リスト 10.18、)。例外が発生したクロックでは要求を受け付けないようにします。

## ▼リスト 10.16: (amountit.veryl)

```

1  always_comb {
2      slave.ready  = 0;
3      slave.rvalid = 0;

```

```

4     slave.rdata  = 0;
5     slave.expt  = master.expt;

```

## ▼リスト 10.17: (amountit.veryl)

```

1         default: {}
2     }
3
4     if state != State::Init && master.expt.valid {
5         slave.ready  = 0;
6         slave.rvalid = 1;
7     }
8 }

```

## ▼リスト 10.18: (amountit.veryl)

```

1     State::AMOStoreValid: accept_request_comb();
2     default           : {}
3 }
4
5     if state != State::Init && master.expt.valid {
6         reset_master();
7     }
8 }

```

例外が発生したら、`state` を`State::Init` にリセットします (リスト 10.19)。

## ▼リスト 10.19: (amountit.veryl)

```

1     function on_clock () {
2         if state != State::Init && master.expt.valid {
3             state = State::Init;
4         } else {
5             case state {
6                 State::Init     : accept_request_ff();

```

**Instruction page fault 例外の実装**

命令フェッチ処理中にページフォルト例外が発生していたとき、Instruction page fault 例外を発生させます。xtval には例外が発生したアドレスを設定します (リスト 10.20)。

## ▼リスト 10.20: (core.veryl)

```

1     if i_membus.expt.valid {
2         // fault
3         exq_wdata.expt.valid = 1;
4         exq_wdata.expt.cause = CsrCause::INSTRUCTION_PAGE_FAULT;
5         exq_wdata.expt.value = ids_pc;
6     } else if !ids_inst_valid {

```

**ロード、ストア命令の page fault 例外の実装**

ロード命令、ストア命令、A 拡張の命令のメモリアクセス中にページフォルト例外が発生していたとき、Load page fault 例外、Store/AMO page fault 例外を発生させます。

csrunit モジュールに、メモリにアクセスする命令の例外情報を監視するためのポートを作成します（リスト 10.21、リスト 10.22、リスト 10.23、リスト 10.24、リスト 10.25）。

▼リスト 10.21: (csrunit.veryl)

```

1 module csrunit (
2   ...
3   can_intr  : input  logic          ,
4   mem_addr  : input  Addr          ,
5   rdata      : output UIntX        ,
6   ...
7   membus     : modport core_data_if::master  ,
8 ) {
```

▼リスト 10.22: (core.veryl)

```

1 inst csru: csrunit (
2   ...
3   mem_addr  : memu_addr          ,
4   ...
5   membus     : d_membus          ,
6 );
```

例外を発生させます。

▼リスト 10.23: (csrunit.veryl)

```
1 let expt_memory_fault : logic = membus.rvalid && membus.expt.valid;
```

▼リスト 10.24: (csrunit.veryl)

```

1 let raise_expt: logic = valid && (expt_info.valid || expt_write_READONLY_CSR || expt_CSR_PRI_VIOLATION || expt_ZICNTR_PRIV || expt_trap_RETURN_PRIV || expt_memory_fault);
2 let expt_cause: UIntX = switch {
3   ...
4   expt_memory_fault : if ctrl.is_load ? CsrCause::LOAD_PAGE_FAULT : CsrCause::STORE_AMO_PAGE_FAULT,
5   default           : 0,
6 };
```

xtval に例外が発生したアドレスを設定します。

▼リスト 10.25: (csrunit.veryl)

```

1 let expt_value: UIntX = switch {
2   expt_info.valid           : expt_info.value,
3   expt_cause == CsrCause::ILLEGAL_INSTRUCTION : {1'b0 repeat XLEN - $bits(Inst), inst_bits},
4   expt_cause == CsrCause::LOAD_PAGE_FAULT      : mem_addr,
5   expt_cause == CsrCause::STORE_AMO_PAGE_FAULT: mem_addr,
6   default                   : 0
7};
```

## 10.2.2 ページフォルトが発生した正確なアドレスを特定する

ページフォルト例外が発生したとき、`xtval` にはページフォルトが発生した仮想アドレスを格納します。

実は現状の実装では、メモリにアクセスする操作がページの境界をまたぐとき、ページフォルトが発生した正確な仮想アドレスを `xtval` に格納できていません。

例えば、`inst_fetcher` モジュールで 32 ビット幅の命令を 2 回のメモリ読み込みでフェッチするとき、1 回目 (下位 16 ビット) のロードは成功して、2 回目 (上位 16 ビット) のロードでページフォルトが発生したとします。このとき、ページフォルトが発生したアドレスは 2 回目のロードでアクセスしたアドレスなのに、`xtval` には 1 回目のロードでアクセスしたアドレスが書き込まれます。

これに対処するために、例外が発生したアドレスのオフセットを例外情報に追加します (リスト 10.26、リスト 10.27、リスト 10.28、リスト 10.29)。

### ▼ リスト 10.26: (eei.veryl)

```

1  struct MemException {
2      valid      : logic  ,
3      page_fault : logic  ,
4      addr_offset: logic<3>,
5  }
```

`inst_fetcher` モジュールで、32 ビット幅の命令の上位 16 ビットを読み込んで `issue_fifo` に書き込むときに、オフセットを `2` に設定します ()。

### ▼ リスト 10.27: (inst\_fetcher.veryl)

```

1  if issue_is_rdata_saved {
2      issue_fifo_wvalid          = 1;
3      issue_fifo_wdata.addr      = {issue_saved_addr[msb:3], offset};
4      issue_fifo_wdata.bits      = {rdata[15:0], issue_saved_bits};
5      issue_fifo_wdata.is_rvc    = 0;
6      issue_fifo_wdata.expt.addr_offset = 2;
```

`xtval` を生成するとき、オフセット足します。

### ▼ リスト 10.28: (core.veryl)

```

1  exq_wdata.expt.valid = 1;
2  exq_wdata.expt.cause = CsrCause::INSTRUCTION_PAGE_FAULT;
3  exq_wdata.expt.value = ids_pc + {1'b0 repeat XLEN - 3, i_membus.expt.addr_offset};
```

### ▼ リスト 10.29: (csrunit.veryl)

```

1  let expt_value: UIntX = switch {
2      expt_info.valid           : expt_info.value,
3      expt_cause == CsrCause::ILLEGAL_INSTRUCTION : {1'b0 repeat XLEN - $bits(Inst), inst_bits}
4  >},
5      expt_cause == CsrCause::LOAD_PAGE_FAULT      : mem_addr + {1'b0 repeat XLEN - 3, membus.>
>expt.addr_offset},
6      expt_cause == CsrCause::STORE_AMO_PAGE_FAULT: mem_addr + {1'b0 repeat XLEN - 3, membus.e>
```

```

6    >xpt.addr_offset},
7      default          : 0
7    };

```

## 10.3 satp レジスタの作成

satp レジスタを実装します ( リスト 10.30、リスト 10.31、リスト 10.32、リスト 10.33、リスト 10.34 )。すべてのフィールドを読み書きできるように設定して、値を `0` でリセットします。

### ▼ リスト 10.30: (csrunit.veryl)

```

1  var satp      : UIntX ;

```

### ▼ リスト 10.31: (csrunit.veryl)

```

1  satp      = 0;

```

### ▼ リスト 10.32: (csrunit.veryl)

```

1  CsrAddr::SATP      : satp,

```

### ▼ リスト 10.33: (csrunit.veryl)

```

1  const SATP_WMASK      : UIntX = 'hffff_ffff_ffff_ffff;

```

### ▼ リスト 10.34: (csrunit.veryl)

```

1  CsrAddr::SATP      : SATP_WMASK,

```

satp レジスタは、MODE フィールドに書き込もうとしている値がサポートしない MODE なら、satp レジスタの変更を全ビットについて無視すると定められています。

本章では Bare と Sv39 だけをサポートするため、MODE には `0` と `8` のみ書き込めるようにして、それ以外の値を書き込もうとしたら satp レジスタへの書き込みを無視します ( リスト 10.35、リスト 10.36 )。

### ▼ リスト 10.35: (csrunit.veryl)

```

1  function validate_satp (
2    satp : input UIntX,
3    wdata: input UIntX,
4  ) -> UIntX {
5    // mode
6    if wdata[msb-:4] != 0 && wdata[msb-:4] != 8 {
7      return satp;
8    }
9    return wdata;
10  }

```

## ▼リスト10.36: (csrunit.veryl)

```
1 CsrAddr::SATP      : satp      = validate_satp(satp, wdata);
```

## 10.4 mstatusのMXR、SUM、MPRVビットの実装

mstatusレジスタのMXR、SUM、MPRVビットを変更できるようにします(リスト10.37、リスト10.38)。

## ▼リスト10.37: (csrunit.veryl)

```
1 const MSTATUS_WMASK : UIntX = 'h0000_0000_006e_19aa as UIntX;
```

## ▼リスト10.38: (csrunit.veryl)

```
1 const SSTATUS_WMASK : UIntX = 'h0000_0000_000c_0122 as UIntX;
```

それぞれのビットを示す変数を作成します(リスト10.39、リスト10.40)。

## ▼リスト10.39: (csrunit.veryl)

```
1 let mstatus_mxr : logic = mstatus[19];
2 let mstatus_sum : logic = mstatus[18];
3 let mstatus_mprv: logic = mstatus[17];
```

mstatus.MPRVは、M-mode以外のモードにトラップするときに0に設定すると定められています。そのため、trap\_mode\_nextを確認して0を設定します。

## ▼リスト10.40: (csrunit.veryl)

```
1 } else if trap_return {
2     // set mstatus.mprv = 0 when new mode != M-mode
3     if trap_mode_next <: PrivMode::M {
4         mstatus[17] = 0;
5     }
6     if is_mret {
```

## 10.5 アドレス変換モジュール(PTW)の実装

ページテーブルエントリをフェッチしてアドレス変換を行うptwモジュールを作成します。まず、MODEがBareのとき(仮想アドレス=物理アドレス)の動作を実装し、Sv39を「10.6 Sv39の実装」(p.186)で実装します。

### 10.5.1 CSR のインターフェースを実装する

ページングで使用する CSR を、csrunit モジュールから ptw モジュールに渡すためのインターフェースを定義します。

`src/ptw_ctrl_if.veryl` を作成し、次のように記述します (リスト 10.41)。

▼ リスト 10.41: (ptw\_ctrl\_if.veryl)

```

1 import eei::*;

2
3 interface ptw_ctrl_if {
4     var priv: PrivMode;
5     var satp: UIntX ;
6     var mxr : logic ;
7     var sum : logic ;
8     var mprv: logic ;
9     var mpp : PrivMode;
10
11    modport master {
12        priv: output,
13        satp: output,
14        mxr : output,
15        sum : output,
16        mprv: output,
17        mpp : output,
18    }
19
20    modport slave {
21        is_enabled: import,
22        ..converse(master)
23    }
24
25    function is_enabled (
26        is_inst: input logic,
27    ) -> logic {
28        if satp[msb-:4] == 0 {
29            return 0;
30        }
31        if is_inst {
32            return priv <= PrivMode::S;
33        } else {
34            return (if mprv ? mpp : priv) <= PrivMode::S;
35        }
36    }
37 }
```

`is_enabled` は、CSR とアクセス目的からページングが有効かどうかを判定する関数です。Bare かどうかを判定した後に、命令フェッチかどうか (`is_inst`) によって分岐しています。命令フェッチのときは S-mode 以下の特権レベルのときにページングが有効になります。ロードストアのとき、mstatus.MPRV が `1` なら mstatus.MPP、`0` なら現在の特権レベルが S-mode 以下ならページングが有効になります。

### 10.5.2 Bare だけに対応するアドレス変換モジュールを実装する

`src/ptw.veryl` を作成し、次のようなポートを記述します (リスト 10.42)。

▼ リスト 10.42: (ptw.veryl)

```

1 import eei::*;

2
3 module ptw (
4     clk      : input  clock      ,
5     rst      : input  reset      ,
6     is_inst: input  logic      ,
7     slave   : modport Membus::slave  ,
8     master  : modport Membus::master ,
9     ctrl    : modport ptw_ctrl_if::slave,
10 ) {

```

`slave` は core モジュール側からの仮想アドレスによる要求を受け付けるためのインターフェースです。 `master` は mmio\_controller モジュール側に物理アドレスによるアクセスを行うためのインターフェースです。

`is_inst` を使い、ページングが有効かどうか判定します (リスト 10.43)。

▼ リスト 10.43: (ptw.veryl)

```

1 let paging_enabled: logic = ctrl.is_enabled(is_inst);

```

状態の管理のために `State` 型を定義します (リスト 10.44)。

▼ リスト 10.44: (ptw.veryl)

```

1 enum State {
2     IDLE,
3     EXECUTE_READY,
4     EXECUTE_VALID,
5 }
6
7 var state: State;

```

**State::IDLE**

`slave` から要求を受け付け、`master` に物理アドレスでアクセスします。  
`master` の `ready` が 1 なら `State::EXECUTE_VALID`、0 なら `EXECUTE_READY` に状態を移動します。

**State::EXECUTE\_READY**

`master` に物理アドレスでメモリアクセスを要求し続けます。`master` の `ready` が 1 なら  
状態を `State::EXECUTE_VALID` に移動します。

**State::EXECUTE\_VALID**

`master` からの結果を待ちます。`master` の `rvalid` が 1 のとき、`State::IDLE` と同じ  
ように `slave` からの要求を受け付けます。`slave` が何も要求していないなら、状態

を `State::IDLE` に移動します。

`slave` からの要求を保存しておくためのインターフェースをインスタンス化します (リスト 10.45)。

▼リスト 10.45: (ptw.veryl)

```
1 inst slave_saved: Membus;
```

状態に基づいて、`master` に要求を割り当てます (リスト 10.46、リスト 10.47)。  
`State::EXECUTE_READY` で `master` に要求を割り当てるとき、`physical_addr` レジスタの値をアドレスに割り当てるようになります。

▼リスト 10.46: (ptw.veryl)

```
1 var physical_addr: Addr;
```

▼リスト 10.47: (ptw.veryl)

```
1 function assign_master (
2     addr : input Addr           ,
3     wen  : input logic          ,
4     wdata: input logic<MEMBUS_DATA_WIDTH>  ,
5     wmask: input logic<MEMBUS_DATA_WIDTH / 8>,
6 ) {
7     master.valid = 1;
8     master.addr  = addr;
9     master.wen   = wen;
10    master.wdata = wdata;
11    master.wmask = wmask;
12 }
13
14 function accept_request_comb () {
15     if slave.ready && slave.valid && !paging_enabled {
16         assign_master(slave.addr, slave.wen, slave.wdata, slave.wmask);
17     }
18 }
19
20 always_comb {
21     master.valid = 0;
22     master.addr  = 0;
23     master.wen   = 0;
24     master.wdata = 0;
25     master.wmask = 0;
26
27     case state {
28         State::IDLE      : accept_request_comb();
29         State::EXECUTE_READY: assign_master (physical_addr, slave_saved.wen, slave_saved.wdata, slave_saved.wmask);
30         State::EXECUTE_VALID: if master.rvalid {
31             accept_request_comb();
32         }
33     default: {}
34 }
```

```
34     }
35 }
```

状態に基づいて、 `ready` と結果を `slave` に割り当てます (リスト 10.48)。

▼ リスト 10.48: (ptw.veryl)

```
1  always_comb {
2      slave.ready  = 0;
3      slave.rvalid = 0;
4      slave.rdata  = 0;
5      slave.expt   = 0;
6
7      case state {
8          State::IDLE      : slave.ready = 1;
9          State::EXECUTE_VALID: {
10              slave.ready  = master.rvalid;
11              slave.rvalid = master.rvalid;
12              slave.rdata  = master.rdata;
13              slave.expt   = master.expt;
14          }
15          default: {}
16      }
17  }
```

状態を遷移する処理を記述します (リスト 10.49)。要求を受け入れるとき、 `slave_saved` に要求を保存します。

▼ リスト 10.49: (ptw.veryl)

```
1  function accept_request_ff () {
2      slave_saved.valid = slave.ready && slave.valid;
3      if slave.ready && slave.valid {
4          slave_saved.addr  = slave.addr;
5          slave_saved.wen   = slave.wen;
6          slave_saved.wdata = slave.wdata;
7          slave_saved.wmask = slave.wmask;
8          if paging_enabled {
9              // TODO
10         } else {
11             state      = if master.ready ? State::EXECUTE_VALID : State::EXECUTE_READY;
12             physical_addr = slave.addr;
13         }
14     } else {
15         state = State::IDLE;
16     }
17 }
18
19 function on_clock () {
20     case state {
21         State::IDLE      : accept_request_ff();
22         State::EXECUTE_READY: if master.ready {
23             state = State::EXECUTE_VALID;
```

```

24        }
25        State::EXECUTE_VALID: if master.rvalid {
26            accept_request_ff();
27        }
28        default: {}
29    }
30 }
31
32 function on_reset () {
33     state          = State::IDLE;
34     physical_addr = 0;
35     slave_saved.valid = 0;
36     slave_saved.addr  = 0;
37     slave_saved.wen   = 0;
38     slave_saved.wdata = 0;
39     slave_saved.wmask = 0;
40 }
41
42 always_ff {
43     if_reset {
44         on_reset();
45     } else {
46         on_clock();
47     }
48 }

```

### 10.5.3 ptw モジュールをインスタンス化する

top モジュールで、ptw モジュールをインスタンス化します。

ptw モジュールは mmio\_controller モジュールの前で仮想アドレスを物理アドレスに変換するモジュールです。ptw モジュールと mmio\_controller モジュールの間のインターフェースを作成します (リスト 10.50)。

#### ▼ リスト 10.50: (top.veryl)

```
1 inst ptw_membus : Membus;
```

調停処理を ptw モジュール向けのものに変更します (リスト 10.51)。

#### ▼ リスト 10.51: (top.veryl)

```

1 always_ff {
2     if_reset {
3         memarb_last_i = 0;
4     } else {
5         if ptw_membus.ready {
6             memarb_last_i = !d_membus.valid;
7         }
8     }
9 }
10
11 always_comb {

```

```

12     i_membus.ready  = ptw_membus.ready && !d_membus.valid;
13     i_membus.rvalid = ptw_membus.rvalid && memarb_last_i;
14     i_membus.rdata  = ptw_membus.rdata;
15     i_membus.expt   = ptw_membus.expt;
16
17     d_membus.ready  = ptw_membus.ready;
18     d_membus.rvalid = ptw_membus.rvalid && !memarb_last_i;
19     d_membus.rdata  = ptw_membus.rdata;
20     d_membus.expt   = ptw_membus.expt;
21
22     ptw_membus.valid = i_membus.valid | d_membus.valid;
23     if d_membus.valid {
24         ptw_membus.addr  = d_membus.addr;
25         ptw_membus.wen   = d_membus.wen;
26         ptw_membus.wdata = d_membus.wdata;
27         ptw_membus.wmask = d_membus.wmask;
28     } else {
29         ptw_membus.addr  = i_membus.addr;
30         ptw_membus.wen   = 0; // 命令フェッチは常に読み込み
31         ptw_membus.wdata = 'x;
32         ptw_membus.wmask = 'x;
33     }
34 }
```

今処理している要求、または今のクロックから処理し始める要求が命令フェッチによるものか判定する変数を作成します (リスト 10.52)。

▼ リスト 10.52: (top.veryl)

```

1 let ptw_is_inst : logic = (i_membus.ready && i_membus.valid) || // inst ack or
2     !(d_membus.ready && d_membus.valid) && memarb_last_i; // data not ack & last ack is inst
```

ptw モジュールをインスタンス化します (リスト 10.53)。

▼ リスト 10.53: (top.veryl)

```

1 inst ptw_ctrl: ptw_ctrl_if;
2 inst paging_unit: ptw (
3     clk           ,
4     rst           ,
5     is_inst: ptw_is_inst,
6     slave : ptw_membus ,
7     master : mmio_membus,
8     ctrl  : ptw_ctrl  ,
9 );
```

csrunit モジュールと ptw モジュールを `ptw_ctrl_if` インターフェースで接続するために、core モジュールにポートを追加します (リスト 10.54、リスト 10.55)。

▼ リスト 10.54: (core.veryl)

```

1 module core (
2     clk      : input  clock      ,
3     rst      : input  reset      ,
4     i_membus: modport core_inst_if::master,
5     d_membus: modport core_data_if::master,
6     led      : output UIntX      ,
7     aclint   : modport aclint_if::slave   ,
8     ptw_ctrl: modport ptw_ctrl_if::master ,
9 ) {

```

## ▼リスト 10.55: (top.veryl)

```

1 inst c: core (
2     clk      ,
3     rst      ,
4     i_membus: i_membus_core  ,
5     d_membus: d_membus_core  ,
6     led      ,
7     aclint   : aclint_core_bus,
8     ptw_ctrl      ,
9 );

```

csrunit モジュールにポートを追加し、CSR を割り当てます（リスト 10.56、リスト 10.57、リスト 10.58）。

## ▼リスト 10.56: (csrunit.veryl)

```

1 membus      : modport core_data_if::master      ,
2 ptw_ctrl    : modport ptw_ctrl_if::master      ,
3 ) {

```

## ▼リスト 10.57: (core.veryl)

```

1     membus      : d_membus      ,
2     ptw_ctrl    : ptw_ctrl      ,
3 );

```

## ▼リスト 10.58: (csrunit.veryl)

```

1 always_comb {
2     ptw_ctrl.priv = mode;
3     ptw_ctrl.satp = satp;
4     ptw_ctrl.mxr  = mstatus_mxr;
5     ptw_ctrl.sum  = mstatus_sum;
6     ptw_ctrl.mprv = mstatus_mprv;
7     ptw_ctrl.mpp  = mstatus_mpp;
8 }

```

## 10.6 Sv39 の実装

ptw モジュールに、Sv39 を実装します。ここで定義する関数は、コメントと「アドレス変換プロセス (Sv39)」(p.169) を参考に動作を確認してください。

### 10.6.1 定数の定義

ptw モジュールで使用する定数と関数を実装します。

`src/sv39util.veryl` を作成し、次のように記述します (リスト 10.59)。定数は「アドレス変換プロセス (Sv39)」(p.169) で使用しているものと同じです。

#### ▼ リスト 10.59: (sv39util.veryl)

```

1 import eei::*;
2 package sv39util {
3     const PAGESIZE: u32      = 12;
4     const PTESIZE : u32      = 8;
5     const LEVELS  : logic<2> = 3;
6
7     type Level = logic<2>;
8
9     // 有効な仮想アドレスか判定する
10    function is_valid_vaddr (
11        va: input Addr,
12    ) -> logic {
13        let hiaddr: logic<26> = va[msb:38];
14        return &hiaddr || ~&hiaddr;
15    }
16
17    // 仮想アドレスのVPN[level]フィールドを取得する
18    function vpn (
19        va  : input Addr ,
20        level: input Level,
21    ) -> logic<9> {
22        return case level
23            0      : va[20:12],
24            1      : va[29:21],
25            2      : va[38:30],
26            default: 0,
27        };
28    }
29
30    // 最初にフェッチするPTEのアドレスを取得する
31    function get_first_pte_address (
32        satp: input UIntX,
33        va  : input Addr ,
34    ) -> Addr {
35        return {
36            1'b0 repeat XLEN - 44 - PAGESIZE,
37            satp[43:0],
38            vpn(va, 2),

```

```

39         1'b0 repeat $clog2(PTESIZE)
40     };
41 }
42 }
```

## 10.6.2 PTE の定義

Sv39 の PTE のビットを分かりやすく取得するために、次のインターフェースを定義します。

`src/pte.veryl` を作成し、次のように記述します (リスト 10.60)。

### ▼リスト 10.60: (pte.veryl)

```

1 import eei::*;
2 import sv39util::*;
3
4 interface PTE39 {
5     var value: UIntX;
6
7     function v () -> logic { return value[0]; }
8     function r () -> logic { return value[1]; }
9     function w () -> logic { return value[2]; }
10    function x () -> logic { return value[3]; }
11    function u () -> logic { return value[4]; }
12    function a () -> logic { return value[6]; }
13    function d () -> logic { return value[7]; }
14
15    function reserved -> logic<10> { return value[63:54]; }
16
17    function ppn2 () -> logic<26> { return value[53:28]; }
18    function ppn1 () -> logic<9> { return value[27:19]; }
19    function ppn0 () -> logic<9> { return value[18:10]; }
20    function ppn () -> logic<44> { return value[53:10]; }
21 }
```

PTE の値を使った関数を定義します (リスト 10.61)。

### ▼リスト 10.61: (pte.veryl)

```

1 // leaf PTEか判定する
2 function is_leaf () -> logic { return r() || x(); }
3
4 // leaf PTEのとき、PPNがページサイズに整列されているかどうかを判定する
5 function is_ppn_aligned (
6     level: input Level,
7 ) -> logic {
8     return case level {
9         0      : 1,
10        1      : ppn0() == 0,
11        2      : ppn1() == 0 && ppn0() == 0,
12        default: 1,
13    };
14 }
```

```

15
16 // 有効なPTEか判定する
17 function is_valid (
18     level: input Level,
19 ) -> logic {
20     if !v() || reserved() != 0 || !r() && w() {
21         return 0;
22     }
23     if is_leaf() && !is_ppn_aligned(level) {
24         return 0;
25     }
26     if !is_leaf() && level == 0 {
27         return 0;
28     }
29     return 1;
30 }
31
32 // 次のlevelのPTEのアドレスを得る
33 function get_next_pte_addr (
34     level: input Level,
35     va   : input Addr ,
36 ) -> Addr {
37     return {
38         1'b0 repeat XLEN - 44 - PAGESIZE,
39         ppn(),
40         vpn(va, level - 1),
41         1'b0 repeat $clog2(PTESIZE)
42     };
43 }
44
45 // PTEと仮想アドレスから物理アドレスを生成する
46 function get_physical_address (
47     level: input Level,
48     va   : input Addr ,
49 ) -> Addr {
50     return {
51         8'b0, ppn2(), case level {
52             0: {
53                 ppn1(), ppn0()
54             },
55             1: {
56                 ppn1(), vpn(va, 0)
57             },
58             2: {
59                 vpn(va, 1), vpn(va, 0)
60             },
61             default: 18'b0,
62         }, va[11:0]
63     };
64 }
65
66 // A、Dビットを更新する必要があるかを判定する
67 function need_update_ad (

```

```

68     wen: input logic,
69 ) -> logic {
70     return !a() || wen && !d();
71 }
72
73 // A, Dビットを更新したPTEの下位8ビットを生成する
74 function get_updated_ad (
75     wen: input logic,
76 ) -> logic<8> {
77     let a: logic<8> = 1 << 6;
78     let d: logic<8> = wen as u8 << 7;
79     return value[7:0] | a | d;
80 }

```

### 10.6.3 ptw モジュールの実装

sv39util パッケージを import します (リスト 10.62)。

#### ▼ リスト 10.62: (ptw.veryl)

```
1 import sv39util::*;


```

PTE39 インターフェースをインスタンス化します (リスト 10.63)。 `value` には `master` のロード結果を割り当てます。

#### ▼ リスト 10.63: (ptw.veryl)

```
1 inst pte      : PTE39;
2 assign pte.value = master.rdata;


```

仮想アドレスを変換するための状態を追加します (リスト 10.64)。本章ではページングが有効な時に、`state` が図 10.3 のように遷移するようにします。

#### ▼ リスト 10.64: (ptw.veryl)

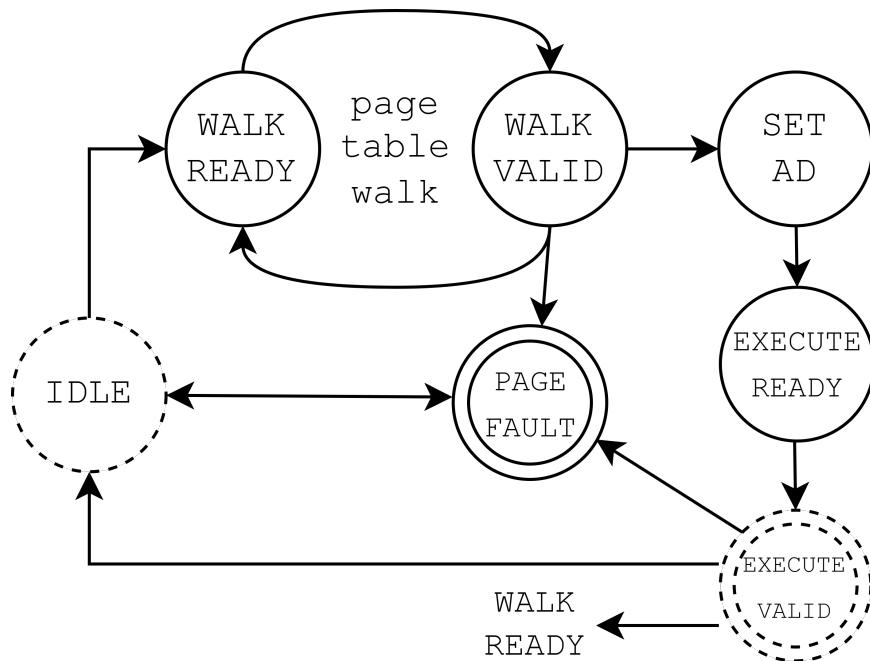
```

1 enum State {
2     IDLE,
3     WALK_READY,
4     WALK_VALID,
5     SET_AD,
6     EXECUTE_READY,
7     EXECUTE_VALID,
8     PAGE_FAULT,
9 }


```

現在の PTE の `level` (`level`)、PTE のアドレス (`taddr`)、要求によって更新される PTE の下位 8 ビット (`wdata_ad`) を格納するためのレジスタを定義します (リスト 10.65、リスト 10.66)。

#### ▼ リスト 10.65: (ptw.veryl)



▲図 10.3: 状態の遷移図 (点線の状態で新しく要求を受け付け、二重丸の状態で結果を返す)

```

1  var physical_addr: Addr      ;
2  var taddr          : Addr      ;
3  var level          : Level     ;
4  var wdata_ad       : logic<8>;

```

## ▼リスト 10.66: (ptw.veryl)

```

1  function on_reset () {
2      state          = State::IDLE;
3      physical_addr = 0;
4      taddr          = 0;
5      level          = 0;

```

PTE のフェッチと A、D ビットの更新のために `master` に要求を割り当てます (リスト 10.67)。PTE は `taddr` を使ってアクセスし、A、D ビットの更新では下位 8 ビットのみの書き込みマスクを設定します。

## ▼リスト 10.67: (ptw.veryl)

```

1  case state {
2      State::IDLE      : accept_request_comb();
3      State::WALK_READY: assign_master      (taddr, 0, 0, 0);
4      State::SET_AD    : assign_master      (taddr, 1, // wen = 1
5          {1'b0 repeat MEMBUS_DATA_WIDTH - 8, wdata_ad}, // wdata
6          {1'b0 repeat XLEN / 8 - 1, 1'b1} // wmask
7      );

```

```

8     State::EXECUTE_READY: assign_master(physical_addr, slave_saved.wen, slave_saved.wdata, slave_>
    > saved.wmask);
9     State::EXECUTE_VALID: if master.rvalid {
10         accept_request_comb();
11     }
12     default: {}
13 }
```

`slave` への結果の割り当てで、ページフォルト例外が発生していた場合の結果を割り当てます (リスト 10.68)。

▼ リスト 10.68: (ptw.veryl)

```

1 State::PAGE_FAULT: {
2     slave.rvalid      = 1;
3     slave.expt.valid = 1;
4     slave.expt.page_fault = 1;
5 }
```

ページングが有効なときに要求を受け入れる動作を実装します (リスト 10.69)。仮想アドレスが有効かどうかでページフォルト例外を判定し、`taddr` レジスタに最初の PTE のアドレスを割り当てます。`level` の初期値は `LEVELS - 1` とします。

▼ リスト 10.69: (ptw.veryl)

```

1 if paging_enabled {
2     state = if is_valid_vaddr(slave.addr) ? State::WALK_READY : State::PAGE_FAULT;
3     taddr = get_first_pte_address(ctrl.satp, slave.addr);
4     level = LEVELS - 1;
5 } else {
6     state      = if master.ready ? State::EXECUTE_VALID : State::EXECUTE_READY;
7     physical_addr = slave.addr;
8 }
```

ページフォルト例外が発生したとき、状態を `State::IDLE` に戻します (リスト 10.70)。

▼ リスト 10.70: (ptw.veryl)

```
1 State::PAGE_FAULT: state = State::IDLE;
```

A、D ビットを更新するとき、メモリが書き込み要求を受け入れたら、状態を `State::EXECUTE_READY` に移動します (リスト 10.71)。

▼ リスト 10.71: (ptw.veryl)

```

1 State::SET_AD: if master.ready {
2     state = State::EXECUTE_READY;
3 }
```

ページにアクセスする権限があるかを PTE と要求から判定する関数を定義します (リスト 10.72)。条件の詳細は「アドレス変換プロセス (Sv39)」(p.169) を確認してください。

## ▼リスト 10.72: (ptw.veryl)

```

1  function check_permission (
2      req: modport Membus::all_input,
3  ) -> logic {
4      let priv: PrivMode = if is_inst || !ctrl.mprv ? ctrl.priv : ctrl.mpp;
5
6      // U-mode access with PTE.U=0
7      let u_u0: logic = priv == PrivMode::U && !pte.u();
8      // S-mode load/store with PTE.U=1 & sum=0
9      let sd_u1: logic = !is_inst && priv == PrivMode::S && pte.u() && !ctrl.sum;
10     // S-mode execute with PTE.U=1
11     let si_u1: logic = is_inst && priv == PrivMode::S && pte.u();
12
13     // execute without PTE.X
14     let x: logic = is_inst && !pte.x();
15     // write without PTE.W
16     let w: logic = !is_inst && req.wen && !pte.w();
17     // read without PTE.R (MXR)
18     let r: logic = !is_inst && !req.wen && !pte.r() && !(pte.x() && ctrl.mxr);
19
20     return !(u_u0 | sd_u1 | si_u1 | x | w | r);
21 }
```

PTE をフェッチしてページフォルト例外を判定し、次の PTE のフェッチ、A、D ビットを更新する状態への遷移を実装します（リスト 10.73）。

## ▼リスト 10.73: (ptw.veryl)

```

1 State::WALK_READY: if master.ready {
2     state = State::WALK_VALID;
3 }
4 State::WALK_VALID: if master.rvalid {
5     if !pte.is_valid(level) {
6         state = State::PAGE_FAULT;
7     } else {
8         if pte.is_leaf() {
9             if check_permission(slave_saved) {
10                 physical_addr = pte.get_physical_address(level, slave_saved.addr);
11                 if pte.need_update_ad(slave_saved.wen) {
12                     state = State::SET_AD;
13                     wdata_ad = pte.get_updated_ad(slave_saved.wen);
14                 } else {
15                     state = State::EXECUTE_READY;
16                 }
17             } else {
18                 state = State::PAGE_FAULT;
19             }
20         } else {
21             // read next pte
22             state = State::WALK_READY;
23             taddr = pte.get_next_pte_addr(level, slave_saved.addr);
24             level = level - 1;
25         }
26 }
```

```
26 }
27 }
```

これで Sv39 を ptw モジュールに実装できました。

## 10.7 SFENCE.VMA 命令の実装

SFENCE.VMA 命令は、SFENCE.VMA 命令を実行する以前のストア命令が MMU に反映されたことを保証する命令です。S-mode 以上の特権レベルのときに実行できます。

基本編ではすべてのメモリアクセスを直列に行い、仮想アドレスを変換するために毎回 PTE をフェッチしなおすため、何もしない命令として定義します。

### 10.7.1 SFENCE.VMA 命令をデコードする

SFENCE.VMA 命令を有効な命令としてデコードします (リスト 10.74)。

#### ▼ リスト 10.74: (inst\_decoder.veryl)

```
1 bits == 32'h10200073 || //SRET
2 bits == 32'h10500073 || // WFI
3 f7 == 7'b0001001 && bits[11:7] == 0, // SFENCE.VMA
```

### 10.7.2 特権レベルの確認、mstatus.TVM を実装する

S-mode 未満の特権レベルで SFENCE.VMA 命令を実行しようとしたとき、Illegal instruction 例外が発生します。

mstatus.TVM は S-mode のときに satp レジスタにアクセスできるか、SFENCE.VMA 命令を実行できるかを制御するビットです。mstatus.TVM が 1 にされているとき、Illegal instruction 例外が発生します。

mstatus.TVM を書き込めるようにします (リスト 10.75)。

#### ▼ リスト 10.75: (csrunit.veryl)

```
1 const MSTATUS_WMASK : UIntX = 'h0000_0000_007e_19aa as UIntX;
```

#### ▼ リスト 10.76: (csrunit.veryl)

```
1 let mstatus_tvm : logic = mstatus[20];
```

特権レベルを確認して、例外を発生させます (リスト 10.77、リスト 10.78、リスト 10.79)。

#### ▼ リスト 10.77: (csrunit.veryl)

```
1 let is_sfence_vma: logic = ctrl.is_csr && ctrl.funct7 == 7'b0001001 && ctrl.funct3 == 0 && r
>d_addr == 0;
```

## ▼リスト 10.78: (csrunit.veryl)

```

1  let expt_tvm: logic = (is_sfence_vma && mode <: PrivMode::S) || (mstatus_tvm && mode == Priv>
>Mode::S && (is_wsc && csr_addr == CsrAddr::SATP || is_sfence_vma));

```

## ▼リスト 10.79: (csrunit.veryl)

```

1  let raise_expt: logic = valid && (expt_info.valid || expt_write_READONLY_CSR || expt_CSR_PRI>
>V_VIOLATION || expt_ZICNTR_PRIV || expt_trap_RETURN_PRIV || expt_MEMORY_FAULT || expt_tvm);
2  let expt_cause: UIntX = switch {
3      ...
4      expt_tvm           : CsrCause::ILLEGAL_INSTRUCTION,
5      default            : 0,
6  };

```

## 10.8 パイプラインをフラッシュする

本書はパイプライン化した CPU を実装しているため、命令フェッチは前の命令を待たずに次々に行われます。

### 10.8.1 CSR の変更

mstatus レジスタの MXR、SUM、TVM ビット、satp レジスタを書き換えたとき、CSR を書き換える命令の後ろの命令は、CSR の変更が反映されていない状態でアドレス変換してフェッチした命令になっている可能性があります。

CSR の書き換えをページングに反映するために、特定の CSR を書き換えたらパイプラインをフラッシュするようにします。

csrunit モジュールに、フラッシュするためのフラグを追加します（リスト 10.80、リスト 10.81、リスト 10.82）。

## ▼リスト 10.80: (csrunit.veryl)

```

1  flush      : output  logic          ,
2  minstret   : input   UInt64         ,

```

## ▼リスト 10.81: (core.veryl)

```

1  flush      : csru_flush          ,
2  minstret   :                   ,

```

## ▼リスト 10.82: (core.veryl)

```

1  var csru_trap_return: logic   ;
2  var csru_flush      : logic   ;
3  var minstret       : UInt64  ;

```

satp、mstatus、sstatus レジスタが変更されるときに `flush` を 1 にします（リスト 10.83）。

## ▼リスト 10.83: (csrunit.veryl)

```

1  let wsc_flush: logic = is_wsc && (csr_addr == CsrAddr::SATP || csr_addr == CsrAddr::MSTATUS >
2  >|| csr_addr == CsrAddr::SSTATUS);
2  assign flush      = valid && wsc_flush;

```

`flush` が 1 のとき、制御ハザードが発生したことにしてパイプラインをフラッシュします (リスト 10.84)。

## ▼リスト 10.84: (core.veryl)

```

1  assign control_hazard      = mems_valid && (csru_raise_trap || mems_ctrl.is_jump || memq>
2  >_rdata.br_taken || csru_flush);
2  assign control_hazard_pc_next = if csru_raise_trap ? csru_trap_vector : // trap
3  if csru_flush ? mems_pc + 4 : memq_rdata.jump_addr; // flush or jump

```

## 10.8.2 FENCE.I 命令の実装

あるアドレスにデータを書き込むとき、データを書き込んだ後の命令が、書き換えられたアドレスにある命令だった場合、命令のビット列がデータが書き換えられる前のものになっている可能性があります。

FENCE.I 命令は、FENCE.I 命令の後の命令のフェッチ処理がストア命令の完了後に行われる事を保証する命令です。例えばユーザーのアプリケーションのプログラムをページに書き込んで実行するとき、ページへの書き込みを反映させるために使用します。

FENCE.I 命令を判定し、パイプラインをフラッシュする条件に設定します (リスト 10.85、リスト 10.86)。

## ▼リスト 10.85: (csrunit.veryl)

```

1  let is_fence_i: logic = inst_bits[6:0] == OP_MISC_MEM && ctrl.funct3 == 3'b001;

```

## ▼リスト 10.86: (csrunit.veryl)

```

1  assign flush      = valid && (wsc_flush || is_fence_i);

```

---

# 第 11 章

## PLIC の実装

---

本章では外部割り込みと複数の入出力デバイスの割り込みを調停するための仕組みを実装します。本章は Web 版で提供します。サポートページを確認してください。

---

## 第 12 章

# Linux を動かす

---

本章では著名な OS である Linux を動かします。本章は Web 版で提供します。サポートページを確認してください。

# あとがき

いかがだったでしょうか。

本書(基本編)はこれで終わりになります。だいぶ駆け足になってしましましたが、RISC-VのCPUの具体的な書き方が分かったかと思います。

基本編ではRISC-VのCPUをゼロから書き始め、Linuxを起動できるくらいの基本的な機能を実装する方法を解説しました。しかし、Linuxを起動できるといつても速度や機能は現代的なCPUに遠く及びません。次巻の「Verylで作るCPU応用編」ではキャッシュ、アウトオブオーダー実行などを実装し、CPUの高速化と他の機能について解説する予定です。

教科書を読んでなんとなくCPUを理解した気がするけど作り方がわからない、既存のCPU実装を参考に自分でCPUを書いてみたいけど何から作れば良いかわからない、という方に本書が役立つことを願っています。

2025年5月28日

## 著者について



阿部奏太 (kanataso) (kanapipopipo@X/Twitter, nananapo@GitHub)

カラオケまねきねこダイヤmond会員 (3期目)

最近はキヨーちゃん(有斐閣のキャラクター)が気になっている。

今後数年間はCPUから逃げられなくなりました。

## 謝辞

本書は次の方々にレビューしていただきました。

TODO

本書は大変に短い期間で執筆されたため、各所にご迷惑をおかけしました。執筆にあたって関わったすべての方に、この場をお借りしてお礼申し上げます。

# Veryl で作る CPU

基本編

---

2025 年 6 月 1 日 基本編 第 II 部、第 III 部 ver 1.0 (技術書典 18)

<https://cpu.kanataso.net/>

著 者 阿部奏太

発行者 阿部奏太

連絡先 [kanastudio@oekaki.chat](mailto:kanastudio@oekaki.chat)

印刷所 株式会社栄光

---

© 2025 ミ一ミミ研究室