
目录

实验六 时钟树综合	2
实验目的.....	2
实验内容.....	2
时序分析概念	2
时钟树综合基础知识	5
Filler 基础知识	6
实验步骤.....	6
时钟树综合实验.....	6
第一步进行时序分析	8
对时序单元的区域进行划分和聚类	9
优化生成缓冲器，并输出时钟树综合报告	9
调用详细布局对缓冲器进行摆放	10
时序分析实验	10
插入 filler 实验	12
实验练习	15

实验六 时钟树综合

实验目的

- 1) 理解时序分析概念
- 2) 理解时钟树综合基础知识，掌握时钟树综合操作
- 3) 理解 filler 基础知识，掌握插入 filler 操作

实验内容

时序分析概念

在采购电脑时，消费者往往会关注处理器 CPU 的主频参数。



图 1 处理器的主频参数

主频参数在一定程度上决定该处理器芯片的运算速度，主频参数越大，往往该处理器运算速度越快。数值 2.4GHz，代表每秒钟它会产生 24 亿个时钟脉冲信号，每个时钟信号周期为 0.45 纳秒。在后端物理设计中，时钟信号由时钟源发出，按规定的时钟周期产生时钟脉冲信号。

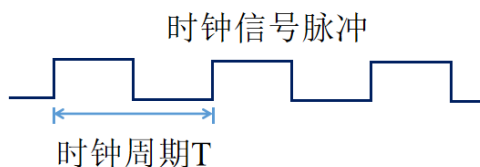


图 2 时钟信号脉冲示意图

时钟控制着集成电路的工作情况，所有的标准单元器件需要在规定的时钟周期内完成指定的逻辑运算。《实验五 布局》中已确定所有标准单元的位置，标准单元主要分为两种类型，一种是负责传输逻辑信号的逻辑单元，另一种是负责接收时钟信号控制逻辑信号发射与接收的时序单元。时序单元和逻辑单元的连接关系示意图如下所示。



图 3 时序单元和逻辑单元连接示意图

接下来进一步了解时序单元和逻辑单元。

时序单元（例如触发器、锁存器等）可以将组合逻辑单元传入的逻辑信号进行存储，待时钟信号到来时开始下一周期，将逻辑信号进行输出。时序单元有两个工艺特性：建立时间（Setup Time）和保持时间（Hold Time）。

Setup Time 指的是逻辑信号在时钟信号到达前必须要稳定的时间，如果不能满足，则逻辑信号无法正常输入时序单元。

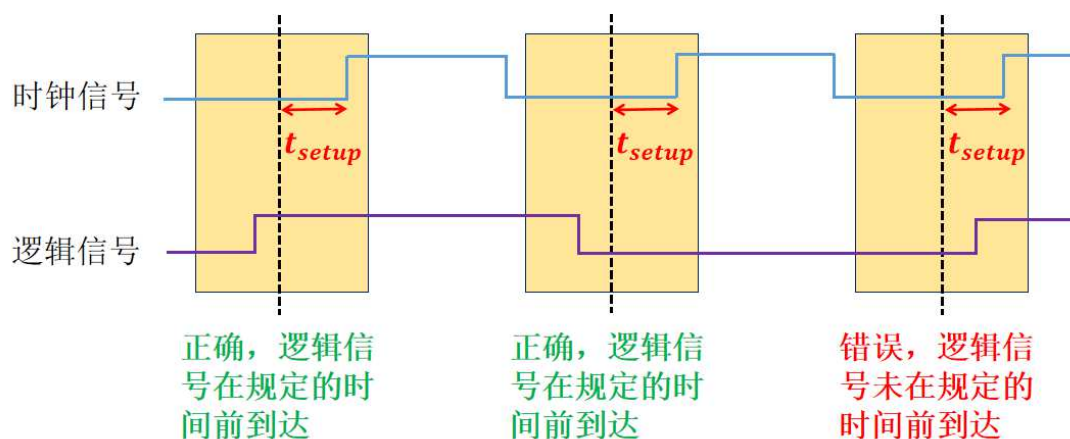


图 4 时序单元中的 Setup Time 示意图

Hold Time 指的是数据在时钟信号到达后必须要稳定的时间，如果不能满足，则逻辑信号不能正确地被时序单元锁存。

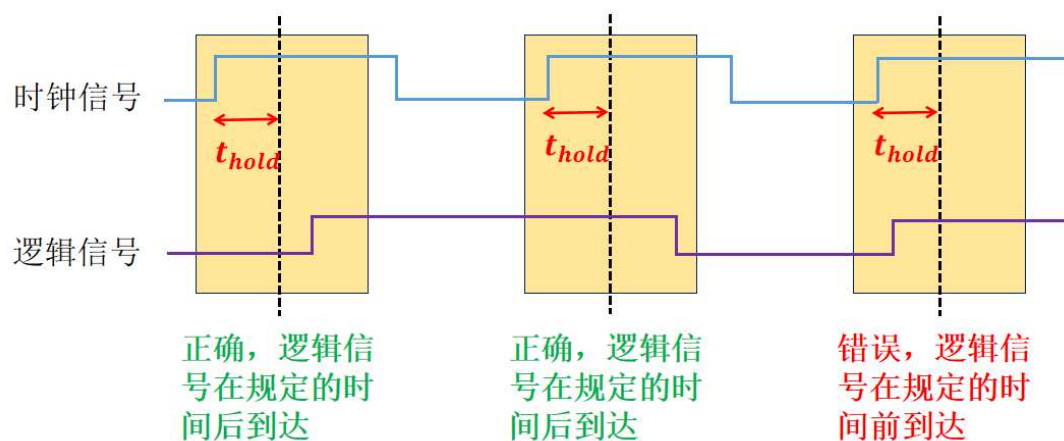


图 5 时序单元中的 Hold Time 示意图

逻辑单元与时序分析相关的是时延（Delay），主要有逻辑单元转换时延以及线时延。

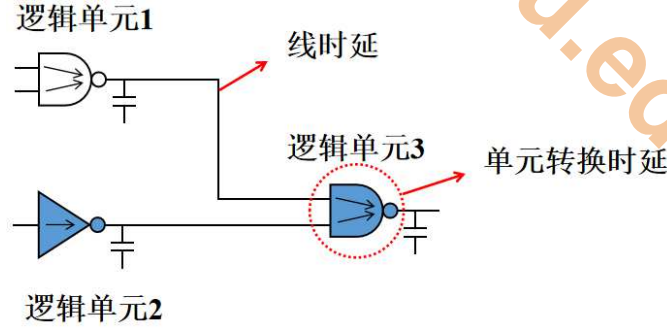


图 6 逻辑单元的单元转换时延、线时延示意图

最后列出时序分析指标，并根据时序分析指标判断芯片是否可以正常工作。

周期（T）：由设计者定义，表示要求逻辑信号在 T 时间内完成一轮传输。

时钟偏移（Skew）：指时钟信号到达时序单元时间的偏差。

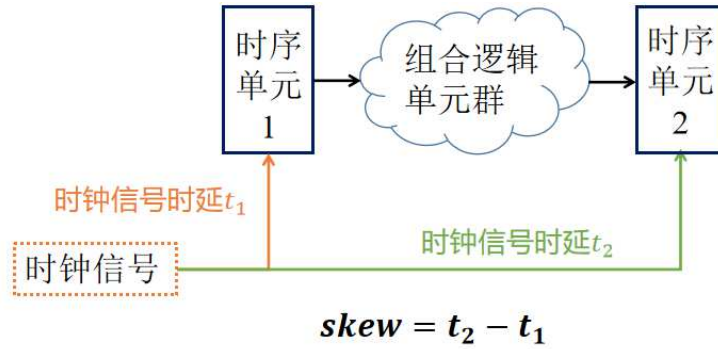


图 7 时钟偏移示意图

裕量（Slack）：指信号的到达时间和期望到达时间之间的差值。其计算方式如下所示：

$$Slack^{Early} = t_{comb} - t_{hold} - t_{skew}$$

$$Slack^{Late} = T + t_{skew} - t_{setup} - t_{comb}$$

其中， $Slack^{Early}$ 是逻辑信号过早到达的情况，对应时序单元的 Hold Time； $Slack^{Late}$ 是逻辑信号过晚到达的情况，对应时序单元的 Setup Time； t_{comb} 是组合逻辑的时延； T 是周期； t_{skew} 是时钟偏移； t_{hold} 和 t_{setup} 分别对应 Hold Time 和 Setup Time。裕量为负数时代表逻辑信号和时钟信号未在规定的时间内到达，该逻辑信号无法正常进行运算。

最差负裕量（Worst Negative Slack, WNS）：是负裕量的最小值。

总和负裕量（Total Negative Slack, TNS）：所有负裕量进行加和得值。

最差负裕量和总和负裕量用来评估后端芯片设计中的时序违例情况，若这两个指标过小，芯片将会无法正常工作。

时钟树综合基础知识

时钟树综合的任务是将发射时钟信号的时钟源连接到时序单元。

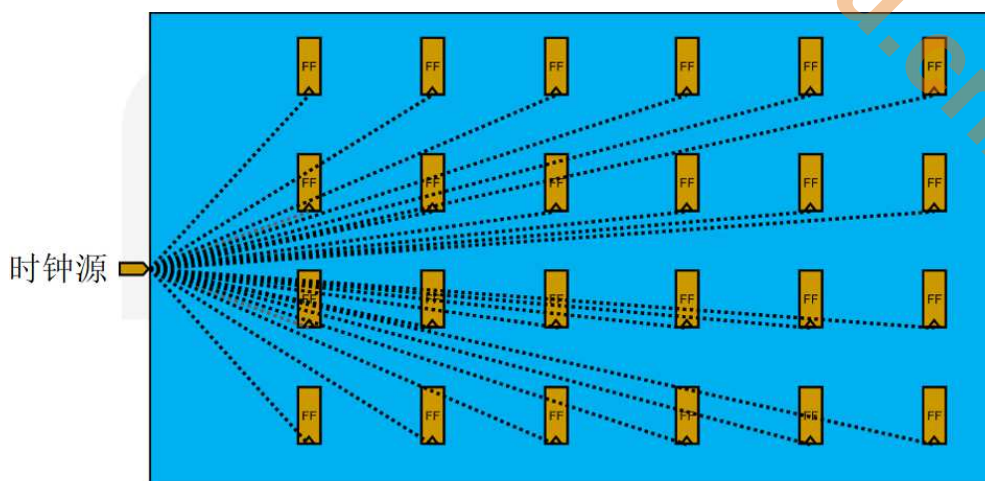


图 8 时钟树综合的目标

然而，时钟源并不能直接绕线连接到每一个时序单元。主要原因有：绕线步骤会出现拥塞的情况；距离时钟源远的时序单元接收的时钟信号十分微弱；单个时钟线网过长会导致高功耗；综上所述，物理设计后端会用构建时钟树的方式解决以上的问题。

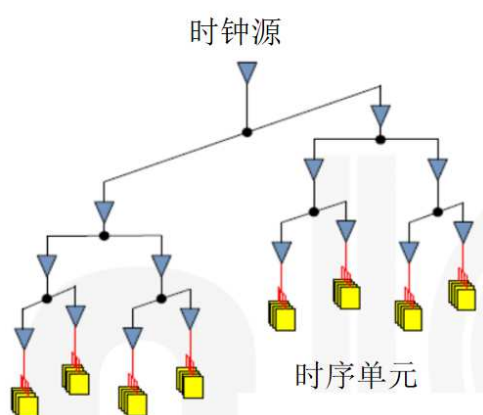


图 8 时钟树示意图

类似于我国电力传输过程中需要变压中继站的形式，在时钟信号传播过程中也设置了“中继”，用以增强时钟信号减少时钟信号在传输过程中的损耗，这些“中继”在物理设计后端中称为缓冲器（Buffer）。

Filler 基础知识

在布局后，标准单元间会存在一定的间隙。如果这些空隙不被填满，会导致生产制造规则的违例。Filler 单元就是用来填满标准单元中的空隙。Filler 单元和《实验四 布图规划 2》中提到的 TapCell 类似，只是一种填充单元，并不具有逻辑引脚的单元。Filler 单元有多种尺寸可以选择，视空隙的大小而定。

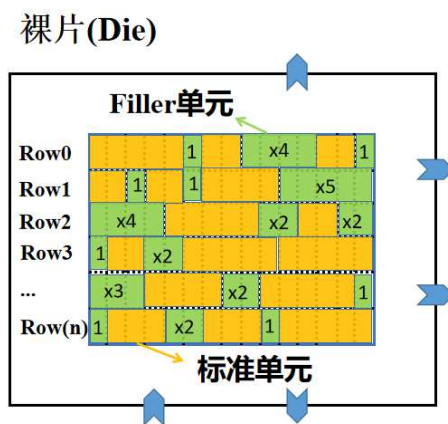
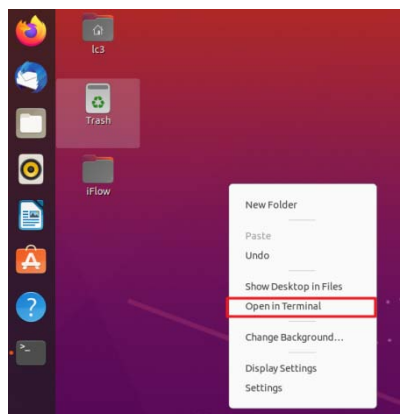


图 9 Filler 单元插入示意图

实验步骤

时钟树综合实验

- 1) 虚拟机开机，并打开终端



- 2) 进入 scripts 目录并针对寄存器堆（Regfile）执行时钟树综合前置步骤


```
lc3@lc3-virtual-machine: ~/Desktop/iFlow/scripts
lc3@lc3-virtual-machine:~/Desktop$ cd iFlow/scripts/
lc3@lc3-virtual-machine:~/Desktop/iFlow/scripts$ pwd
/home/lc3/Desktop/iFlow/scripts
lc3@lc3-virtual-machine:~/Desktop/iFlow/scripts$ ./run_flow.py -d Regfile -s synth,fl
oorplan,tapcell,pdn,gplace,resize,dplace -f sky130 -t HS -c TYP
Current full name : Regfile.synth.yosys_0.9.HS.TYP.default
Previous full name : Regfile...HS.TYP.default

-----
yosys -- Yosys Open SYnthesis Suite

Copyright (C) 2012 - 2019 Clifford Wolf <clifford@clifford.at>

Permission to use, copy, modify, and/or distribute this software for any
purpose with or without fee is hereby granted, provided that the above
```

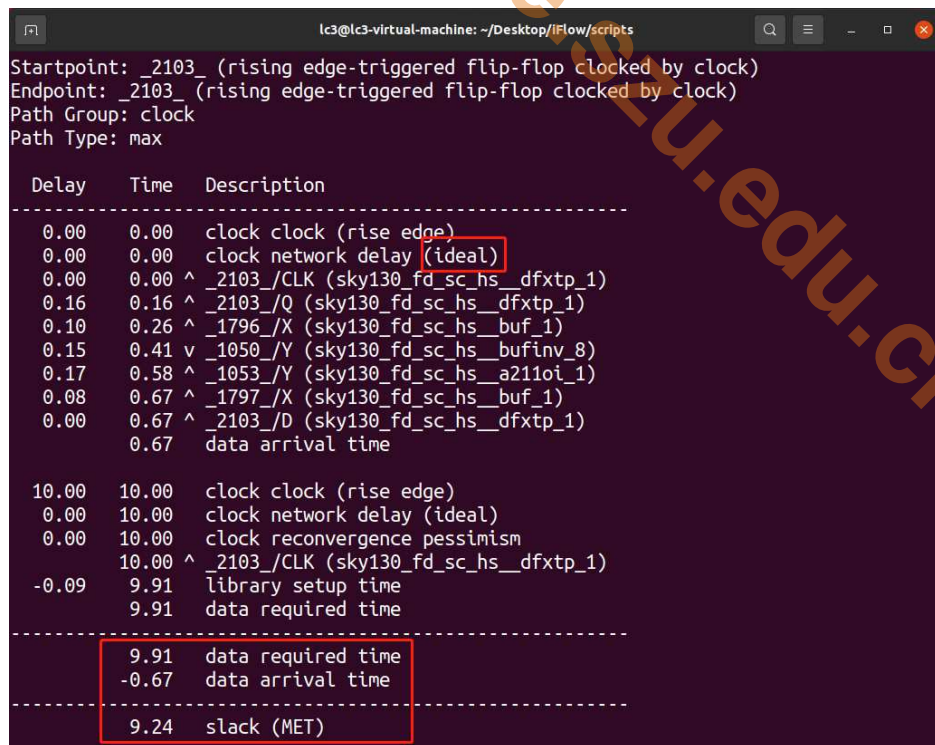
3) 执行时钟树综合脚本

```
lc3@lc3-virtual-machine: ~/Desktop/iFlow/scripts
lc3@lc3-virtual-machine:~/Desktop/iFlow/scripts$ ./run_flow.py -d Regfile -s cts -f s
ky130 -t HS -c TYP
Current full name : Regfile.cts.openroad_0.9.0.HS.TYP.default
Previous full name : Regfile.dplace.openroad_1.1.0.HS.TYP.default

OpenROAD 0.9.0 16d3aca673
This program is licensed under the BSD-3 license. See the LICENSE file for details.
Components of this program may be licensed under more restrictive licenses which must
be honored.
Notice 0: Reading LEF file: /home/lc3/Desktop/iFlow/foundry/sky130/lef/sky130_fd_sc_
hs.tlef
Notice 0: Created 13 technology layers
Notice 0: Created 25 technology vias
Notice 0: Finished LEF file: /home/lc3/Desktop/iFlow/foundry/sky130/lef/sky130 fd sc
```

4) 由于时钟树综合步骤做了逻辑上的连接，实际的连线是在后续的布线步骤，因此，我们暂时无法通过版图观察时钟树综合的结果。接下来我们通过分析时钟树综合的屏幕输出分析其行为。

第一步进行时序分析



```
lc3@lc3-virtual-machine: ~/Desktop/Flow/scripts
Startpoint: _2103_ (rising edge-triggered flip-flop clocked by clock)
Endpoint: _2103_ (rising edge-triggered flip-flop clocked by clock)
Path Group: clock
Path Type: max
```

Delay	Time	Description
0.00	0.00	clock clock (rise edge)
0.00	0.00	clock network delay (ideal)
0.00	0.00	^ _2103_/CLK (sky130_fd_sc_hs_dfxt1_1)
0.16	0.16	^ _2103_/Q (sky130_fd_sc_hs_dfxt1_1)
0.10	0.26	^ _1796_/X (sky130_fd_sc_hs_buf_1)
0.15	0.41	v _1050_/Y (sky130_fd_sc_hs_bufinv_8)
0.17	0.58	^ _1053_/Y (sky130_fd_sc_hs_a211oi_1)
0.08	0.67	^ _1797_/X (sky130_fd_sc_hs_buf_1)
0.00	0.67	^ _2103_/D (sky130_fd_sc_hs_dfxt1_1)
	0.67	data arrival time
10.00	10.00	clock clock (rise edge)
0.00	10.00	clock network delay (ideal)
0.00	10.00	clock reconvergence pessimism
	10.00	^ _2103_/CLK (sky130_fd_sc_hs_dfxt1_1)
-0.09	9.91	library setup time
	9.91	data required time
	9.91	data required time
	-0.67	data arrival time
	9.24	slack (MET)

图中的“ideal”字样代表的是此时是假设时钟信号从时钟源到达每一个时序单元的时间是一致的。图的下方是数据信号的期望到达时间(data required time)和到达时间(data arrival time)，前者减后者的结果为裕量(Slack)，可以看到该值为正数，说明当前无时序违例。

对时序单元的区域进行划分和聚类

```
lc3@lc3-virtual-machine: ~/Desktop/iFlow/scripts
Width: 8.55
Height: 9.38125
Level 1
Direction: Vertical
# sinks per sub-region: 64
Sub-region size: 8.55 X 4.69063
Segment length (rounded): 2
Key: 0 outSlew: 2 load: 1 length: 2 isBuffered: 0
Level 2
Direction: Horizontal
# sinks per sub-region: 32
Sub-region size: 4.275 X 4.69063
Segment length (rounded): 2
Key: 0 outSlew: 2 load: 1 length: 2 isBuffered: 0
[WARNING] Creating fake entries in the LUT.
Level 3
Direction: Vertical
# sinks per sub-region: 16
Sub-region size: 4.275 X 2.34531
Segment length (rounded): 1
Key: 4825 outSlew: 22 load: 1 length: 1 isBuffered: 1
Level 4
Direction: Horizontal
# sinks per sub-region: 8
Sub-region size: 2.1375 X 2.34531
Segment length (rounded): 1
Key: 4835 outSlew: 22 load: 1 length: 1 isBuffered: 1
Stop criterion found. Max number of sinks is (15)
Building clock sub nets...
Number of sinks covered: 128
```

从图中得出的信息是将时钟线做了 4 层划分，每层划分都是二等分。

优化生成缓冲器，并输出时钟树综合报告

```
*****
* Write data to DB *
*****
Writing clock net "clock" to DB
Created 49 clock buffers.
Minimum number of buffers in the clock path: 5.
Maximum number of buffers in the clock path: 5.
Created 49 clock nets.
Fanout distribution for the current clock = 5:2, 6:1, 7:2, 8:6, 10:5.
Max level of the clock tree: 4.
... End of TritonCTS execution.
```

可以看到此处生成了 49 个缓冲器（buffers）

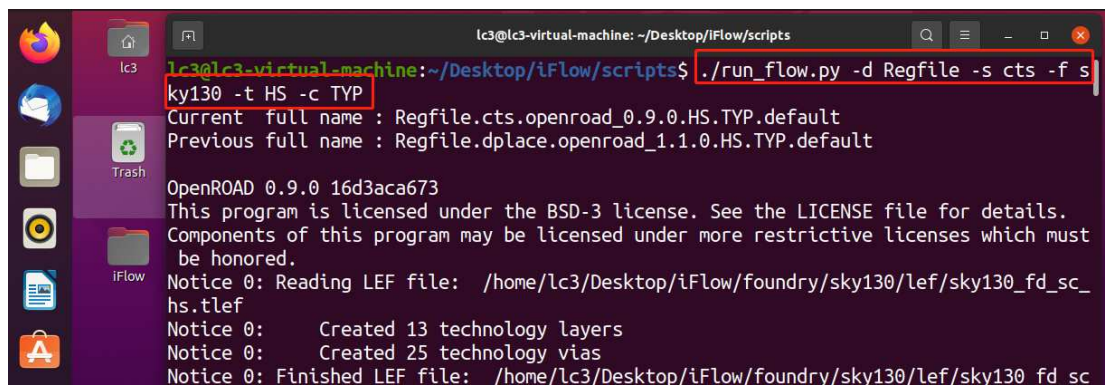
调用详细布局对缓冲器进行摆放

```
Design Stats
-----
total instances          1812
multi row instances      0
fixed instances          568
nets                    1274
design area              81927.6 u^2
fixed area               907.9 u^2
movable area            15731.5 u^2
utilization              19 %
utilization padded       36 %
rows                    86
row height               3.3 u

Placement Analysis
-----
total displacement      25056.3 u
average displacement    13.8 u
max displacement        106.6 u
original HPWL           51956.3 u
legalized HPWL          82657.2 u
delta HPWL              59 %
```

时序分析实验

1) 查看时钟树综合后的时序分析结果



```
lc3@lc3-virtual-machine: ~/Desktop/iFlow/scripts
lc3@lc3-virtual-machine:~/Desktop/iFlow/scripts$ ./run_flow.py -d Regfile -s cts -f s
ky130 -t HS -c TYP
Current full name : Regfile.cts.openroad_0.9.0.HS.TYP.default
Previous full name : Regfile.dplace.openroad_1.1.0.HS.TYP.default

OpenROAD 0.9.0 16d3aca673
This program is licensed under the BSD-3 license. See the LICENSE file for details.
Components of this program may be licensed under more restrictive licenses which must
be honored.
Notice 0: Reading LEF file: /home/lc3/Desktop/iFlow/foundry/sky130/lef/sky130_fd_sc_
hs.tlef
Notice 0: Created 13 technology layers
Notice 0: Created 25 technology vias
Notice 0: Finished LEF file: /home/lc3/Desktop/iFlow/foundry/sky130/lef/sky130 fd sc
```

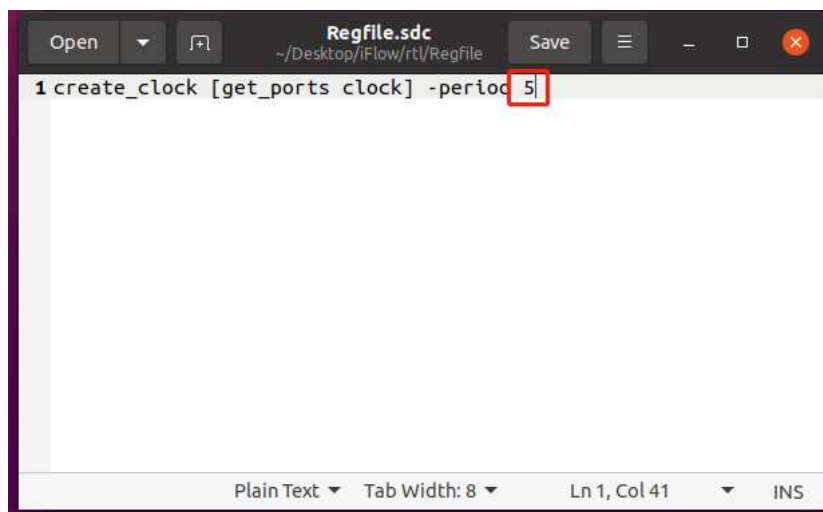
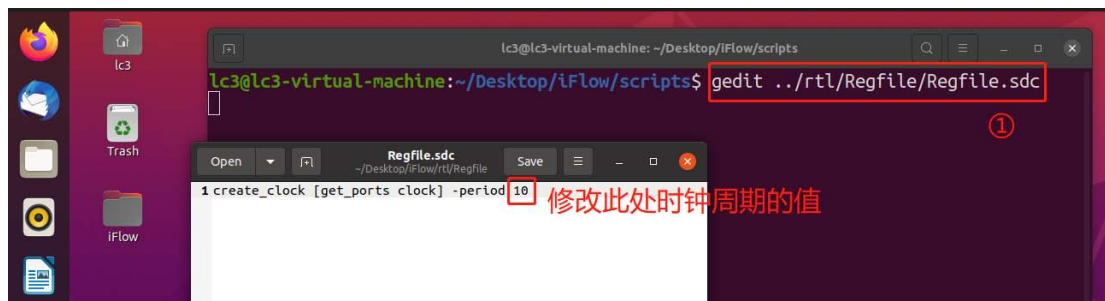
Delay	Time	Description

0.00	0.00	clock clock (rise edge)
0.00	0.00	clock network delay (ideal)
0.00	0.00	^ _2103_/CLK (sky130_fd_sc_hs_dfxtp_1)
0.16	0.16	^ _2103_/Q (sky130_fd_sc_hs_dfxtp_1)
0.10	0.26	^ _1796_/X (sky130_fd_sc_hs_buf_1)
0.15	0.41	v _1050_/Y (sky130_fd_sc_hs_bufinv_8)
0.17	0.58	^ _1053_/Y (sky130_fd_sc_hs_a211oi_1)
0.08	0.67	^ _1797_/X (sky130_fd_sc_hs_buf_1)
0.00	0.67	^ _2103_/D (sky130_fd_sc_hs_dfxtp_1)
	0.67	data arrival time
10.00	10.00	clock clock (rise edge)
0.00	10.00	clock network delay (ideal)
0.00	10.00	clock reconvergence pessimism
	10.00	^ _2103_/CLK (sky130_fd_sc_hs_dfxtp_1)
-0.09	9.91	library setup time
	9.91	data required time

	9.91	data required time
	-0.67	data arrival time

	9.24	slack (MET)

2) 修改时钟周期



保存后退出

3) 执行时序分析脚本

Delay	Time	Description
0.00	0.00	clock clock (rise edge)
0.00	0.00	clock network delay (ideal)
0.00	0.00	^ _2103_/CLK (sky130_fd_sc_hs_dfxtpt_1)
0.16	0.16	^ _2103_/Q (sky130_fd_sc_hs_dfxtpt_1)
0.10	0.26	^ _1796_/X (sky130_fd_sc_hs_buf_1)
0.15	0.41	v _1050_/Y (sky130_fd_sc_hs_bufinv_8)
0.17	0.58	^ _1053_/Y (sky130_fd_sc_hs_a211oi_1)
0.08	0.67	^ _1797_/X (sky130_fd_sc_hs_buf_1)
0.00	0.67	^ _2103_/D (sky130_fd_sc_hs_dfxtpt_1)
	0.67	data arrival time
5.00	5.00	clock clock (rise edge)
0.00	5.00	clock network delay (ideal)
0.00	5.00	clock reconvergence pessimism
	5.00	^ _2103_/CLK (sky130_fd_sc_hs_dfxtpt_1)
-0.09	4.91	library setup time
	4.91	data required time
	4.91	data required time
	-0.67	data arrival time
	4.24	slack (MET)

可观察得到期望到达时间减小，裕量值同步减小。

插入 filler 实验

1) 运行 filler 插入脚本

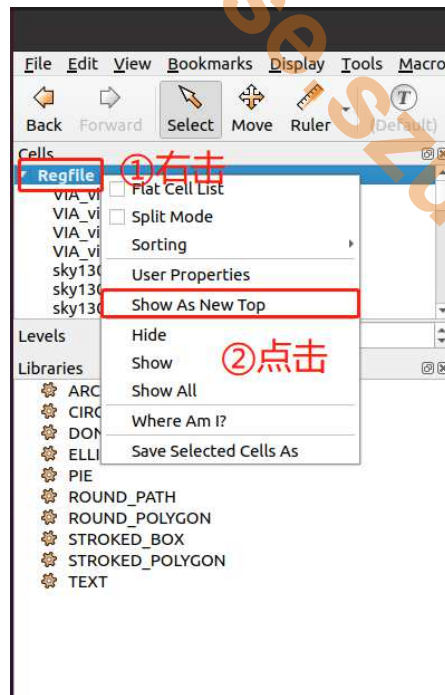
```
ic3@ic3-virtual-machine: ~/Desktop/iFlow/scripts
layout -f sky130 -t HS -c TYP
Current full name : Regfile.filler.openroad_1.1.0.HS.TYP.default
Previous full name : Regfile.cts.openroad_0.9.0.HS.TYP.default

OpenROAD 1.1.0 9295a533ff
License GPLv3: GNU GPL version 3 <http://gnu.org/licenses/gpl.html>

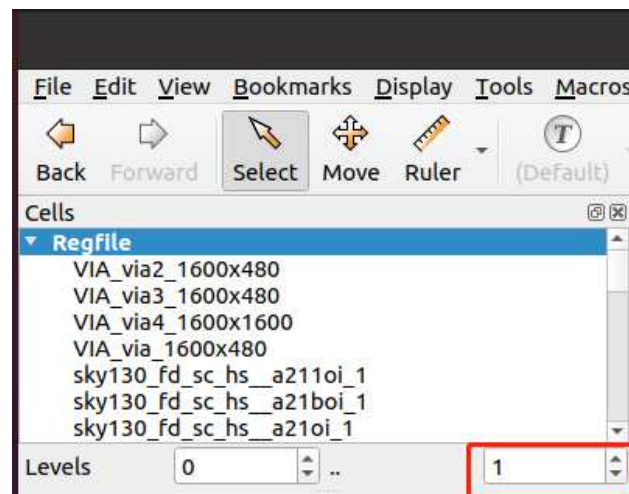
This is free software, and you are free to change and redistribute it
under certain conditions; type 'show_copyright' for details.
This program comes with ABSOLUTELY NO WARRANTY; for details type 'show_warranty'.
```

2) 查看 GDSII 版图

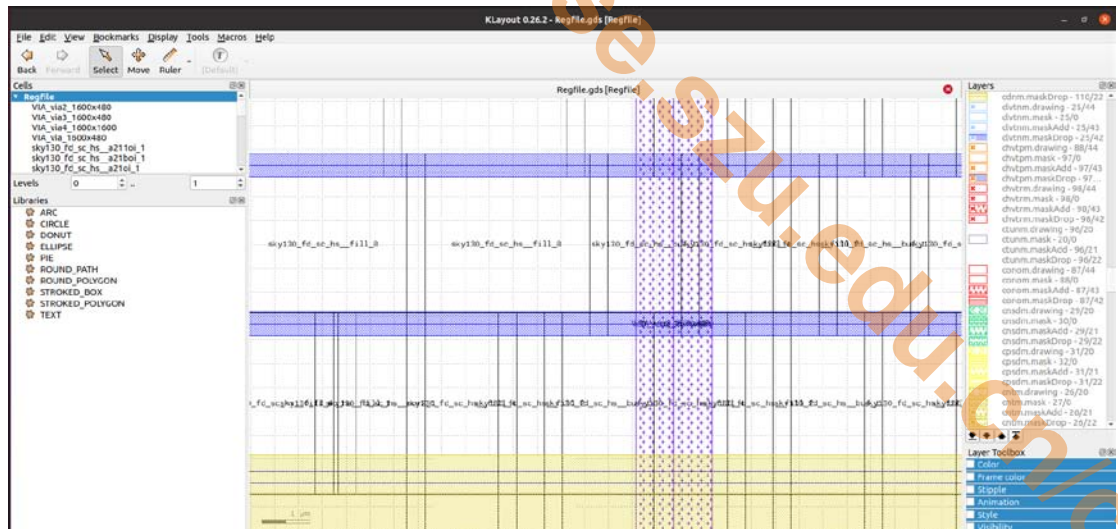
在自动弹出的版图工具左上角：



在 Levels 工具栏将数值调为“1”



接下来可以放大版图局部观察填充单元，带有“filler”字样的均是填充单元。



实验练习

- 1) 自主改变时钟周期，观察时序分析结果变化
- 2) 总结产生时序违例的原因