**深 圳 大 学 实 验 报 告**

**课程名称：­ 数字集成电路**

**实验项目名称： LC-3处理器后端设计**

**学院： 计算机与软件学院**

**专业： 计算机科学与技术（创新班）**

**指导教师： 蔡晔**

**报告人：何泽锋 学号：2022150221 班级： 高性能特色班**

**实验时间： 2024年 12月18 日 星期三**

**实验报告提交时间： 2024年 12月 20 日 星期五**

**教务部制**

|  |
| --- |
| **实验目的**  （1）了解芯片设计及物理设计的基础流程，引入基础概念。掌握实验环境的搭建。 学习实验 iFlow 工具  （2）了解电路优化基本原理、工艺库基本概念、电路置换基本原理以及掌握使用综合工具查看电路图  （3）理解版图基础知识，掌握布图规划中的版图设置操作、 IP 核基础知识，掌握 IP 核置换操作，理解 IO 引脚基础知识，掌握 IO 引脚摆放操作实验内容  （4）理解宏单元基础知识，掌握宏单元摆放操作，理解供电网络基础知识，掌握供电网络布置操作，理解 TapCell 基础知识，掌握 TapCell 插入操作  （5）理解布局基础知识，掌握布局操作，了解全局布局过程  （6）理解时序分析概念，理解时钟树综合基础知识，掌握时钟树综合操作，理解 filler 基础知识，掌握插入 filler 操作  （7）了解全局布线与详细布线的基本概念，掌握使用全局布线和详细布线工具  （8）了解验证阶段（DRC，LVS 等）的基本概念，掌握工具的全流程使用，跑通整个 LC3 设计 |
| **实验内容与实验步骤**  **1. 环境搭建**  （1）进入课程提供的linux虚拟机，打开terminal，输入如下指令生成aes\_cipher\_top 芯片版图  （2）如图所示为生成的 aes\_cipher\_top 芯片版图，可以看到版图的设计非常复杂。    **2. 综合**  （1）查看 ALU 综合前后电路图  ①首先查看综合前的ALU电路图，在yosys中输入对应的read\_verilog指令后并展示即可，可以看到电路非常复杂    ②使用iFlow调用自动化脚本对其进行综合，再通过yosys查看电路图，可以看到电路明显简单于综合前    （2）查看 sky130 工艺库内的“sky130\_fd\_sc\_hs\_\_or2\_1”单元  ①使用 klayout 工具查看工艺库内的标准单元，在“标准单元列表”内找到名称为“sky130\_fd\_sc\_hs\_\_or2\_1”，对其右键并选择“Show As New Top”    （3）使用 sky130 和 asap7 工艺库查看 ALU 的综合的统计结果  ①使用工艺库“sky130”进行综合，查看ALU的综合统计结果    ②使用工艺库“asap7”进行综合，查看ALU的综合统计结果，对比可以发现，使用不同工艺库的情况下wries的数量、长度等都不一样，对应工艺库下各个标准单元名称也不同。  **3. 布图规划 1**  （1）自主改变版图大小，并用标尺在 GDSII 版图上进行测量验证  ①首先检查Memory是否已经正常配置，如图所示，在目录下存在Memory文件    ②将设计中的 IP 名称及端口更换为工艺库内的 IP 名和端口，将红色矩形区  域内的代码注释，并在下方填入 sky130\_sram\_1rw1r\_44x64\_8 内容    ③通过 Cat 命令查看 Memory.v 内容是否修改成功    ④运行查看初始情况下的版图面积，芯片利用率取50%，芯片版图面积 = 105717.8434 / 0.5 = 211435.6868（um2）    ⑤修改版图配置文件，同时修改版图及布局区域大小    ⑥使用 klayout 打开生成的 gds 文件，测量修改后的版图大小，可以看到长度为600，与设置的DIE\_AREA一致    （2）在 IO 引脚摆放后输出的 GDSII 版图中，标出芯片的输入引脚  ①设置 IO 引脚脚本开关，并运行 IO 引脚摆放脚本，图中含有许多io\_wdata引脚，是输入引脚，在版图上下部分标注重叠，此处举例两侧的输入引脚    （3）自主摆放 IO 引脚并进行结果评估  ①摆放 IO 后的线长统计信息评估，可以看到当前的io线长为2366972    ②改动 IO 自动摆放的随机参数，重新摆放后得到如下结果，可以看到当前线长为1419468，比原来减少了非常多    （4）其他长度版图测试  实验还测试了版图长度为800的情况下，线长为1713443，同等随机值下，略长于版图为600的情况    **4. 布图规划2**  （1）改变宏单元位置，观察线长 HPWL 评估当前位置摆放的优劣  ①还原初始设置，在前面的实验中，对部分参数进行了修改，此处先进行还原    ②输入指令，观察初始状态下摆放完macro后线长HPWL的变化，可以看到当前线长为2082443    ③改变 macro 的位置，观察线长指标的变化来评估 macro 当前摆放位置优劣，可见当前为2366957，比原来更差了    （2）改变 TapCell 的间隔参数，并使用尺子进行测量  ①执行 TapCell 摆放脚本并观察版图中 TapCell 的分布情况    ②改变 TapCell 的间隔参数并观察 TapCell 在版图中的改变    ③重新执行 TapCell 摆放脚本，并使用尺子测量 Tapcell 之间的间隔，可以看到与修改的值一致    ④执行供电网络布置脚本，并观察供电网络在版图中的分布情况    **5. 布局**  （1）改变全局布局“-density”参数，总结对全局布局的影响  ①首先初始化DataPath模块    ②执行脚本查看当前的总利用面积，可以看到在初始情况下的利用面积为43816um2    ③设定版图大小。利用率取 50%，暂定版图大小为宽 296，高 296    ④执行综合以及布图规划步骤    ⑤执行全局布局脚本    ⑥执行完全局布局脚本后，观察全局布局后的结果，可以看到在全局布局情况下存在许多重叠的情况    ⑦根据文件命名中的序号观察出全局布局过程变化    ⑧改变目标密度“density”的参数值为0.6，观察全局布局变化，如下图所示，可以看到覆盖的面积大于原始情况，这是因为重叠部分少了，密度下降。    ⑨观察全局布局变化过程，以及bin散开的过程    （2）改变全局布局“-overflow”参数，总结对全局布局的影响  ①将density的值恢复至初始情况，控制变量并修改overflow的值为0.4    ②重新执行全局布局脚本，可以看到重叠的更多了，标准单元比较聚集    ③观察全局布局变化过程，以及bin散开的过程    ④执行合法化和详细布局脚本，可以看到此时标准丹阳之间都已对齐    **6. 时钟树综合**  （1）自主改变时钟周期，观察时序分析结果变化  ①首先对寄存器堆（Regfile）执行时钟树综合前置步骤    ②执行时钟树综合脚本    ③进行时序分析，数据信号的期望到达时间和到达时间，前者减后者的结果为裕量，可以看到该值为正数，说明当前无时序违例    ④对时序单元的区域进行划分和聚类，从图中可以看到将时钟线做了 4 层划分，每层划分都是二等分。    ⑤优化生成缓冲器，并输出时钟树综合报告，此处生成了 49 个缓冲器    ⑥调用详细布局对缓冲器进行摆放    ⑦修改时钟周期，此处将时钟周期的值修改为5    ⑧执行时序分析脚本，观察得到期望到达时间减小，裕量值同步减小。    ⑨运行 filler 插入脚本，打开运行得到的版图，将Levels调整至1，放大版图局部观察填充单元，带有“fill”字样的均是填充单元    （2）总结产生时序违例的原因  ①时钟信号到达不同时序单元的时间不一致，导致部分单元无法在规定时间内完成数据读写操作。  ②组合逻辑单元的转换时延和线时延过长，导致数据信号无法在时钟信号到达前准备好，或者无法在时钟信号到达后保持稳定。  ③布局布线拥塞，导致信号传输路径过长，时延增加  **7. 布线**  ①生成 Switch\_routing 设计的布局结果并查看    ②关闭 klayout，输入以下命令生成全局布线结果    ③通过 show\_guide 工具生成全局布线的可视化结果    ④将全局布线结果导入图层中，将左侧栏的 top 展开，对着“\_2\_”右键，并选择“Show As New Top”。将线网\_2\_的全局布线结果展示出来    ⑤关闭可视化软件 klayout，在终端上查看输出的对应的线长与通孔数量。    ⑥先生成控制器模块的布线前结果。    ⑦查看当前设置的全局布线参数。    ⑧打开查看到在第三层的布线结果，可以看到初始时在第三层的布线数量很少    ⑨将全局布线参数设置如下。这个参数表示，尽量不要在层 1，2 上布线。    ⑩调整参数后，第三层的布线结果如下，布线数量明显多于初始情况。    **8. 验证与全流程**  ①查看“met3”的层信息    ②跑通lc3全流程，运行命令，最后得到 lc3 版图 |
| 实验结论：  通过本次LC-3处理器后端设计的实验，完成了一系列后端设计步骤，加深了对芯片设计的理解，主要包含以下方面：  ·综合与电路优化：通过使用iFlow工具和yosys，观察到ALU在综合前后电路图的显著变化，证明了综合工具在电路优化中的重要性。此外，不同工艺库（sky130和asap7）对ALU综合结果的影响也被清晰地展示出来。  ·布图规划：自主改变了版图大小，并使用GDSII版图进行了测量验证。IO引脚的摆放和评估显示了版图设计中的复杂性。通过调整IO引脚摆放参数，成功减少了线长，提高了芯片性能。  ·宏单元摆放与供电网络：改变宏单元位置对线长HPWL的影响表明了布局优化的重要性。同时，TapCell的间隔参数调整和供电网络的布置也对版图设计有着直接的影响。  ·布局操作：全局布局参数的调整对布局结果有着显著的影响。通过改变“-density”和“-overflow”参数，观察到了全局布局过程中的变化。  ·时钟树综合：对寄存器堆执行了时钟树综合，并进行了时序分析。通过改变时钟周期，观察到了时序分析结果的变化。  ·布线：全局布线和详细布线工具的使用，以及参数调整对布线结果的影响，都被详细记录和分析。 |
| 指导教师批阅意见：  成绩评定：  指导教师签字：  年 月 日 |
| 备注： |

注：1、报告内的项目或内容设置，可根据实际情况加以调整和补充。

2、教师批改学生实验报告时间应在学生提交实验报告时间后10日内。