**深 圳 大 学 实 验 报 告**

**课程名称：­ 数字集成电路**

**实验项目名称： 基本的组合逻辑电路**

**学院： 计算机与软件学院**

**专业： 计算机科学与技术（创新班）**

**指导教师： 蔡晔**

**报告人：何泽锋 学号：2022150221 班级： 高性能特色班**

**实验时间： 2024年 9月 4 日 星期三**

**实验报告提交时间： 2024年 9月 11 日 星期三**

**教务部制**

|  |
| --- |
| **实验目的：**  1.学习 Chisel 的硬件类型和连线，包括 chisel 的赋值、端口（IO）、模块（Module）和线网  （Wire）；  2.学习 Chisel 的主要数据类型（UInt 和 Bool 类型）以及硬件中信号数据传递的概念，能够使  用 Chisel 实现基础的组合逻辑电路；  3.学习选择器 Mux 的使用，理解多路选择器的基本原理和 chisel 的实现方法 |
| **实验内容与实验要求:**  1.学习构建 Chisel 工程，完成 chisel-template 工程的构建和运行；  2.通过修改 chisel-template 工程，编译生成代码；  3.使用 Chisel 完成一个简单的路由器作业。 |
| **实验步骤**  一、 基于 mill 的 chisel-template 工程的使用  1、按照要求使用实验提供的虚拟机安装chisel，因为实验提供的是旧版本的verilator，因此需要使用旧版本的chisel-template，输入以下命令即可消除兼容问题：    2. 替换chisel-template中的%NAME%字段，进入该文件夹，输入替换的指令，讲名字改为MyChiselProject。    3.实验提供的系统已经安装了mill，因此可直接查看版本，如图所示：    4. 尝试编译测试 chisel-template，进入文件夹后用mill指令调用工程，如图所示，程序编译通过并成功输出。    5. chisel-template 项目结构，使用tree命令可以查看完整的项目结构，此处展示较为直观的src文件夹，也就是填写代码的文件    6.在scala目录下创建工程文件，如上图可知当前scala目录下只有gcd文件夹，创建mymodul，然后使用ls查看，如图所示：    二、实现一个 3 输入和 3 输出的路由器，根据下表中控制信号的不同，将指定输入端口的信号传递到指定的输出端口。    1.打开router.scala文件，在该文件下编写代码。  2.按照题目要求，可以创建三个临时变量用于存储控制信号选择的输出端口，通过MuxCase选择对应的输出端口，  ①输出端口0，将控制信号看作Uint数据，根据控制信号的大小选择对应输出端口信息，对应关系如下：  控制信号0.U->a  控制信号1.U->b  控制信号2.U->b  控制信号3.U->c  ②输出端口1：  控制信号0.U->c  控制信号1.U->a  控制信号2.U->c  控制信号3.U->b  ③输出端口2：  控制信号0.U->b  控制信号1.U->c  控制信号2.U->a  控制信号3.U->a  具体代码如下：    3.编译运行代码，结果正确，如图所示： |
| 实验结论：  通过本次实验，了解了如何使用mill编译程序，通过修改文档信息成功运行MyChiselProject文件。对于任务二，首先分析表格，通过控制信号来选择输出端口的顺序，需要注意的是，输入端口的信息是不能修改的，否则编译会报错，并且代码也不能出现环，会导致线路出错。实验中也了解到了不同数据类型的区别，主要包含Uint和Boolen。学习了选择器 Mux 的使用，了解了基本原理，类比c语言的三目运算符。在任务二中使用了MuxCase，对于多路选择有较好的实现，代码也较为直观。通过实验文档知道可将MuxCase替换成更简洁的MuxLookup，这是从0开始的查找表，在本题中因为控制信号转为Uint是从0-3，因此MuxLookup实际会更加简单。 |
| 指导教师批阅意见：  成绩评定：  指导教师签字：  年 月 日 |
| 备注： |

注：1、报告内的项目或内容设置，可根据实际情况加以调整和补充。

2、教师批改学生实验报告时间应在学生提交实验报告时间后10日内。