**深 圳 大 学 实 验 报 告**

**课程名称：­ 数字集成电路**

**实验项目名称： 时序逻辑电路**

**学院： 计算机与软件学院**

**专业： 计算机科学与技术（创新班）**

**指导教师： 蔡晔**

**报告人：何泽锋 学号：2022150221 班级： 高性能特色班**

**实验时间： 2024年 9月 11 日 星期三**

**实验报告提交时间： 2024年 9月 18 日 星期三**

**教务部制**

|  |
| --- |
| **实验目的：**  1. 掌握时序逻辑的基础概念，了解时序图的相关概念；  2. 学习使用 Chisel 实现各种常见的寄存器；  3. 学习计数器电路的实现。 |
| **实验内容与实验要求:**  1. 时序逻辑概念与时序图介绍；  2. Chisel 中实现 D 触发器，带复位的 D 触发器，带使能的 D 触发器；  3. 使用 Chisel 的 Reg 语法搭建计数器电路。 |
| **实验步骤**  一、了解时序逻辑电路  1、时序逻辑电路的基本构建单元是触发器和锁存器。常见的触发器包括D触发器、T触发器、JK触发器和SR触发器。触发器受到时钟信号的控制，分为上升沿和下降沿两种控制方式，即低电压到高电压（上升沿）和高电压到低电压（下降沿），只有在对应的沿触发器的输出信号才会根据输入信号改变。触发器是由锁存器构成的，此处举例D触发器，包含主锁存器和从锁存器。  二、完成下面时序图的绘制，你需要补充 Q1，D2，Q2 三个信号的波形    1.根据D触发器的功能结合时钟的控制可以画出如下波形输出图    2.简单分析：首先D1是输入信号，当出现变化时Q1输出不会立刻变化，需要等待时钟信号到达上升沿，因此Q1会略微滞后于D1。D2是Q1取非的结果，因此不存在延迟，信号电平0和1相反。初始时Q2寄存器为0，Q2会滞后D2一个时钟周期，这是因为D2变化完后不会立刻通过触发器，存在时延，因此在实际运行时需要等待下一上升沿方能变化。  三、使用计数器实现一个方波信号输出器，使得能够产生 10%占空比的方波，相位偏移为30%，计数器计数最大值限制为 100  1.首先分析题目要求：  ①计数的最大限制为100，因此达到100时需要重新置为0。  ②10%占空比的方波：占空比 = 高电平时间 / 总时间，此处总时间为100，因此推出高电平的时间为10  ③相位偏移为30%：相位 = 时间偏移 / 周期时间 = 高电平开始时间 / 计时器最大值，因此高电平开始时间为30  结合上述分析可以写出如下代码：    2.运行并检验输出结果，可以看到得到需要的占空比、相位偏移 |
| 实验结论：  通过本次实验了解了时序逻辑电路，包括什么是触发器、锁存器。通过任务一更加清晰的了解了D触发器的使用方式。通过对实验文档的阅读也基本了解了如何模拟实现触发器的功能。通过任务二清晰的知道了如何实现简单的计数器电路，并且也了解了占空比、相位偏移等方波输出的概念。 |
| 指导教师批阅意见：  成绩评定：  指导教师签字：  年 月 日 |
| 备注： |

注：1、报告内的项目或内容设置，可根据实际情况加以调整和补充。

2、教师批改学生实验报告时间应在学生提交实验报告时间后10日内。