

# 建國中學彈性學習校內微課程大綱

開課年級	<input type="checkbox"/> 高一 <input checked="" type="checkbox"/> 高二 (兩個年級時段重疊，若授課老師僅一位，則無法複選)		
開課梯次	<input type="checkbox"/> 第一梯次 <input checked="" type="checkbox"/> 第二梯次 (可選擇其中之一，亦可複選)		
課程名稱	淺談數位 IC 設計概念・方法・工具 (邏輯端)		
授課教師	黃敦紀		
修課人數	15		
上課場地	(待分配)		
課綱 核心素養	A 自主行動	B 溝通互動	C 社會參與
	<input checked="" type="checkbox"/> A1.身心素質與自我精進 <input checked="" type="checkbox"/> A2.系統思考與問題解決 <input checked="" type="checkbox"/> A3.規劃執行與創新應變	<input checked="" type="checkbox"/> B1.符號運用與溝通表達 <input checked="" type="checkbox"/> B2.科技資訊與媒體素養 <input type="checkbox"/> B3.藝術涵養與美感素養	<input type="checkbox"/> C1.道德實踐與公民意識 <input type="checkbox"/> C2.人際關係與團隊合作 <input type="checkbox"/> C3.多元文化與國際理解

一、學習目標  
認識數位 IC 設計的概念、流程與方法，，引起計算機相關領域課題學習興趣、充實多元表現學習歷程。

## 二、課程內容

週次	日期時間	課程主題	內容綱要
一		1. 課程介紹 2. 數位邏輯設計簡介	邏輯閘、如何從邏輯閘組合邏輯功能
二		Verilog 語言與模擬 加法器、多工器	Verilog 模型編寫與模擬環境、加法器、多工器
三		Verilog 組合邏輯 模組化設計與測試	Verilog 組合邏輯模型編寫與模組化設計、測試
四		正反器、 序向邏輯簡介	序向邏輯、時脈、邊緣觸發、應用
五		Verilog 序向邏輯設計	Verilog 序向邏輯設計與測試
六		邏輯合成 數位 IC 設計的實體端	邏輯合成介紹與示範、數位 IC 設計實體端與製程

## 三、上課方式及成果要求

- (1) 上課方式：觀念講解、實作練習與問題排除。**每位同學須攜帶筆電上課。**
- (2) 成果要求：1. 數位電路模型與模擬結果；2. 學習歷程整理報告。