

1. Языки описания аппаратуры. Причины появления. Преимущества использования.
2. Особенности языков описания аппаратуры. История развития. Стандарты языка описания аппаратуры VHDL. Процесс проектирования с использованием VHDL.
3. Проектные модули языка VHDL. Проектный модуль **entity**.
4. Проектный модуль **entity**. Блок портов. Порты **inout**.
5. Проектные модули языка VHDL. Проектный модуль **architecture**.
6. Проектные модули языка VHDL. Проектный модуль **configuration**.
7. Типы данных языка VHDL. Классы типов данных. Оператор объявления типов данных.
8. Скалярные типы данных языка VHDL.
9. Агрегатные типы данных языка VHDL.
10. Файловые типы данных.
11. Подтипы языка VHDL. Функции разрешения подтипа.
12. Типы данных пакета **std\_logic\_1164**.
13. Объекты данных языка VHDL. Константы.
14. Переменные и сигналы языка VHDL.
15. Атрибуты языка VHDL. Категории атрибутов. Пользовательские атрибуты.
16. Предопределенные атрибуты типов языка VHDL.
17. Предопределенные атрибуты агрегатов языка VHDL.
18. Предопределенные атрибуты сигналов языка VHDL.
19. Операторы языка VHDL. Операторы объявления (декларации).
20. Параллельные операторы языка VHDL. Оператор параллельного присваивания значения сигналу.
21. Параллельные операторы языка VHDL. Параллельный оператор создания экземпляра компонента.
22. Параллельные операторы языка VHDL. Параллельный оператор **process**.
23. Параллельные операторы языка VHDL. Параллельный оператор **generate**.
24. Параллельные операторы языка VHDL. Параллельные операторы **assert** и **block**.
25. Последовательные операторы языка VHDL. Последовательные операторы **if** и **case**. Пустой оператор.
26. Последовательные операторы языка VHDL. Последовательные операторы цикла.
27. Последовательные операторы языка VHDL. Операторы изменения последовательности выполнения циклов. Последовательные операторы присваивания значения сигналу и переменной.
28. Последовательные операторы языка VHDL. Оператор ожидания.
29. Подпрограммы языка VHDL. Функции.
30. Подпрограммы языка VHDL. Процедуры.
31. Верификация разрабатываемого устройства. Моделирование.
32. Тестовые модули (**testbench**).
33. Стили описания цифровых устройств.
34. Уровни абстракции процесса проектирования цифровых устройств. Транзисторный уровень.
35. Уровни абстракции процесса проектирования цифровых устройств. Вентильный уровень.
36. Уровни абстракции процесса проектирования цифровых устройств. Уровень регистровых передач.
37. Уровни абстракции процесса проектирования цифровых устройств. Системный уровень.
38. Взаимосвязь между стилями описания и уровнями абстракции. Задачи решаемые при проектировании цифровых устройств.
39. Задачи, решаемые при проектировании цифровых устройств. Синтез.
40. Задачи, решаемые при проектировании цифровых устройств. Физическая реализация.

Верификация и тестирование.

41. Реализация конечных автоматов на языке VHDL.
42. Интегрированная среда проектирования цифровых устройств Xilinx ISE (назначение, возможности, состав).
43. Проектирование в САПР Xilinx ISE. Ввод проекта.
44. Проектирование в САПР Xilinx ISE. Синтез проекта.
45. Проектирование в САПР Xilinx ISE. Физическая реализация проекта.
46. Проектирование в САПР Xilinx ISE. Дополнительные инструменты, используемые на этапе физической реализации.
47. Проектирование в САПР Xilinx ISE. Верификация. Типы моделирования.
48. Дополнительное программное обеспечение (**Plan Ahead** и **Chip Scope**)
49. Современная элементная база цифровых систем. Классификация.  
Специализированные интегральные схемы.
50. Современная элементная база цифровых систем. Программируемые логические интегральные схемы. Свойства и классификация.
51. Современная элементная база цифровых систем. Стандартные программируемые логические интегральные схемы.