

Министерство образования Республики Беларусь

Учреждение образования  
БЕЛОРУССКИЙ ГОСУДАСТВЕННЫЙ УНИВЕРСИТЕТ  
ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных машин

Лабораторная работа №2  
«Исследование работы комбинационных схем»

Студенты

Бригадир А. С.  
Кисель Д. Д.

Проверил

Некревич Ю. И.

МИНСК 2024

## **1 ЦЕЛЬ РАБОТЫ**

Изучение работы коммутационных логических элементов.

## **2 ИСХОДНЫЕ ДАННЫЕ К РАБОТЕ**

Поставленные задачи:

1. Подготовка лабораторных модулей dLab2-dLab6 на установке N1 ELVIS.
2. Изучение работы шифратора. Формирование таблицы истинности и диаграммы состояний. Определение активного логического сигнала на входе управления. Определение условий активного низкого уровня на выходах группового переноса и разрешения работы при каскадировании. Проверка исследуемого шифратора на приоритетность.
3. Изучение работы дешифратора. Формирование таблицы истинности и диаграммы состояний. Определение активного логического сигнала на входе управления.
4. Изучение работы мультиплексора. Формирование таблицы истинности и диаграммы состояний. Определение активного логического сигнала на входе управления.
5. Изучение работы сумматора. Формирование таблицы истинности и диаграммы состояний. Проверка результата сложения.
6. Изучение работы цифрового компаратора. Формирование таблицы истинности и диаграммы состояний. Увеличение разрядности компаратора.

## **3 ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ**

### **3.1 Шифратор**

Шифратором  $M \times N$  называют комбинационное устройство с  $M$  входами и  $N$  выходами, преобразующее  $M$ -разрядный унитарный код в  $N$ -разрядный двоичный код.

Шифраторы классифицируют по ряду признаков.

По числу входов различают:

- полные шифраторы, число входов которых  $M = 2^N$ ;
- неполные шифраторы, имеющих число входов  $M < 2^N$ . По уровням

входных и выходных сигналов выделяют:

- шифраторы высокого уровня, активные сигналы на входах и выходах которых имеют уровень логической единицы;

- шифраторы низкого уровня, активные входные и выходные сигналы которых соответствуют уровню логического нуля.

По функциональной значимости входов шифраторы разделяют на две группы:

- шифраторы с равнозначными функциями входов, в которых все входы равноценны и при подаче на любой из них активного уровня сигнала на выходе формируется двоичный код. В таких шифраторах нельзя подавать несколько входных сигналов одновременно от разных источников, если на один из входов шифратора подан сигнал, остальные входы шифратора должны быть заблокированы;

- приоритетные шифраторы, в которых возможна одновременная подача на входы сигналов от разных источников, однако только один из них, имеющий больший приоритет, выполнит функцию формирования выходного кода. Как правило, наивысший приоритет назначается входу с самым высоким порядковым номером.

На рисунке 3.1 приведено условное графическое обозначение приоритетного шифратора низкого уровня К555ИБ1.

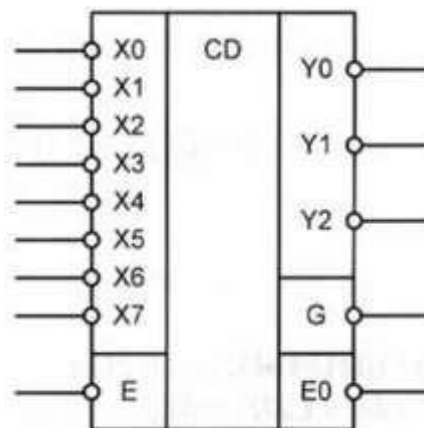


Рисунок 3.1 – Условное графическое обозначение шифратора К555ИБ1

Данная интегральная микросхема имеет следующий набор входных и выходных сигналов:

- восемь информационных входов X0, X1, ..., X7;
- три информационных выхода Y0, Y1, Y2;
- вход разрешения работы данного шифратора EI;
- выход разрешения работы других шифраторов при каскадировании E0;
- выходной сигнал группового переноса G;

Работа шифратора разрешена при подаче нуля на вход разрешения EI (enable input). При этом на выходах кода Y0, Y1, Y2 формируется инверсный двоичный код номера активной входной линии. При одновременном поступлении нескольких входных сигналов формируется выходной код, соответствующий входу с наибольшим номером. Поэтому такой шифратор называется приоритетным. При отсутствии входных сигналов формируется выходной код 111. Единичный сигнал на входе Е запрещает работу шифратора (все выходные сигналы устанавливаются в единицу).

На выходе G вырабатывается нуль при приходе любого активного входного сигнала. Это позволяет отличить ситуацию поступления сигнала на вход X0 от ситуации отсутствия сигналов на всех входах.

Выход EO становится нулевым при отсутствии входных сигналов, если при этом разрешена работа шифратора нулевым сигналом на входе Е.

Работа устройства иллюстрируется таблицей 3.1.

Таблица 3.1 – Таблица состояний шифратора

<b>EI</b>	<b>x<sub>7</sub></b>	<b>x<sub>6</sub></b>	<b>x<sub>5</sub></b>	<b>x<sub>4</sub></b>	<b>x<sub>3</sub></b>	<b>x<sub>2</sub></b>	<b>x<sub>1</sub></b>	<b>x<sub>0</sub></b>	<b>y<sub>2</sub></b>	<b>y<sub>1</sub></b>	<b>y<sub>0</sub></b>	<b>G</b>	<b>EO</b>
1	×	×	×	×	×	×	×	×	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	1	1	1	1	1	1	1	0	1	1	1	0	1
0	1	1	1	1	1	1	0	×	1	1	0	0	1
0	1	1	1	1	1	0	×	×	1	0	1	0	1
0	1	1	1	1	0	×	×	×	1	0	0	0	1
0	1	1	1	0	×	×	×	×	0	1	1	0	1
0	1	1	0	×	×	×	×	×	0	1	0	0	1
0	1	0	×	×	×	×	×	×	0	0	1	0	1
0	0	×	×	×	×	×	×	×	0	0	0	0	1

Сигналы EI и EO используются для наращивания разрядности шифратора. На рисунке 3.2 приведена схема построения шифратора 16х4 на основе двух шифраторов 8х3.

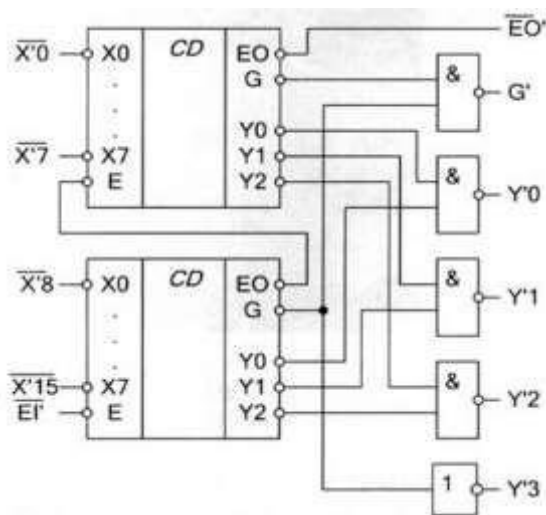


Рисунок 3.2 – Схема построения шифратора 16x4

Стандартное применение шифраторов состоит в сокращении количества сигналов. Например, в случае шифратора К555ИБ1 информация о восьми входных сигналах сворачивается в три выходных сигнала. Это очень удобно, например, при передаче данных по информационным каналам.

### 3.2 Дешифратор

Дешифратором  $M \times N$  называют комбинационное устройство с  $M$  входами и  $N$  выходами, преобразующее  $M$ -разрядный двоичный код в  $N$ -разрядный унитарный код. В дешифраторах высокого уровня унитарный код содержит единственную 1, в дешифраторах низкого уровня - единственный 0.

Максимальное число выходов  $N = 2^M$  соответствует всем возможным наборам сигналов на входе дешифратора или  $M$ -разрядным двоичным кодам. Дешифратор с максимальным числом  $N = 2^M$  выходов называется полным ( $M \times 2^M$ ), а с числом выходов  $N < 2^M$  – неполным. Так, например, дешифратор, имеющий 4 входа и 10 выходов, будет неполным, а дешифратор, имеющий 2 входа и 4 выхода, будет полным.

На рисунке 3.3 приведено условное обозначение дешифратора  $2 \times 4$  типа К531ИД14.

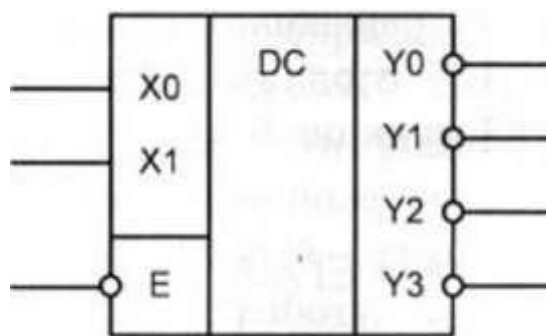


Рисунок 3.3 – Условное обозначение дешифратора K531ИД14

На входы X0 и X1 можно подать 4 комбинации логических уровней: 00, 01, 10, 11. Схема имеет 4 выхода, на одном из которых формируется нулевой сигнал, а на остальных единичный. Номер этого единственного выхода, на котором формируется нулевой уровень, соответствует числу M, определяемому состоянием входов X0, X1, следующим образом:

$$M = 2^1 * x_1 + 2^0 * x_0 \quad (3.1)$$

Выходные сигналы дешифратора описываются соотношениями:

$$\begin{aligned} y_0 &= \overline{x_1} \wedge \overline{x_0} & y_2 &= x_1 \wedge \overline{x_0} \\ y_1 &= \overline{x_1} \wedge x_0 & y_3 &= x_1 \wedge x_0 \end{aligned} \quad (3.2)$$

Помимо информационных входов X0, X1 дешифратор имеет дополнительные входы управления E. Сигналы на этих входах разрешают функционирование дешифратора или переводят его в пассивное состояние, при котором, независимо от сигналов на информационных входах, на всех выходах установится единичный сигнал. Можно сказать, что существует некоторая функция разрешения, значение которой определяется состояниями управляющих входов.

Разрешающий вход дешифратора может быть прямым или инверсным. У дешифраторов с прямым разрешающим входом активным уровнем является уровень логической единицы, у дешифраторов с инверсным входом это уровень логического нуля. Дешифратор, представленный на рисунке 3.3, имеет один инверсный вход управления.

Формирование выходных сигналов в этом дешифраторе с учетом сигнала управления описывается следующим образом:

$$\begin{aligned} y_0 &= \overline{E} \wedge \overline{x_1} \wedge \overline{x_0} & y_2 &= \overline{E} \wedge x_1 \wedge \overline{x_0} \\ y_1 &= \overline{E} \wedge \overline{x_1} \wedge x_0 & y_3 &= \overline{E} \wedge x_1 \wedge x_0 \end{aligned} \quad (3.3)$$

Существуют дешифраторы с несколькими входами управления. Для таких дешифраторов функция разрешения, как правило, представляет собой конъюнкцию всех разрешающих сигналов управления. Например, для

дешифратора КР555ИД7 с одним прямым входом управления Е1 и двумя инверсными Е2 и Е3 функция Е рассчитывается по формуле:

$$E = E_1 \wedge \overline{E_2} \wedge \overline{E_3} \quad (3.4)$$

Работа дешифратора описывается с помощью таблицы 3.2:

Таблица 3.2 – Таблица состояний дешифратора

$E$	$x_1$	$x_0$	$y_3$	$y_2$	$y_1$	$y_0$
1	х	х	1	1	1	1
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1

На рисунке 3.4 приведена схема наращивания разрядности дешифратора. Для построения дешифратора 3×8 на основе двух полных дешифраторов 2×4 нужно соединить параллельно их входы X0 и X1. Входной сигнал X2 подключается непосредственно к входу разрешения Е младшего дешифратора и через инвертор к входу разрешения Е старшего дешифратора.

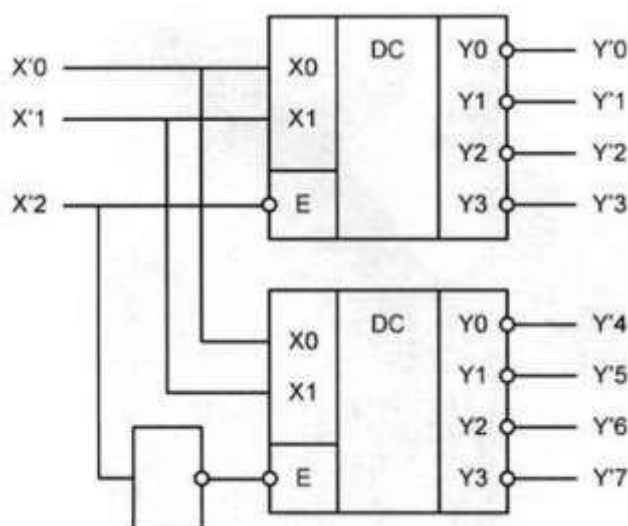


Рисунок 3.4 - Схема построения дешифратора 3×8

В зависимости от состояния сигнала X2 только один из выходных дешифраторов будет реагировать на комбинацию сигналов на входах X0 и X1. Только выбранный дешифратор сформирует единицу на одном из своих

выходов, номер которого определяется сигналами  $X_0$  и  $X_1$ . Например, если на входах  $X_2 X_1 X_0$  присутствует число 101, то единичный сигнал в разряде  $X_2$  запретит работу младшего дешифратора и на его выходах установятся единичные сигналы. На вход разрешения старшего дешифратора единичный сигнал  $X_2$  поступает после инвертирования и разрешает его работу. В результате нулевой уровень появится на выходе  $Y_5$ .

### 3.3 Мультиплексор

Мультиплексором  $M \times 1$  называют комбинационное устройство с  $M$  информационными ( $X_0, X_1, \dots, X_{M-1}$ ),  $K$ -адресными ( $A_0, A_1, \dots, A_{K-1}$ ) входами и одним выходом ( $Y$ ), которое осуществляет передачу сигнала с заданного адресным кодом информационного входа на его выход.

Кроме информационных и адресных входов, мультиплексор содержит вход разрешения, при подаче на который активного уровня мультиплексор переходит в активное состояние. Если на вход разрешения подан пассивный уровень, мультиплексор перейдет в пассивное состояние, при котором сигнал на выходе сохраняет постоянное значение независимо от значений информационных и адресных сигналов.

В зависимости от соотношения числа информационных входов  $M$  и числа адресных входов  $K$ -мультиплексоры делятся на полные и неполные. Если выполняется условие  $M = 2^K$ , то мультиплексор будет полным. Если это условие не выполняется, т.е.  $M < 2^K$ , то мультиплексор будет неполным.

Число информационных входов у мультиплексоров обычно 2, 4, 8 или 16. На рисунке 3.5 представлен мультиплексор  $4 \times 1$  с инверсным входом разрешения  $E$  и прямым выходом  $Y$ , представляющий собой половину микросхемы мультиплексора КР555КП2.

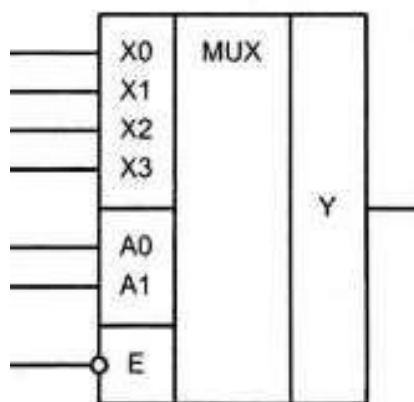


Рисунок 3.5 – Условное обозначение мультиплексора  $4 \times 1$



Работа мультиплексора описывается таблицей 3.3.

Таблица 3.3 – Таблица состояний мультиплексора

$E$	$A_1$	$A_0$	$x_3$	$x_2$	$x_1$	$x_0$	$y$
1	x	x	x	x	x	x	0
0	0	0	x	x	x	0	0
0	0	0	x	x	x	1	1
0	0	1	x	x	0	x	0
0	0	1	x	x	1	x	1
0	1	0	x	0	x	x	0
0	1	0	x	1	x	x	1
0	1	1	0	x	x	x	0
0	1	1	1	x	x	x	1

Микросхемы мультиплексоров можно объединять для увеличения количества каналов. Например, два 4-канальных мультиплексора легко объединяются в 8-канальный с помощью инвертора на входах разрешения и элемента 2И-НЕ для объединения выходных сигналов.

Такая схема каскадирования показана на рисунке 3.6.

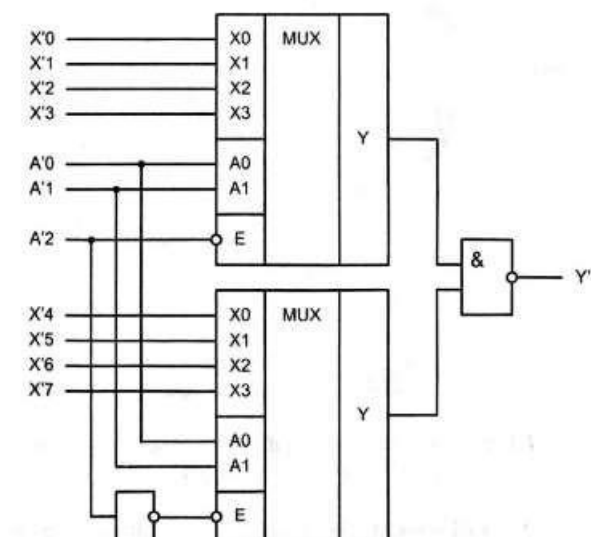


Рисунок 3.6 – Схема каскадирования мультиплексоров

Старший разряд адреса  $A_3$  будет при этом выбирать один из двух мультиплексоров по входу разрешения.

Мультиплексоры нашли широкое применение в вычислительной технике в качестве коммутаторов цифровых сигналов. Они используются в компьютерах и микропроцессорных контроллерах для коммутации адресных входов динамических оперативных запоминающих устройств, в узлах объединения или разветвления шин и т.д.

На базе мультиплексоров можно построить различные комбинационные устройства с минимальным числом дополнительных элементов логики. Такой подход используется, например, в микросхемах в программируемой логикой – программируемых логических матрицах.

### **3.4 Сумматор**

Сумматоры предназначены для выполнения арифметических операций сложения и вычитания как двоичных, так и десятичных чисел. Ниже приведены основные классификационные признаки сумматора.

По виду выполняемой операции можно выделить две группы сумматоров:

- сумматоры, выполняющие сложение положительных чисел (без учета знака числа);
- сумматоры, выполняющие операцию сложения положительных и отрицательных чисел.

По используемой системе счисления сумматоры подразделяются на:

- двоичные сумматоры, выполняющие операции над двоичными числами;
- десятичные сумматоры, выполняющие операции над десятичными числами.

По последовательности выполнения операции во времени выделяют:

параллельные сумматоры, в которых все разряды складываемых чисел подаются на входы сумматора одновременно. Такие сумматоры строятся на комбинационных устройствах и рассматриваются в дальнейшем; последовательные сумматоры, на входы которых разряды складываемых чисел подаются последовательно во времени (разряд за разрядом). В них используются элементы памяти.

Среди двоичных сумматоров различают одноразрядные и многоразрядные сумматоры. Одноразрядные сумматоры служат основой для построения многоразрядных. Многоразрядные сумматоры подразделяются на сумматоры с последовательным и параллельным переносом.

Полным одноразрядным сумматором, представленный на рисунке 3.7, называют комбинационное устройство с тремя входами и двумя выходами,

выполняющее сложение трех одноразрядных чисел по правилам двоичной арифметики.

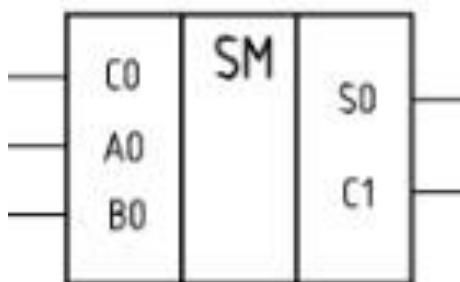


Рисунок 3.7 – Условное обозначение полного одноразрядного сумматора

На входы сумматора поступают сигналы  $A_i$ ,  $B_i$   $i$ -го разряда и сигнал  $C_i$  перенос из предыдущего разряда, с выхода снимается сигналы текущего разряда суммы  $S$  и переноса  $C_{i+1}$  в следующий разряд. Работа одноразрядного полного сумматора описывается таблицей 3.4.

Таблица 3.4 – Таблица состояний одноразрядного полного сумматора

$C_i$	$B_i$	$A_i$	$C_{i+1}$	$S_i$
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Полные одноразрядные сумматоры используются для построения многоразрядных сумматоров. Выход переноса предыдущего одноразрядного сумматора соединяется с входом переноса предыдущего. Полученный сумматор называется сумматором с последовательным переносом.

Сумматор с последовательным переносом имеет низкое быстродействие, так как сигналы суммы и переноса старшего разряда появятся только после того, как последовательно сформируются сигналы переноса всех предыдущих разрядов.

На рисунке 3.8 приведена схема соединения двух одноразрядных полных сумматоров для получения двухразрядного полного сумматора.

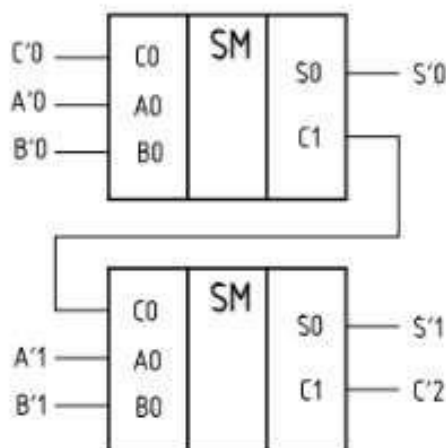


Рисунок 3.8 – Схема увеличения разрядности сумматора

Для увеличения быстродействия многоразрядного сумматора применяется схема ускоренного переноса, которая в соответствии с состоянием сигналов на информационных входах и входного переноса формирует выходной сигнал переноса. Такой сумматор называется сумматором с параллельным переносом. На этом принципе построен четырехразрядный сумматор К155ИМ3 (см. рисунок 3.9).

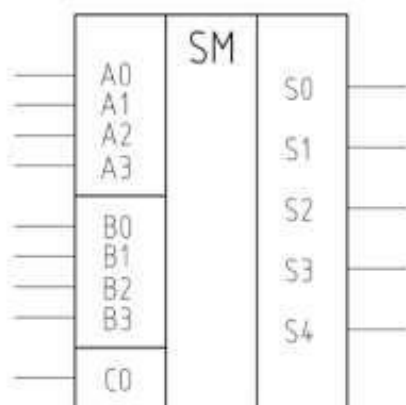


Рисунок 3.9 – Условное обозначение четырехразрядного сумматора

Путем соединения выводов переноса  $C_0$ ,  $C_4$  четырехразрядного сумматоров в последовательную цепь можно построить сумматоры с разрядностью 8, 12, 16 и т.д. Такой многоразрядный сумматор называется сумматором с последовательным групповым переносом.

### 3.5 Компаратор

Цифровым компаратором называется комбинационное устройство, предназначенное для сравнения кодов двух двоичных чисел и формирования результата сравнения в виде цифровых сигналов.

Компараторы делятся на две группы:

- схемы проверки равнозначности кодов;
- схемы сравнения кодов.

В таблице 3.5 представлено описание поразрядного сравнения при проверке равнозначности кодов.

Таблица 3.5 – Таблица истинности поразрядного сравнения

$A_i$	$B_i$	$Y_i$
0	0	1
0	1	0
1	0	0
1	1	1

Схемы проверки равнозначности кодов имеют на входе две переменные  $A$  и  $B$ , каждая из которых содержит  $M$  двоичных разрядов, и один выход  $Y$ . При сравнении на равенство осуществляется поразрядное сравнение двух чисел, что позволяет затем сформировать на выходе всей схемы активный сигнал  $Y=1$  при равенстве входных чисел. Функционирование схемы по каждому разряду подчиняется таблице истинности. В этой таблице  $A_i$  и  $B_i$  являются  $i$ -тыми разрядами многоразрядных двоичных чисел  $A$  и  $B$ , а  $Y_i$  – результатом сравнения разрядов с номером  $i$ .

Многоразрядные двоичные числа будут равны, если выполняется равенство в каждом разряде.

Только при поразрядном равенстве выходной сигнал  $Y$  будет равен логической единице.

На рисунке 3.10 показана схема проверки на равенство, построенная на элементах «исключающее ИЛИ».

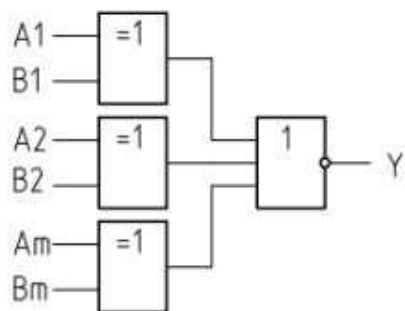


Рисунок 3.10 – Схема проверки на равенство

Схемы сравнения выполняют более сложный логический анализ входных кодов и на выходе формируют три выходных сигнала, соответствующие результатам сравнения:  $A > B$ ,  $A = B$  или  $A < B$ . Примером служит интегральная микросхема цифрового компаратора К555СП1.

Помимо восьми входов для сравниваемых кодов (два четырехразрядных слова, обозначаемых  $A_0...A_3$  и  $B_0...B_3$ ) компаратор К555СП1 имеет три управляющих входа для наращивания разрядности  $I(A < B)$ ,  $I(A < B)$ ,  $I(A = B)$  и три выхода результирующих сигналов  $(A > B)$ ,  $(A < B)$ ,  $(A = B)$ .

Условное графическое изображение компаратора приведено на рисунке 3.11.

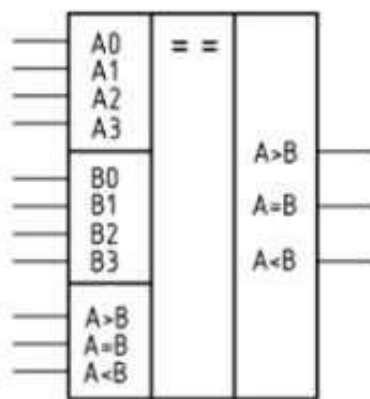


Рисунок 3.11 – Условное обозначение компаратора

Работа четырехразрядного компаратора описывается таблицей 3.6.

Таблица 3.6 – Таблица истинности четырехразрядного компаратора

$A_3, B_3$	$A_2, B_2$	$A_1, B_1$	$A_0, B_0$	$I(A > B)$	$I(A < B)$	$I(A = B)$	$A > B$	$A < B$	$A = B$
$A_3 > B_3$	x	x	x	x	x	x	1	0	0
$A_3 < B_3$	x	x	x	x	x	x	0	1	0
$A_3 = B_3$	$A_2 > B_2$	x	x	x	x	x	1	0	0

Продолжение таблицы 3.6

$A_3=B_3$	$A_2<B_2$	×	×	×	×	×	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1>B_1$	×	×	×	×	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1<B_1$	×	×	×	×	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0>B_0$	×	×	×	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0<B_0$	×	×	×	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1	0	0	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	1	0	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	×	×	1	0	0	1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1	1	0	0	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	0	0	1	1	0

В том случае, когда используется одиночная микросхема (разрядность входных кодов не более четырех), для ее правильной работы на вход  $I(A=B)$  следует подавать сигнал «1», а на выходы  $I(A>B)$  и  $I(A<B)$  – сигнал «0».

Если сравниваются коды с разрядностью более четырех, то выходы компаратора младших разрядов подключаются к одноименным входам компаратора старших разрядов сравниваемых чисел. Выходами всего многоразрядного компаратора кодов являются выходы компаратора самых старших сравниваемых разрядов.

На рисунке 3.12 показана схема построения 12-разрядного компаратора на основе четырехразрядных компараторов.

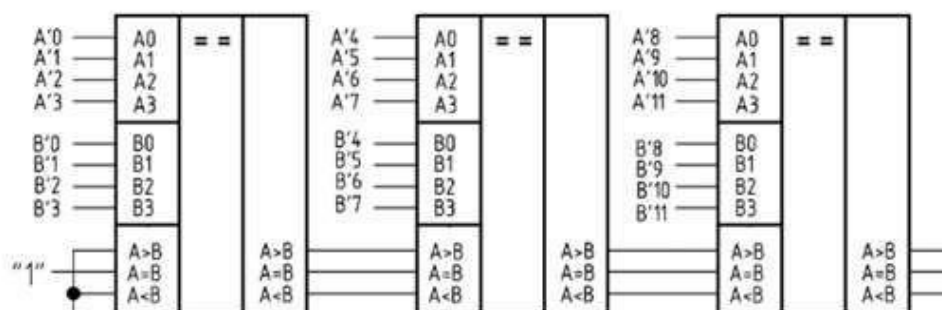


Рисунок 3.12 – Каскадирование цифровых компараторов

Основным применением цифровых компараторов в вычислительной технике является селектирование адреса, то есть сравнение цифрового кода на шине адреса с заданным базовым адресом. При их совпадении на выходе компаратора появляется сигнал, разрешающий работу адресуемого устройства.

## 4 ВЫПОЛНЕНИЕ РАБОТЫ

### 4.1 Изучение работы шифратора

После установки лабораторного модуля dLab2 на макетную плату NI ELVIS и загрузки файла dLab2.vi на экране появляется изображение ВП, необходимого для выполнения работы.

Необходимо подать на вход Е сигнал «0» и, изменяя значения на информационных входах шифратора, получить таблицу истинности и диаграмму состояний. Они представлены на рисунке 4.1 и 4.2 соответственно.

	E	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	E0
War 1	0	1	1	1	1	1	1	1	1	1	1	1	1	0
War 2	0	1	1	1	1	1	1	1	0	1	1	1	0	1
War 3	0	1	1	1	1	1	1	0	1	1	1	0	0	1
War 4	0	1	1	1	1	1	0	1	1	1	0	1	0	1
War 5	0	1	1	1	1	0	1	1	1	1	0	0	0	1
War 6	0	1	1	1	0	1	1	1	1	0	1	1	0	1
War 7	0	1	1	0	1	1	1	1	1	0	1	0	0	1
War 8	0	1	0	1	1	1	1	1	1	0	0	1	0	1
War 9	0	0	1	1	1	1	1	1	1	0	0	0	0	1

Рисунок 4.1 - Таблица истинности шифратора при E = 0

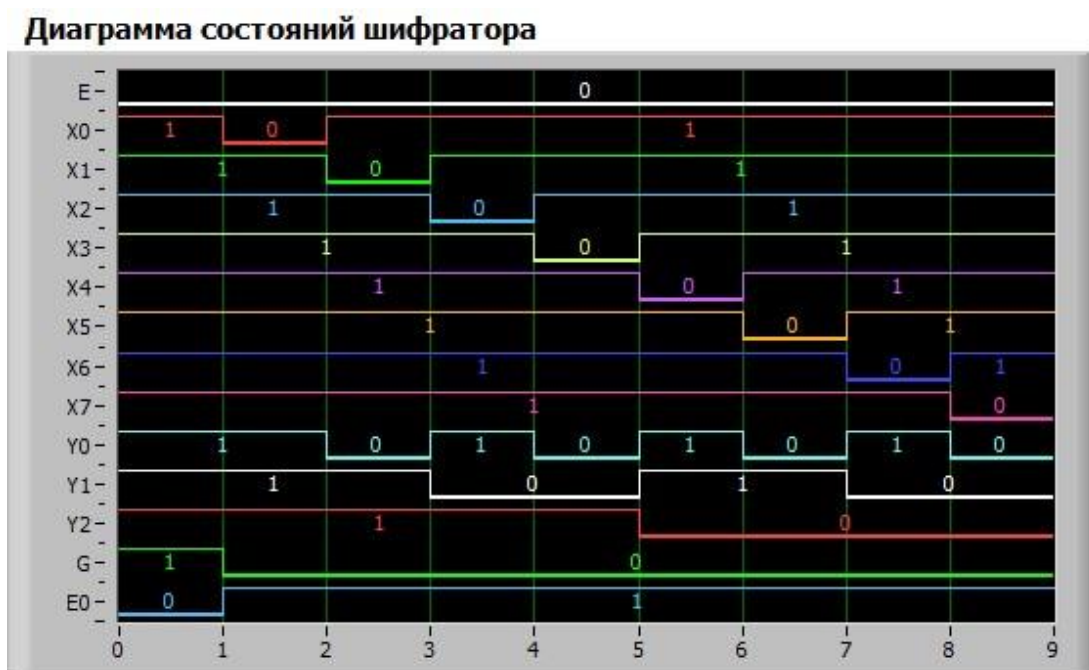


Рисунок 4.2 – Диаграмма состояний шифратора при E = 0



Далее необходимо повторить те же действия, подав на вход Е сигнал «1». Полученная таблица истинности представлены на рисунке 4.3.

	E	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	E0
War 1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
War 2	1	1	1	1	1	1	1	1	0	1	1	1	1	1
War 3	1	1	1	1	1	1	1	0	1	1	1	1	1	1
War 4	1	1	1	1	1	1	0	1	1	1	1	1	1	1
War 5	1	1	1	1	1	0	1	1	1	1	1	1	1	1
War 6	1	1	1	1	0	1	1	1	1	1	1	1	1	1
War 7	1	1	1	0	1	1	1	1	1	1	1	1	1	1
War 8	1	1	0	1	1	1	1	1	1	1	1	1	1	1
War 9	1	0	1	1	1	1	1	1	1	1	1	1	1	1

Рисунок 4.3 - Таблица истинности шифратора при E = 1

Полученная диаграмма состояний шифратора при E = 1 представлена на рисунке 4.4.

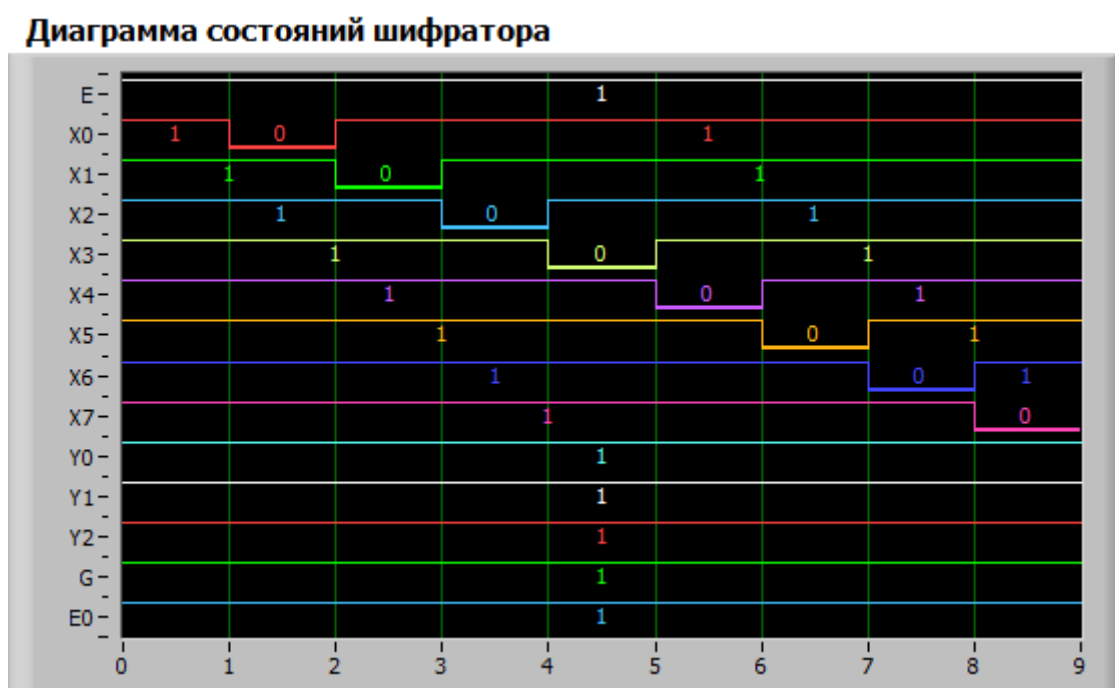


Рисунок 4.4 – Диаграмма состояний шифратора при E = 1

Исходя из полученных данных можно сделать вывод, что логический сигнал «0» является активным для управляющего входа Е шифратора, т.к. только при нём можно корректно определить состояние выходов устройства.

Отсюда же можно определить условия появления активного низкого уровня на Е0 и G. Для Е0 необходимо наличие сигнала «0» на входе Е и сигнал «1» на всех информационных входах шифратора. Условием для G

является наличие «0» на входе Е и на хотя бы одном информационном входе элемента.

Для проверки шифратора на приоритетность необходимо выбрать два входа (например X3 и X6) и установить сигнал «0» на входе Е. Используя полученные ранее таблицы истинности можно определить, что при  $X3 = E = 0$  на выходах Y0, Y1, Y2, G, EO будут получены сигналы 1, 0, 0, 0, 1 соответственно. При  $X6 = E = 0$  на выходах Y0, Y1, Y2, G, EO будут получены сигналы 0, 0, 1, 0, 1.

Далее необходимо подать активный сигнал на оба выбранных входа ( $X3 = X6 = E = 0$ ). В этом случае результатом на выходах Y0, Y1, Y2, G, EO станут сигналы 0, 0, 1, 0, 1. Отсюда можно сделать вывод, что при подаче нескольких сигналов на информационные входы одновременно вход с большим порядковым номером имеет больший приоритет. Такой шифратор называется приоритетным.

## 4.2 Изучение работы дешифратора

После установки лабораторного модуля dLab3 на макетную плату NI ELVIS и загрузки файла dLab3.vi на экране появляется изображение ВП, необходимого для выполнения работы.

Поочерёдно изменяя сигналы на информационных входах дешифратора, необходимо составить таблицу истинности и диаграмму состояний при значениях сигнала на входе  $E = 0$  и  $E = 1$ . Они представлены на рисунке 4.5 и 4.6 соответственно.

	E	X1	X0	Y3	Y2	Y1	Y0
Шаг 1	0	0	0	1	1	1	0
Шаг 2	0	0	1	1	1	0	1
Шаг 3	0	1	0	1	0	1	1
Шаг 4	0	1	1	0	1	1	1
Шаг 5	1	0	0	1	1	1	1
Шаг 6	1	0	1	1	1	1	1
Шаг 7	1	1	0	1	1	1	1
Шаг 8	1	1	1	1	1	1	1

Рисунок 4.5 - Таблица истинности дешифратора

Диаграмма состояний дешифратора

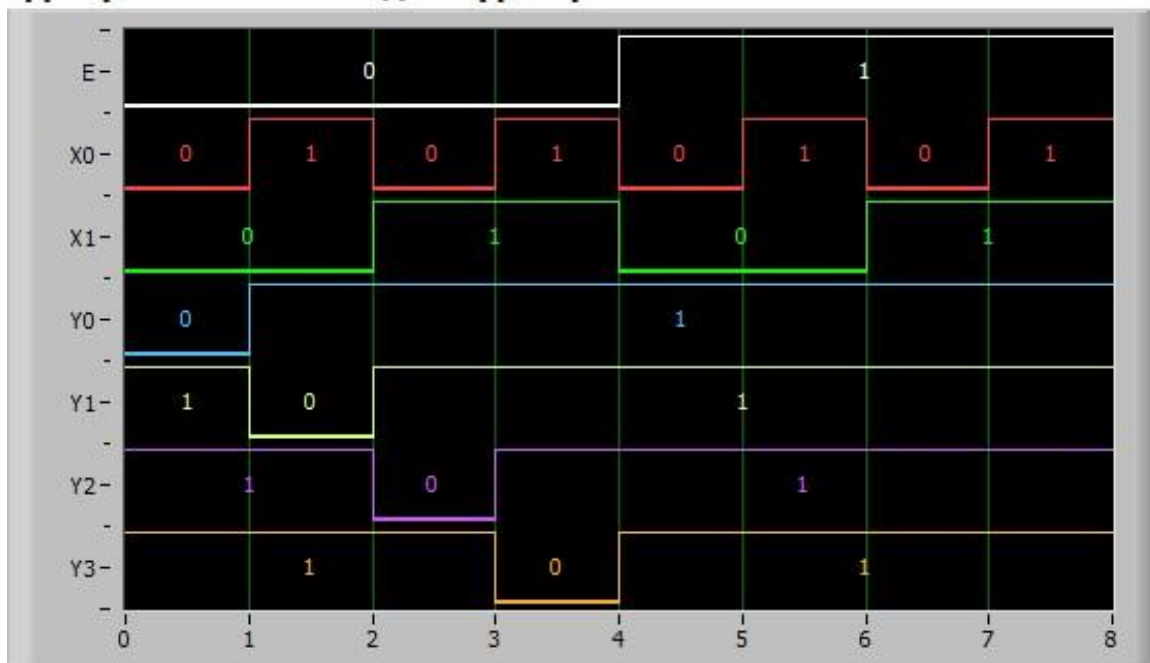


Рисунок 4.6 – Диаграмма состояний дешифратора

Из полученных данных можно сделать вывод, что активным логическим уровнем для входа Е является сигнал «0», так как только при его наличии можно корректно определить значения на выходах дешифратора.

### 4.3 Изучение работы мультиплексора

Аналогично предыдущим подпунктам, требуется установить лабораторный модуль dLab4 на макетную плату NI ELVIS и загрузить файл dLab4.vi. После этого на экране появится изображение ВП, необходимого для выполнения работы.

Поочерёдно изменяя сигналы на входах мультиплексора, необходимо составить таблицу истинности и диаграмму состояний. Таблица истинности устройства представлена на рисунке 4.7.

	E	A1	A0	X3	X2	X1	X0	Y
War 1	0	0	0	0	0	0	1	= X0
War 2	0	0	1	0	0	1	0	= X1
War 3	0	1	0	0	1	0	0	= X2
War 4	0	1	1	1	0	0	0	= X3
War 5	1	0	0	0	0	0	1	--
War 6	1	0	1	0	0	1	0	--
War 7	1	1	0	0	1	0	0	--
War 8	1	1	1	1	0	0	0	--

Рисунок 4.7 – Таблица истинности мультиплексора

Диаграмма состояний устройства представлена на рисунке 4.8.

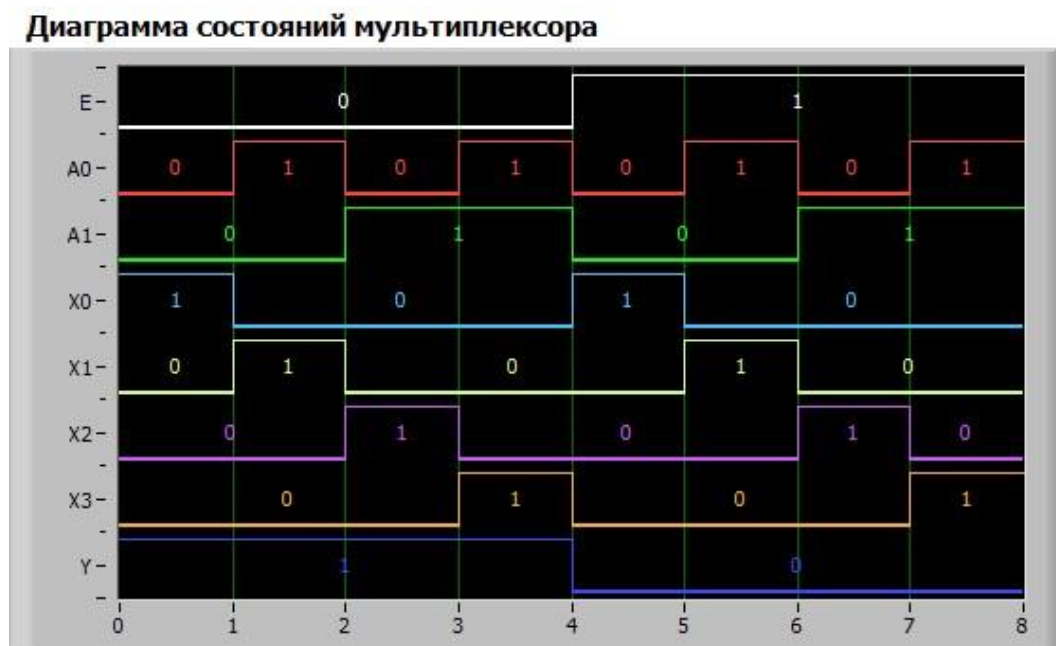


Рисунок 4.8 – Диаграмма состояний мультиплексора

На основе полученных данных можно сделать вывод, что активным логическим уровнем для входа Е является сигнал «0», так как при этом сигнале на выходе появляется сигнал, подаваемый на выбранный информационный вход мультиплексора. При Е = 1 при любой комбинации сигналов на других входах на выходе будет получен сигнал «0».

#### 4.4 Изучение работы сумматора

Аналогично предыдущим подпунктам, требуется установить лабораторный модуль dLab5 на макетную плату NI ELVIS и загрузить файл dLab5.vi. После этого на экране появится изображение ВП, необходимого для выполнения работы.

Поочерёдно изменяя сигналы на входах сумматора, необходимо составить таблицу истинности и диаграмму состояний. Они представлены на рисунке 4.9 и 4.10 соответственно.

	C0	A3	A2	A1	A0	B3	B2	B1	B0	S3	S2	S1	S0	C4
War 1	0	0	0	1	0	0	1	0	0	0	1	1	0	0
War 2	0	1	0	0	1	1	1	0	1	0	1	1	0	1
War 3	0	0	1	0	1	0	1	1	0	1	0	1	1	0
War 4	0	1	0	1	1	0	1	1	1	0	0	1	0	1
War 5	0	1	1	1	1	1	1	1	1	1	1	1	0	1
War 6	1	0	0	1	1	0	1	0	1	1	0	0	1	0
War 7	1	0	0	1	0	1	0	0	0	1	0	1	1	0
War 8	1	1	0	0	1	0	0	1	1	1	1	0	1	0
War 9	1	1	1	1	0	1	1	1	0	1	1	0	1	1
War 10	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Рисунок 4.9 – Таблица истинности сумматора

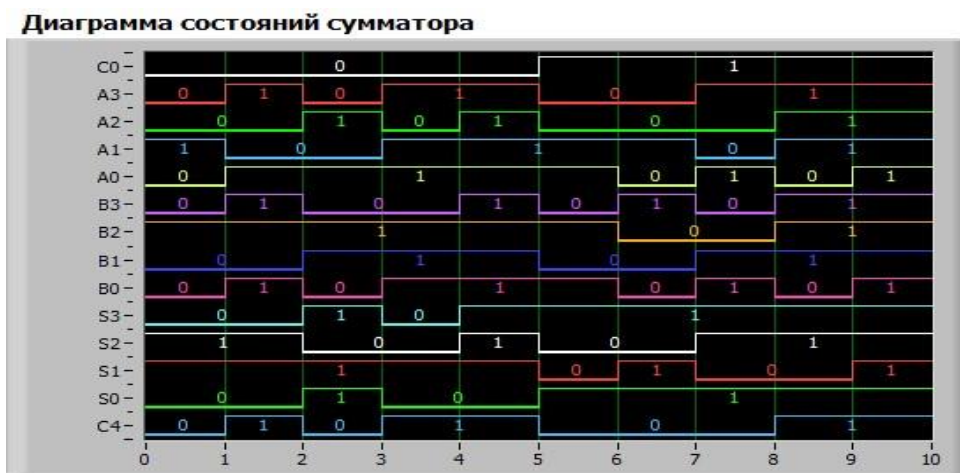


Рисунок 4.10 – Диаграмма состояний сумматора

Проверить правильность работы сумматора можно с помощью следующего уравнения:

$$C_0 + 2^0(A_0 + B_0) + 2^1(A_1 + B_1) + 2^2(A_2 + B_2) + 2^3(A_3 + B_3) = 2_0S_0 + 2_1S_1 + 2_2S_2 + 2_3S_3 + 2_4C_4 \quad (4.1)$$

Результаты подстановки приведены в таблице 4.1.

Таблица 4.1 – Проверка результата сложения

№	Расчёты
1	$0 + 2^0 \cdot 0 + 2^1 \cdot 1 + 2^2 \cdot 1 + 2^3 \cdot 0 = 2^0 \cdot 0 + 2^1 \cdot 1 + 2^2 \cdot 1 + 2^3 \cdot 0 + 2^4 \cdot 0$
2	$0 + 2^0 \cdot 2 + 2^1 \cdot 0 + 2^2 \cdot 1 + 2^3 \cdot 2 = 2^0 \cdot 0 + 2^1 \cdot 1 + 2^2 \cdot 1 + 2^3 \cdot 0 + 2^4 \cdot 1$
3	$0 + 2^0 \cdot 1 + 2^1 \cdot 1 + 2^2 \cdot 2 + 2^3 \cdot 0 = 2^0 \cdot 1 + 2^1 \cdot 1 + 2^2 \cdot 0 + 2^3 \cdot 1 + 2^4 \cdot 0$
4	$0 + 2^0 \cdot 2 + 2^1 \cdot 2 + 2^2 \cdot 1 + 2^3 \cdot 1 = 2^0 \cdot 0 + 2^1 \cdot 1 + 2^2 \cdot 0 + 2^3 \cdot 0 + 2^4 \cdot 1$
5	$0 + 2^0 \cdot 2 + 2^1 \cdot 2 + 2^2 \cdot 2 + 2^3 \cdot 2 = 2^0 \cdot 0 + 2^1 \cdot 1 + 2^2 \cdot 1 + 2^3 \cdot 1 + 2^4 \cdot 1$
6	$1 + 2^0 \cdot 2 + 2^1 \cdot 1 + 2^2 \cdot 1 + 2^3 \cdot 0 = 2^0 \cdot 1 + 2^1 \cdot 0 + 2^2 \cdot 0 + 2^3 \cdot 1 + 2^4 \cdot 0$
7	$1 + 2^0 \cdot 0 + 2^1 \cdot 1 + 2^2 \cdot 0 + 2^3 \cdot 1 = 2^0 \cdot 1 + 2^1 \cdot 1 + 2^2 \cdot 0 + 2^3 \cdot 1 + 2^4 \cdot 0$

#### Продолжение таблицы 4.1

8	$1+2^0*2+2^1*1+2^2*0+2^3*1=2^0*1+2^1*0+2^2*1+2^3*1+2^4*0$
9	$1+2^0*0+2^1*2+2^2*2+2^3*2=2^0*1+2^1*0+2^2*1+2^3*1+2^4*1$
10	$1+2^0*2+2^1*2+2^2*2+2^3*2=2^0*1+2^1*1+2^2*1+2^3*1+2^4*1$

### 4.5 Изучение работы компаратора

Аналогично предыдущим подпунктам, требуется установить лабораторный модуль dLab6 на макетную плату NI ELVIS и загрузить файл dLab6.vi. После этого на экране появится изображение ВП, необходимого для выполнения работы.

Поочерёдно изменяя сигналы на входах сумматора, необходимо составить таблицу истинности и диаграмму состояний. Таблица истинности представлена на рисунке 4.11.

	A3	A2	A1	A0	B3	B2	B1	B0	I(A>B)	I(A=B)	I(A<B)	A>B	A=B	A<B
Шар 1	1	0	0	0	0	0	0	0	1	1	1	1	0	0
Шар 2	0	0	0	0	1	0	0	0	0	0	0	0	0	1
Шар 3	0	1	0	0	0	0	0	0	1	1	1	1	0	0
Шар 4	0	0	0	0	0	1	0	0	0	0	0	0	0	1
Шар 5	0	0	1	0	0	0	0	0	1	1	1	1	0	0
Шар 6	0	0	0	0	0	0	1	0	0	0	0	0	0	1
Шар 7	0	0	0	1	0	0	0	0	1	1	1	1	0	0
Шар 8	0	0	0	0	0	0	0	1	0	0	0	0	0	1
Шар 9	0	0	0	0	0	0	0	0	1	0	0	1	0	0
Шар 10	0	0	0	0	0	0	0	0	0	0	1	0	0	1
Шар 11	0	0	0	0	0	0	0	0	0	1	0	0	1	0
Шар 12	0	0	0	0	0	0	0	0	1	1	1	0	1	0
Шар 13	0	0	0	0	0	0	0	0	1	0	1	0	0	0
Шар 14	0	0	0	0	0	0	0	0	0	0	0	1	0	1

Рисунок 4.11 – Таблица истинности компаратора

Диаграмма состояний устройства представлена на рисунке 4.18.

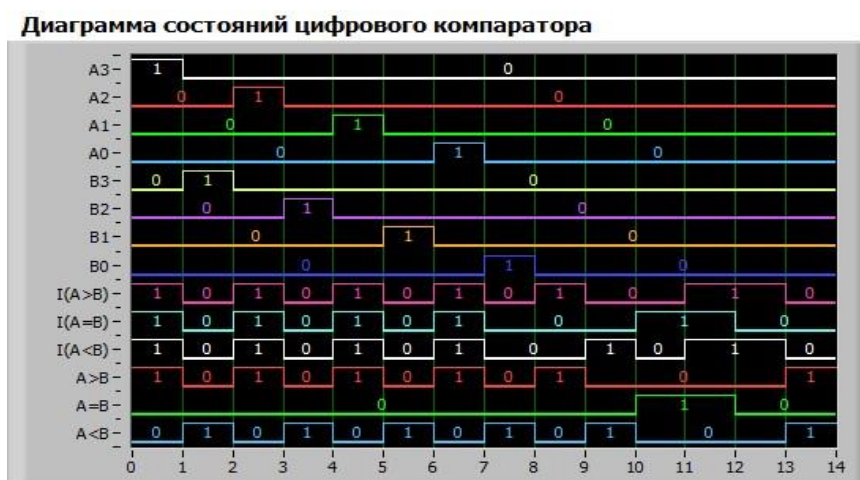


Рисунок 4.18 – Диаграмма состояний компаратора

Исходя из полученных данных можно сделать вывод, что для сравнения пятиразрядных двоичных чисел на управляющие входы нужно подавать результат сравнения старших пятых разрядов, а на информационные входы будут поданы четыре младших разряда.

## 5 ВЫВОДЫ

В ходе данной лабораторной работы требовалось изучить поведение коммутационных логических элементов: шифратора, дешифратора, мультиплексора, сумматора, компаратора.

С этой целью для шифратора были сформированы таблица истинности и диаграмма состояний, определён активный логический сигнал для управляющего входа Е, равный логическому “0”, определены условия возникновения активного сигнала на выходах ЕО и G и произведена проверка на приоритетность.

Для дешифратора были сформированы таблица истинности и диаграмма состояний, а также определён активный логический сигнал для управляющего входа Е, равный логическому “0”.

Для мультиплексора были сформированы таблица истинности и диаграмма состояний, а также определён активный логический сигнал для управляющего входа Е, равный логическому “0”.

Для сумматора были сформированы таблица истинности и диаграмма состояний и проведена проверка расчётов с помощью уравнения.

Для компаратора были сформированы таблица истинности и диаграмма состояний, а также определён способ использования входов компаратора К555СП1 для сравнения пятиразрядных чисел.