

Интегрированная среда проектирования цифровых устройств Xilinx ISE

Назначение – проектирование цифровых устройств на базе микросхем программируемой логики (FPGA и CPLD) фирмы Xilinx.

Поддерживаемые операционные системы :

- Windows 32/64
- Linux 32/64

Разновидности :

- ISE Foundation – коммерческая, полная версия без ограничений.
- ISE WebPACK – бесплатная версия с ограничениями на поддерживаемые микросхемы и предоставляемые возможности.

Возможности САПР Xilinx ISE

САПР Xilinx ISE позволяет выполнять следующие задачи :

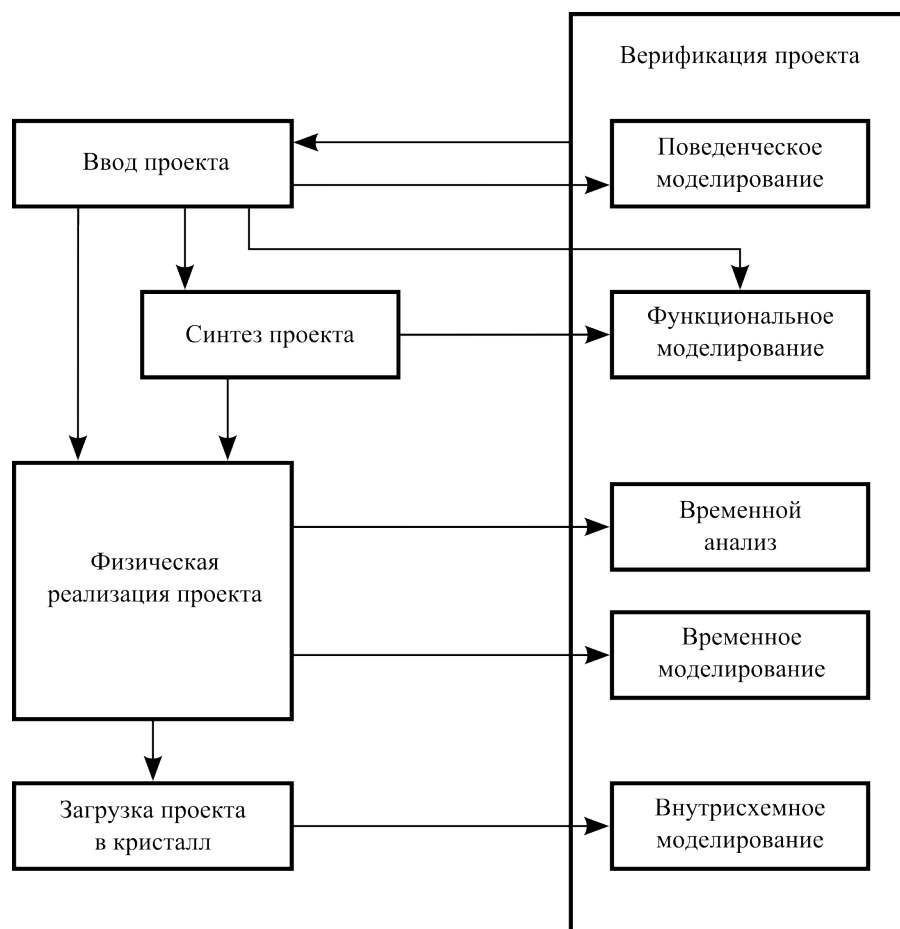
- Ввод проекта
- Синтез проекта
- Физическая реализация проекта
- Верификация проекта
- Конфигурация кристалла

Интегрированная среда проектирования цифровых устройств Xilinx ISE

САПР Xilinx ISE включает в себя следующие основные элементы :

- Редакторы ввода.
- Генератор IP-ядер.
- Программы для выполнения функционального и временного моделирования.
- Программа синтеза.
- Набор программ для выполнения физической реализации.
- Набор программ для загрузки конфигурационной последовательности

Обобщенная схема проектирования цифровых устройств в САПР Xilinx ISE



Этапы проектирования в САПР Xilinx ISE (ввод проекта)

На этапе ввода проекта создаются исходные модули проекта, описывающие различные аспекты разрабатываемого устройства.

Основными исходными модулями проекта являются модули, описывающие различные блоки разрабатываемого устройства.

Эти модули могут созданы с помощью :

- Схемного редактора
- Текстового редактора

Допускается совместное использование различных модулей в одном проекте.

Кроме модулей описания разрабатываемого устройства могут использоваться другие типы исходных модулей (модули временных и топологических ограничений и т.д.)

Генератор IP-ядер (*CORE Generator*)

Генератор IP-ядер (*Coregen*) позволяет использовать в своем проекте для выполнения самых разных функций настраиваемые и оптимизированные IP-блоки.

Примеры IP-ядер, входящих в состав *CORE Generator* :

- Математические функции : делители, компараторы, умножители, АЛУ плавающей арифметики и т.д.
- Память : FIFO, RAM, ROM, контроллеры динамической памяти (SDR, DDR, DDR II и т.д.)
- Шинные интерфейсы : LVDS, PCI, PCI Express

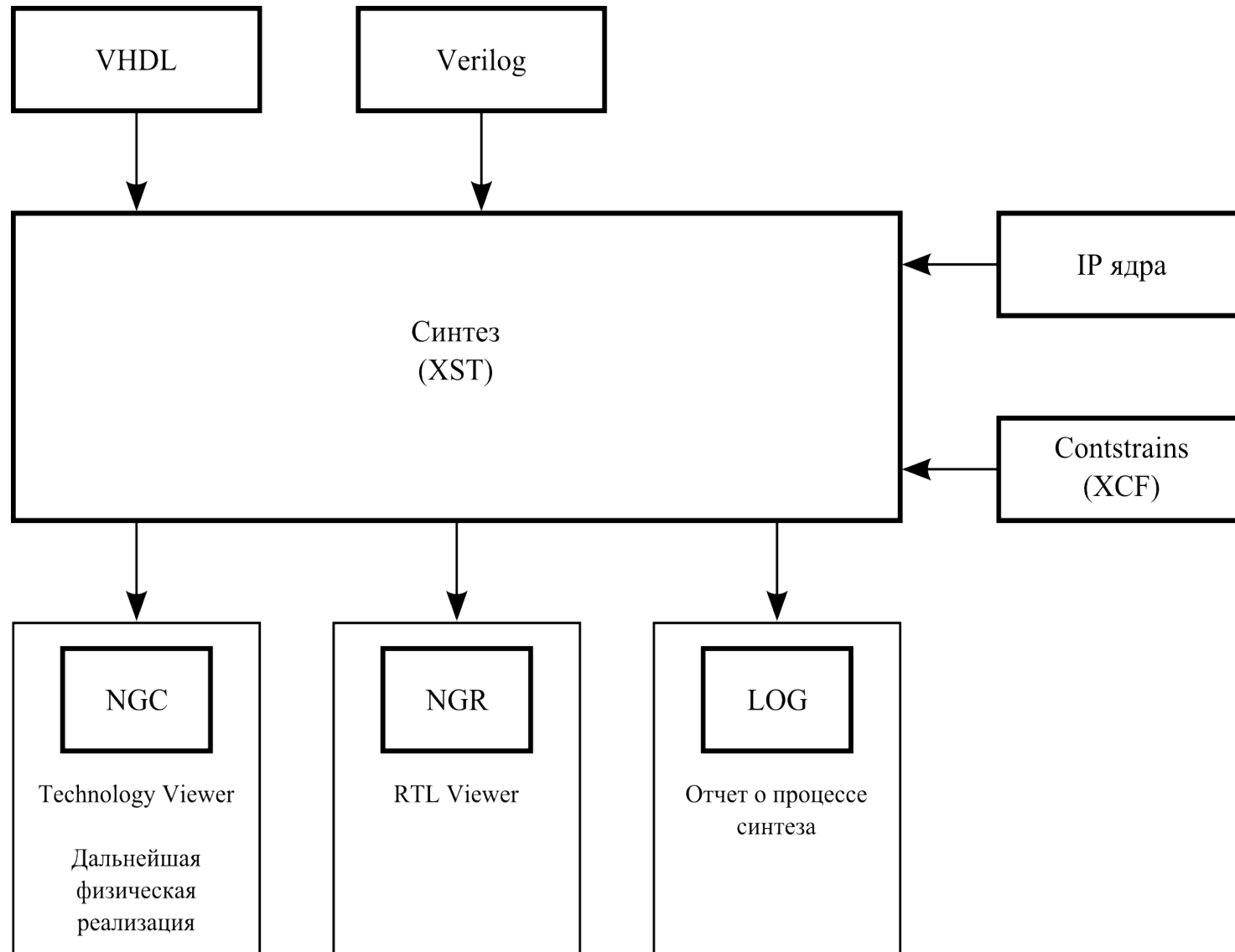
Этапы проектирования в САПР Xilinx ISE (синтез)

На этапе синтеза выполняется преобразование исходного описания устройства в описание на базе логических блоков и функциональных узлов, для которых, в последствии может быть создана эффективная реализация на базе микросхем FPGA и CPLD.

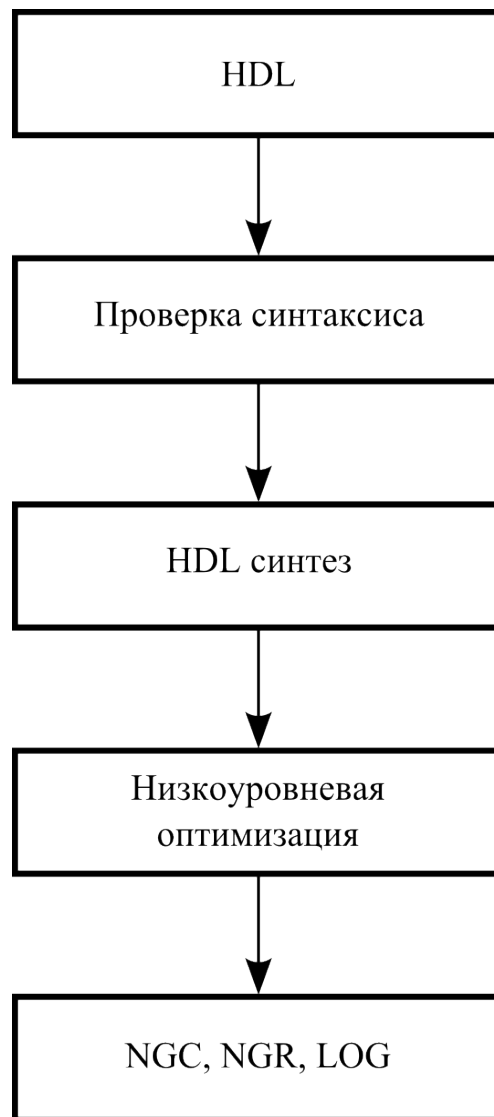
Этап синтеза необходим для исходных модулей проекта реализованных с использованием языков описания аппаратуры (HDL).

Синтез может выполняться программой синтеза, входящей в состав САПР Xilinx ISE – XST, либо программой синтеза стороннего производителя.

Этапы проектирования в САПР Xilinx ISE (синтез)



Этапы проектирования в САПР Xilinx ISE (синтез)



Этапы проектирования в САПР Xilinx ISE (физическая реализация)

Этап физической реализации подразделяется на следующие подэтапы :

- ***Translate*** – выполняет преобразование результатов синтеза и создает *Native Generic Database (NGD)* файл, который описывает разрабатываемое устройство в терминах внутренних примитивов пакета.
- ***Map*** – выполняет реализацию примитивов NGD файла на базе элементов микросхемы, на которой будет реализовано разрабатываемое устройство.
- ***Place and route*** – выполняет размещение и разводку элементов на микросхеме реализации.
- ***Генерация конфигурационной последовательности*** – выполняет формирование данных для загрузки в микросхему реализации.

Этапы проектирования в САПР Xilinx ISE (физическая реализация)

Каждый подэтап выполняется отдельным консольным программным модулем, каждый из которых принимает параметры через командную строку.

Название консольных модулей для подэтапов :

- *Translate* – ngdbuild.
- *Map* – map.
- *Place and route* – par.
- *Генерация конфигурационной последовательности* – bitgen.

Дополнительные инструменты, используемые на этапе физической реализации

Constraints editor – редактор временных, топологических и других ограничений. На этапе физической реализации может использоваться после подэтапа ***Translate***.

Floorplanner – графическая оболочка для детального анализа и/или выполнения операции планирования размещения. Также позволяет изменять или устанавливать различные топологические параметры. Может использоваться после подэтапов : ***Translate, Map, Place and Route***.

FPGA editor – графическая оболочка для детального анализа и/или выполнения операции размещения и разводки элементов на микросхемах FPGA. Может использоваться после подэтапов : ***Map, Place and Route***.

Дополнительные инструменты, используемые на этапе физической реализации

Timing Analyser — графическая оболочка позволяющая проанализировать задержки элементов и путей передачи данных и их соответствие заданным временным ограничениям. Может использоваться после подэтапов : ***Map, Place and Route, Fit*** (для CPLD).

XPower Analyser — графическая оболочка предназначенная для автоматического или интерактивного анализа энергопотребления разработанного устройства на базе выбранной микросхемы реализации. Может использоваться после подэтапов : ***Place and Route*** и ***Fit*** (для CPLD).

iMPACT — графическая оболочка предназначенная для формирования файлов прошивок и конфигурирования микросхем.

Верификация

На разных этапах проектирования цифровых устройств в САПР Xilinx ISE можно, а в большинстве случаев и необходимо, выполнять моделирование текущего описания разрабатываемого устройства.

Для моделирования используется программный пакет **ModelSim**, позволяющий выполнять моделирование устройств, описанных с помощью языков описания аппаратуры.

Для получения текущего описания устройства на HDL необходимо воспользоваться программным модулем *netgen*, который на вход принимает описание устройства во внутреннем формате представления, а на выход выдает это описание на языке HDL.

Типы моделирования

В зависимости от того, на какой стадии выполняется моделирование описания устройства различают :

- *Поведенческое моделирование* – выполняется сразу после ввода проекта на языке HDL или в схемном виде. На этом этапе тестируется поведение и логика работы разрабатываемого устройства. Структура и временные параметры не учитываются.
- *Функциональное моделирование* – выполняется после этапа синтеза. Тестируется структурное описание разрабатываемого устройства на уровне RTL. Временные параметры не учитываются.

Типы моделирования

- *Временное моделирование* – выполняется на этапе физической реализации после выполнения подэтапов *Map* и *Place and Route*. Тестируется структурное описание устройства на вентиляльном уровне и с учетом задержек. При этом моделирование после подэтапа *Map* учитывает задержки переключения отдельных элементов, а моделирование после подэтапа *Place and Route* добавляет задержки передачи сигналов по линиям связи.
- *Внутрисхемное моделирование* – выполняется после прошивки микросхемы реализации конфигурационной последовательностью. При этом используются внутрисхемные блоки осциллографов и логических анализаторов.

Дополнительное программное обеспечение (*Plan Ahead*)

Программа *Plan Ahead* представляет собой профессиональный редактор размещения отдельных цифровых узлов на ПЛИС.

Возможности выполнения процесса размещения в *CAIP ISE* :

- Настройка алгоритмов размещения и разводки заданием общих свойств (слишком обобщенно и не всегда прозрачно)
- Использование программ *Floor Planner* и *FPGA Editor* для контроля или выполнения ручной операции размещения и разводки (слишком подробно и детально, при этом трудно отследить общую стратегию)

Дополнительное программное обеспечение (*Plan Ahead*)

Возможности предоставляемые данным программным модулем:

- Модульная разработка. Позволяет определять иерархические блоки и выполнять их размещение на кристалле на любом уровне иерархии.
- Развитый графический интерфейс пользователя предоставляющий исчерпывающую информацию по статистике использованных ресурсов, соединениям, задержкам и т.д.
- Возможность сравнительного анализа характеристик при различных вариантах размещения и разводки.

Дополнительное программное обеспечение (*ChipScope*)

ChipScope — одна из лучших на рынке ПЛИС FPGA систем внутрисхемной отладки.

Состав:

- Генератор блоков внутрисхемной отладки (входит в состав *CORE Generator*).
- *Core Inserted* — средство для добавления анализатора в отлаживаемый проект.
- *Analyser* — программа с графическим интерфейсом пользователя для работы со встроенными модулями анализатора.

Дополнительное программное обеспечение (*ChipScope*)

Возможности программы *ChipScope* :

- Захват и анализ внутренних сигналов ПЛИС в ходе ее работы, включая внутренние шины встроенных процессоров (как программных так и аппаратных)
- Поддержка внешнего тестового оборудования *Agilent*, что обеспечивает широкие дополнительные возможности.

Дополнительное программное обеспечение (*ChipScope*)

