

Автоматизация проектирования ЭВМ

Лектор :	Байрак Сергей Анатольевич
Лекции :	32 часа – 16 лекций
Лабораторные занятия :	32 часа – 8 лабораторных работ

Язык описания (проектирования) аппаратуры

Язык описания аппаратуры (HDL: Hardware Description Language) – это язык, по составу синтаксических конструкций и интерпретации их исполнения похожий на языки программирования высокого уровня и предназначенный для представления разрабатываемых электронных схем или устройств на различных этапах их проектирования.

Язык *описания* аппаратуры и язык *проектирования* аппаратуры в рамках данного курса являются синонимами.

Предпосылки появления языков описания аппаратуры

1. Вторая половина XX века – быстрый рост сложности разрабатываемых электронных устройств и микросхем.

Хронология развития процессоров фирмы Intel :

1. 1971 : процессор 4004 – 2300 транзисторов.
 2. 1978 : процессор 8086 – 29000 транзисторов.
 3. 2000 : процессор Pentium 4 – 42 млн. транзисторов.
 4. 2008 : процессор от Intel «Tukwila» – более 2 млрд. транзисторов.
2. Необходимость быстрого вывода на рынок новых устройств, что требует уменьшения сроков их разработки.

Предпосылки появления языков описания аппаратуры

Вопросы, требующие решения для уменьшения противоречий между сложностью разрабатываемых устройств и требованием к уменьшению времени их разработки :

1. Вопросы документирования проектов.
2. Вопросы инвариантности проектов разрабатываемых электронных устройств к технологии их производства.
3. Отсутствие единой методологии разработки электронных устройств.

Преимущества использования языков описания аппаратуры

Разработка документации и взаимодействие разработчиков:

- С увеличением сложности разрабатываемых электронных схем требуется все большее количество разработчиков для успешного завершения проекта.
- Формальные описания посредством языков описания аппаратуры (HDL) упрощают взаимодействия между разработчиками и снижает вероятность возникновения ошибок и недопонимания.
- Формализация документации упрощает ее поддержку.

Преимущества использования языков описания аппаратуры

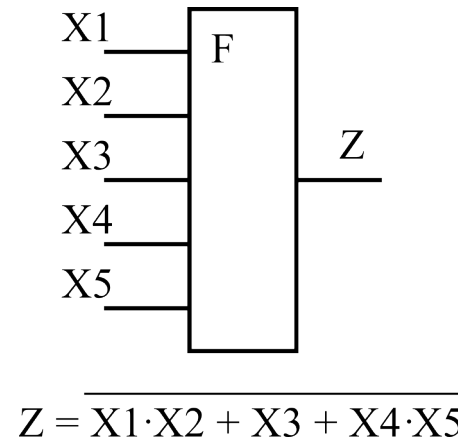
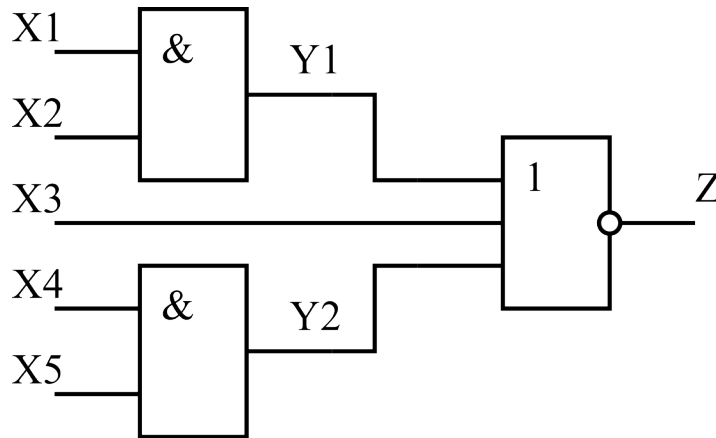
Применение HDL способствует структуризации разработки электронных схем и устройств:

- Упрощает разбиение разработки по структурному или функциональному критерию.
- Поддерживает концепцию «черного ящика».
- Для сложных проектов текстовое описание в большинстве случаев является более наглядным и самодокументируемым.
- Уменьшается время разработки, а соответственно уменьшается время появления продукции на рынке.

Преимущества использования языков описания аппаратуры

Процесс разработки:

- Разработка устройства может вестись на любом поддерживаемом уровне абстракции без привязки к конкретной технологии.



Преимущества использования языков описания аппаратуры

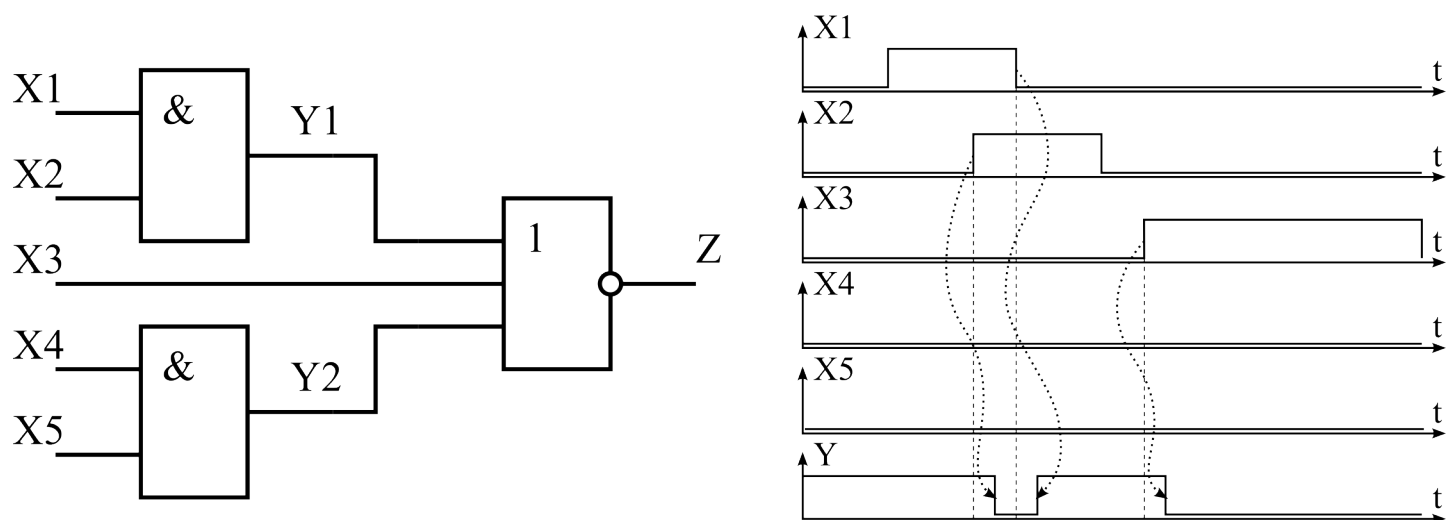
Функциональная верификация:

- Функциональная верификация разрабатываемого устройства может выполняться на любых стадиях проектирования устройств.
- Верификация разрабатываемого устройства на разных стадиях разработки может выполняться одними и теми же тестами, также разработанными на HDL.
- Сравнение результатов тестов на разных уровнях абстракции позволяет быстро выполнить проверку корректности работы разрабатываемого устройства.
- Сравнение результатов тестов может быть выполнено в автоматическом режиме с последующим выводом результата сравнения.

Особенности HDL

Возможности, которые *должны* иметь языки описания аппаратуры:

- Механизм описания параллельно исполняемых объектов.
- Механизм описания временных характеристик объектов (сигналов, блоков и т.д.).



Наиболее распространенные языки проектирования аппаратуры

VHDL

- Разрабатывался по заказу правительства.
- Базовый синтаксис основан на языке ADA.
- Строго типизированный язык.
- Более труден для изучения.
- Более универсален.

Verilog

- Изначально был коммерческой разработкой.
- Синтаксис больше всего похож на язык C.
- Не является строго типизированным языком.
- Более легок для изучения чем VHDL.
- Менее универсален.

Наиболее распространенные языки проектирования аппаратуры

System-Verilog

- Представляет собой надстройку над Verilog, включающую множество дополнительных возможностей, многие из которых позаимствованы из VHDL.
- Поддерживает объектно-ориентированную модель.
- До недавнего времени не существовало инструментов синтеза для этого языка.

SystemC

- Представляет собой расширение языка C++, включающее набор классов и инструментов моделирования.
- Предоставляет возможность добавлять временную информацию в функции C, с некоторыми ограничениями.
- Синтез выполняется преобразованием в VHDL или Verilog с выполнением дополнительных функций.
- Более предназначен для описания и моделирования программно-аппаратных комплексов.

История развития VHDL

- 1980** – Министерство обороны США инициирует начало проекта по разработке языка описания аппаратуры VHSIC HDL – VHDL.
- 1983** – Компании IBM, Texas Instruments, Intermetrics начинают работу по проекту создания языка VHDL.
- 1987** – Язык VHDL становится промышленным стандартом IEEE 1076'87
- 1993** – IEEE 1076 пересмотрен, в результате чего появился стандарт IEEE 1076'93
- 1996** – появление коммерческих инструментов для синтеза и моделирования устройств, описанных на языке VHDL.
- 2002** – очередной пересмотр стандарта и появляется новый стандарт IEEE 1076'2002

Стандарт языка VHDL (IEEE 1076)

IEEE 1076-2002

IEEE Standard VHDL Language Reference Manual

IEEE 1076.1-2007

IEEE Standard VHDL Analog and Mixed-Signal Extensions

IEEE 1076.2-1996

IEEE standard VHDL mathematical package

IEEE 1076.3-1997

IEEE standard VHDL synthesis packages

IEEE 1076.4-2000

IEEE standard for VITAL ASIC (application specific integrated circuit) modeling specification

Стандарт языка VHDL (IEEE 1076)

IEEE 1076.6-1999

IEEE standard for VITAL ASIC (application specific integrated circuit) modeling specification

IEEE 1076c-2007

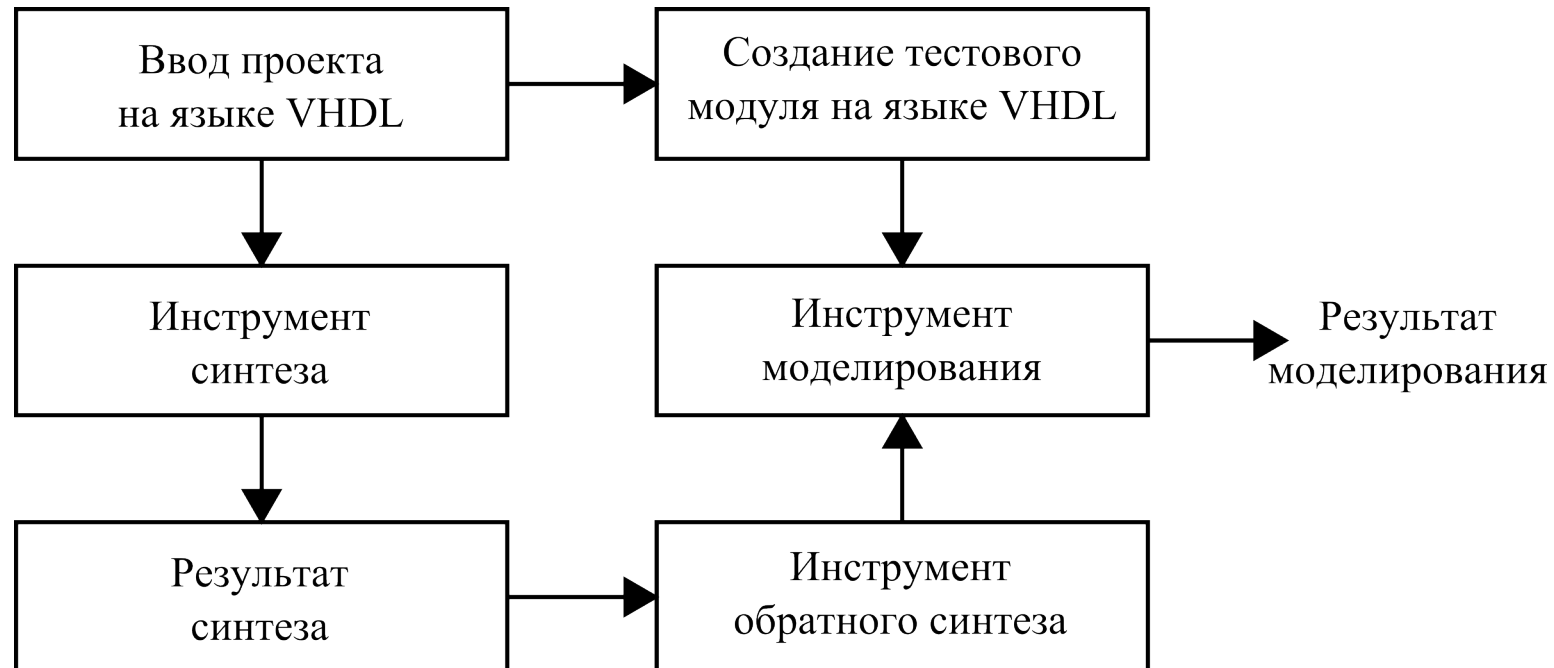
*IEEE Standard VHDL Language Reference Manual Amendment 1:
Procedural Language Application Interface*

IEEE 1164-1993

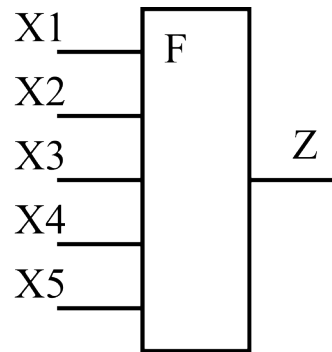
IEEE standard multivalued logic system for VHDL model interoperability

Процесс проектирования с использованием языка VHDL

VHDL – **VHSIC** Hardware Description Language –
Very High Speed Integrated Circuit Hardware Description Language.



Пример описания простейшего устройства на языке VHDL



$$Z = \overline{X1 \cdot X2 + X3 + X4 \cdot X5}$$

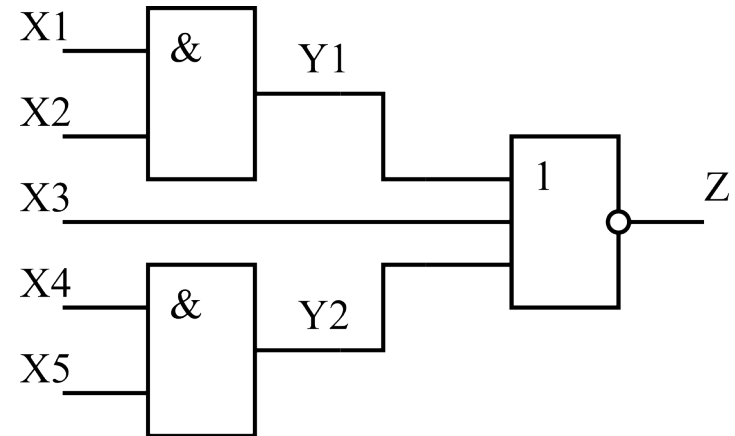
```
entity logic is
    port(
        x1,x2,x3,x4,x5    : in  std_logic;
        z                  : out std_logic
    );
end logic;

architecture behavioural of logic is
begin
    z <= not((x1 and x2) or (x4 and x5) or x3);
end behavioural;
```


Пример описания простейшего устройства на языке VHDL

```
entity logic_1 is
  port(
    x1,x2  : in  std_logic;
    y1      : out std_logic
  );
end logic_1;
architecture behavioural of logic_1 is
begin
  y1 <= x1 and x2;
end behavioural;
```

```
entity logic_2 is
  port(
    x4,x5  : in std_logic;
    y2      : out std_logic
  );
end logic_2;
architecture behavioural of logic_2 is
begin
  y2 <= x4 and x5;
end behavioural;
```



Пример описания простейшего устройства на языке VHDL

```
entity logic is
  port(
    x1,x2,x3,x4,x5 : in std_logic;
    z               : out std_logic
  );
end logic;
architecture behavioural of logic is
  component logic_1
    port ( x1,x2 : in std_logic;
          y1     : out std_logic);
  end component;
  component logic_2
    port ( x4,x5 : in std_logic;
          y2     : out std_logic);
  end component;
  signal y1 : std_logic;
  signal y2 : std_logic;
begin
  logic_1_inst : logic_1
    port map (x1=>x1,x2=>x2,y1=>y1);
  logic_2_inst : logic_2
    port map (x4=>x4,x5=>x5,y2=>y2);
  z <= not (y1 or x3 or y2);
end behavioural;
```

